

2.17 GHz 전압제어 발진기 제작연구

이 지 형, 이 문 교, 설 우 석, 임 병 옥, 이 진 구
동국대학교 밀리미터파 신기술연구센터
전화 : 02-2260-8697 / 핸드폰 : 016-237-3694

Studies on the 2.17 GHz Voltage Controlled Oscillator

Ji-Hyoung Lee, Mun-Kyo Lee, Byeong-Ok Lim, Woo-Suk Sul, Jin-Koo Rhee
Millimeter-wave INnovation Technology research center(MINT), Dongguk Univ.
E-mail : ji-hyoung3@hanmail.net

Abstract

In this paper, We have designed and fabricated VCO in two way, the common source and common gate circuit for IF local oscillator of 60 GHz wireless LAN system. The VCO employed a GaAs MESFET for negative resistance and a varactor diode for frequency tuning.

The common gate VCO was measured the phase noise -112 dBc/Hz at the 1 MHz frequency offset. The output power and the second harmonic frequency suppression were 7.81 dBm and -29.3 dBc when tuning voltage was 3V, respectively. The total size of VCO was 28.6×12.14 mm².

I. 서론

증가하는 통신 정보량을 처리하기 위하여 초고속 정보처리 능력과 높은 신뢰성을 갖는 통신 시스템의 개발이 매우 중요하다. 디지털 변조 방식을 사용하는 통신 시스템에서 통신 시스템의 신호원으로 사용되는 국부 발진기(local oscillator)의 위상 잡음 특성과 주파수 안정도 특성이 전체 시스템의 정확한 정보를 처리하는데 중대한 영향을 준다[1].

GaAs MESFET 소자를 가지고 발진기를 설계할 때 자주 사용되는 common source 회로는 효율과 출력전력이 높고 쉽게 주파수 조정이 가능하며, common gate 회로는 쉽게 발진하며 저 출력 발진기에 적합하다. common drain 회로는 이득은 낮지만 계환 회로 없이도 쉽게 발진하여 높은 출력을 얻을 수 있다[2].

본 논문에서는 60 GHz 무선 LAN 시스템에서 IF(Intermediate Frequency)단의 국부 발진기로 사용되는 2.17 GHz 전압제어 발진기(Voltage Controlled Oscillator)를 설계하고 제작하였다.

60 GHz 무선 LAN 시스템에서 사용하는 위상고정 회로(Phase Locked Loop)에서 요구되는 발진기 사양을 고려하여 주파수 조정이 쉬운 common source 회로와 저 출력 발진기에 적합한 common gate 회로의 두 가지 방식으로 설계하였다.

설계에는 HP사의 ADS ver.1.3을 사용하였고, 테프론 기판 상에 마이크로스트립 선로의 정합회로를 제작하고 GaAs MESFET과 수동소자로 HIC (Hybrid Integrated Circuit)형태의 GaAs 전압제어 발진기를 제작, 측정하였다.

II. 발진기의 설계

2-단자망 발진기가 안정적으로 발진하기 위해서는 다음의 세 가지 식을 만족해야한다[2,3].

$$K < 1 \quad (1)$$

$$\Gamma_{IN}\Gamma_R = 1 \quad (2)$$

$$\Gamma_{OUT}\Gamma_L = 1 \quad (3)$$

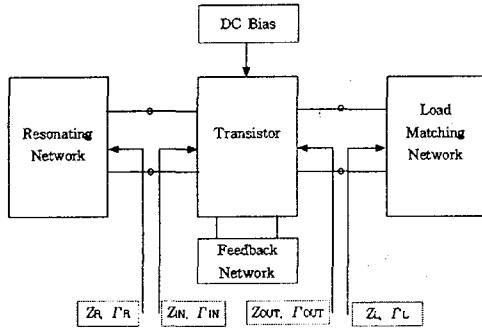


그림 1. 발진기의 블록 다이어그램

여기서, K 는 능동소자의 안정계수(Stability factor)이며, Γ_R 은 공진회로의 반사계수, Γ_{IN} 는 능동소자의 입력 반사계수, Γ_{OUT} 는 능동소자의 출력 반사계수, Γ_L 은 부하 정합회로의 부하 반사계수이다. 식 (2)과 식 (3)은 등가이므로, 어느 한 port가 발진조건을 만족하면 나머지 다른 port도 발진하게된다[2]. 공진회로와 부하 정합회로는 수동소자로 구성되기 때문에 항상 반사계수는 1보다 작으므로, $|\Gamma_R|$ 과 $|\Gamma_L|$ 은 1보다 작고, $|\Gamma_{IN}|$ 과 $|\Gamma_{OUT}|$ 은 1보다 큰 값을 가져야 한다.

2.1 Common source형 회로의 발진기 설계

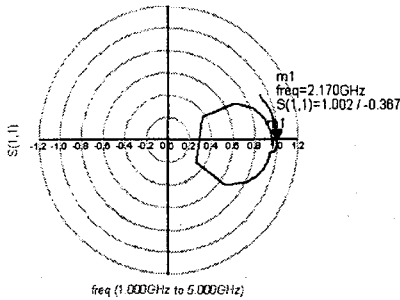


그림 2. 발진회로의 OSCTEST 시뮬레이션

그림 2는 ADS Simulator에서 지원하는 OSCTEST simulation으로 S_{11} 의 값은 $1.002 \angle -0.367$ 을 얻었다. 설계하고자 하는 발진기의 발진 주파수에서 S_{11} 의 크기가 1보다 크고 각도는 0° 인 경우를 만족해야 발진이 일어난다.

발진기의 하모닉 시뮬레이션을 그림 3에 보였다. 출력 전력 시뮬레이션은 2.17 GHz에서 2.077 dBm, 2차 하

모닉은 4.34 GHz에서 일어났으며 그 전력의 크기는 -5.4 dBm으로 -7.5 dBc의 2차 하모닉 역압특성을 보였다.

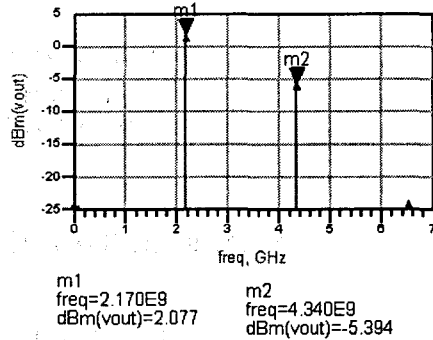


그림 3. 발진기의 하모닉 시뮬레이션

2.2 Common gate형 회로의 발진기 설계

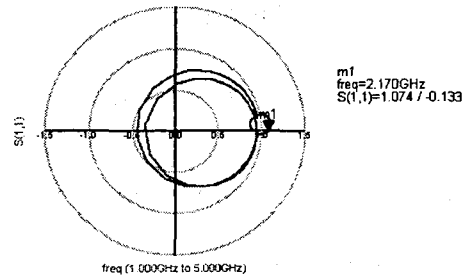


그림 4. 발진회로의 OSCTEST 시뮬레이션

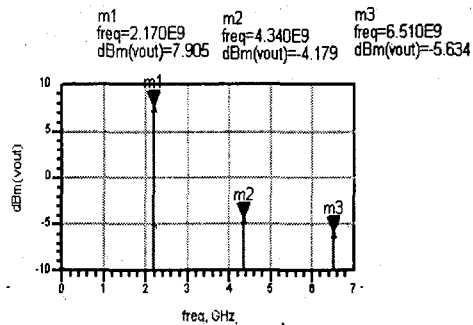


그림 5. 발진기의 출력전력 시뮬레이션

Common gate 회로의 설계에서는 K 값이 1.02로 1보다 커서 gate 단에 Inductor $L = 6.8$ nH과 마이크로스트립 선로를 캐환 회로로 설계하여 $K = -0.99$ 로 줄이는 직렬 캐환 회로를 구성하였다. 그림 4의 OSCTEST 결

2.17 GHz 전압제어 발진기 제작연구

과 S_{11} 의 값은 $1.074 \angle -0.133$ 을 얻었다. 그림 5는 발진기의 출력 전력을 3차 하모닉까지 시뮬레이션한 것이다. 2.17 GHz에서 7.9 dBm, 4.34 GHz에서 -4.18 dBm, 6.51 GHz에서 -5.63 dBm의 출력 전력이 발생한다.

III. 측정

그림 6과 7은 테프론 기판에 제작된 발진기의 사진으로 발진기 회로의 면적은 Common source 회로가 $23.2 \times 10.2 \text{ mm}^2$, Common gate 회로가 $28.6 \times 12.14 \text{ mm}^2$ 이다.

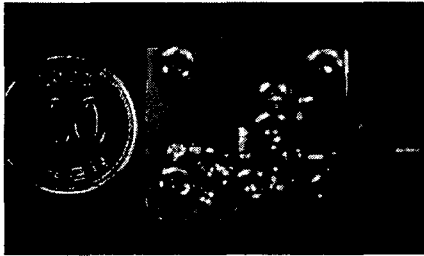


그림 6. Common Source 회로의 발진기

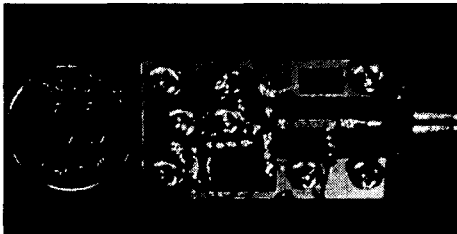


그림 7. Common Gate 회로의 발진기

그림 8과 9는 각각 Common source와 Common gate 형 발진기의 출력 전력 특성을 측정한 것이다. $V_T=0 \text{ V}$ 일 때 Common source회로는 2.6 GHz에서 10.79 dBm의 출력 전력과 1 MHz offset에서 -75 dBc/Hz의 페이즈 노이즈 특성을 보였으며, Common gate회로는 2.16 GHz에서 7.81 dBm, 1 MHz offset에서 -110 dBc/Hz의 특성을 보였다.

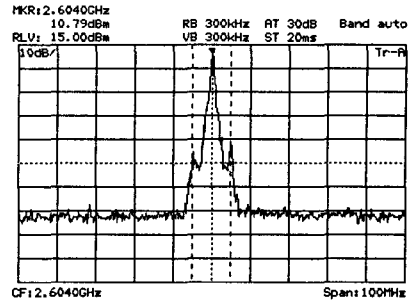


그림 8. Common source 회로의 출력전력특성

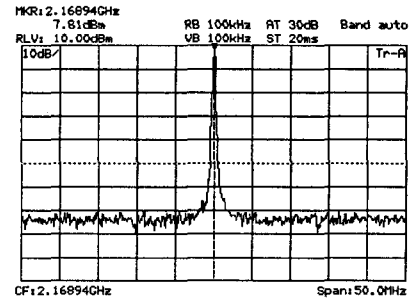


그림 9. Common gate 회로의 출력전력 특성

Common gate 발진기의 varactor diode의 전압을 0 V에서 5 V로 가변할 때의 출력 전력과 주파수의 변화를 그림 10과 11에서 나타내었다.

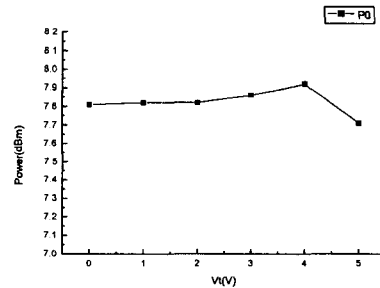


그림 10. 가변 전압에 따른 출력 전력의 변화

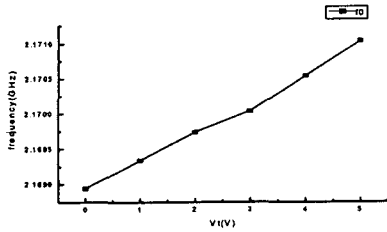


그림 11. 가변 전압에 따른 발진 주파수의 변화

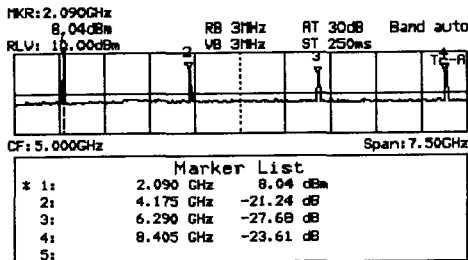


그림 12. 하모닉 특성 측정 결과

그림 12는 V₁가 3 V일 때 4차 하모닉 성분까지 측정된 것이다. 측정 결과, 2차 하모닉 억압은 -29.3 dBc이다. 그림 7의 시뮬레이션과 비교하여보면, 중심주파수의 출력전력은 시뮬레이션값 7.905 dBm에서 측정값 8.04 dBm으로 0.135 dBm 증가하였고 2차 하모닉 억압은 시뮬레이션값 -12 dBc에서 측정값 -29 dBc로 17 dBm 더 억압되었다.

IV. 결 론

본 논문에서는 무선 통신 시스템의 송·수신부의 국부 발진기로 사용할 수 있는 2.17 GHz 전압제어 발진기를 common source 회로와 common gate 회로의 두 방식으로 설계하고, 제작하였다.

설계는 HP사의 ADS simulator를 사용하였고, 테프론 기판에 제작된 발진기 회로의 면적은 Common source 회로가 23.2 × 10.2 mm², Common gate 회로가 28.6 × 12.14 mm²이다.

Common source 회로는 V₁가 0에서 5 V까지 가변될 때, 발진 주파수가 2.6 GHz에서 3.1 GHz까지 변화하였고 발진 주파수에서 1 MHz 떨어진 곳과의 페이즈 노이즈는 -75.4~-84.6 dBc/Hz의 특성을 보였다. 또한 V₁ 가변시 출력전력은 11.33 ± 0.98 dBm으로 양호한

결과를 얻었다. DC-RF 변환 효율은 14.26~22.4 %이었다.

Common gate 회로는 V₁가 0~5 V까지 변할 때, 발진 주파수가 2.1689 GHz에서 2.171 GHz까지 변화하였고 발진 주파수에서 1 MHz 떨어진 곳과의 페이즈 노이즈는 -106.5~-111.6 dBc/Hz의 특성을 보였으며 출력전력은 7.815 ± 0.105 dBm이었다. V₁전압이 3 V일 때, 측정된 발진기의 발진 주파수는 2.17004 GHz, 출력 전력은 7.86 dBm으로 설계와 비슷한 결과를 얻었으며 발진 주파수에서 1 MHz 떨어진 곳의 페이즈 노이즈는 -111.57 dBc/Hz, 2차 하모닉 억압은 -29.3 dBc가 측정되었다. DC-RF 변환 효율은 11.08~11.68 %로 측정되었다.

Common source 회로의 발진 주파수가 2.9 GHz로 설계치인 2.17 GHz와는 오차가 있지만 이는 DC 특성이 불안정하여 bias point 변화되어 그 변화된 S-parameter의 특성으로 발진 주파수가 변경된 것으로 보인다. 또한 제작시 테프론 기판상의 패턴 오차와 부품 실장시 생기는 기생 효과에 의해 오차가 생길 수 있다.

설계 목표였던 출력 전력 -18 dBm~-10 dBm은 두 회로 모두 충분히 만족하였고, 또한 주파수 가변범위 72 MHz는 Common source 회로가 가변범위 500 MHz로 충분히 만족하였다.

그러나 비록 Common gate 회로의 발진기가 주파수 가변범위가 2.1 MHz로 그 가변범위가 좁게 측정됐을 지라도 이는 회로의 변화로 좀더 보완이 가능하고, common gate 회로의 DC 특성이 common source 회로의 DC 특성보다 안정적이며 페이즈 노이즈 특성은 30 dBc/Hz 정도 더 우수하므로 채널 폭이 좁은 무선 통신 시스템에서는 유리할 것으로 사료된다.

참고문헌

- [1] I. D. Robertson, *MMIC Design*, IEE, 1995.
- [2] Guillermo Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice Hall, 1984.
- [3] George D. Vendelin & Anthony M. Pavio & Ulrich L. Rohde, *Microwave Circuit Design Using Linear and Nonlinear Techniques*, Wiley, 1990.

* 이 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국과학 재단의 우수 연구센터 지원금에 의하여 수행되었습니다.