

## 정렬 반안망을 이용한 고속 스위치 설계

최 상 진, 권 승 탁  
서남대학교 정보통신학과  
전화 : 063-620-0041 / 팩스 : 063-6201-0040

### Design of Speed Up Switch Using Banyan-Network with Sorting Network

Sang-Jin Choi, Seung-Tag Kwon  
Dept. of Information Communication Seonam University  
E-mail : chgaram@hitel.net, stkwon@tiger.seonam.ac.kr

#### Abstract

In this paper, we design the Sorting-Banyan network with an efficient buffer and sorting management schema that makes switch be capable of supporting delay sensitive as well as loss sensitive. The proposed switching network is remodeled that based on Batcher-banyan network that have eight input and output ports

The structure of designed switching network is constructed of modified banyan network with 2-way routing paths and two plane sorting networks.

we have analysed the maximum throughput of the switch, under the uniform random traffic load, the FIFO discipline has increased by about 11% when we compare the switching system with the input buffering system.

#### I. 서론

저비용, 고성능의 컴퓨터를 구현하여 실제 응용에서 생산성을 높이기 위한 연구는 현대 컴퓨터 기술의 주요 개발 과제이며, 이 같은 요구를 충족시키기 위해 병렬 컴퓨터 구조가 제안되었다.

이러한 병렬컴퓨터는 병렬 프로세스를 위해 복수 개의 CPU와 많은 수의 메모리 뱅크를 보유하

게 되고, 그것들은 다단계의 스위치 망에 의해 연결되어진다. 따라서 스위치 망의 스위칭 효율은 병렬 컴퓨터의 성능을 결정하는 중요한 요인이 되므로, 높은 데이터 전송률을 갖는 스위치 망을 구성하기 위한 끊임없는 연구가 이루어져오고 있다.[1]

본 논문은 지금까지 개발된 스위치 중 벡터컴퓨터에서 요구되는 동적 상호연결 망 구성에 적합하며 단일 경로 및 자기 경로 배정 특성으로 스위치 제어가 간편하여 고속 스위칭 노드에 적용하는데 적당한 반안형 스위치를 수정하여, 단점으로 지적되고 있는 내부 블럭킹 현상을 최소화하고 기존의 Batcher-banyan 망 보다 하드웨어량은 감소하면서 성능은 향상된 고속 정렬 반안 스위치 구조를 제안하고 이를 설계하였다.

#### II. 반안형 스위치의 구조와 특징

##### 2.1 반안 스위치 망의 기본 구조 및 특성

###### (1) 반안망의 기본 구조

반안망은 Goke와 Lipovski에 의해 처음으로 제안되었으며, 순열 연결 구조를 가진 상호 연결 망이다. 망의 구성은 그림 1(a~d)와 같은 작동을 하는 기본 스위치 소자가 한 단 이상 이루어진

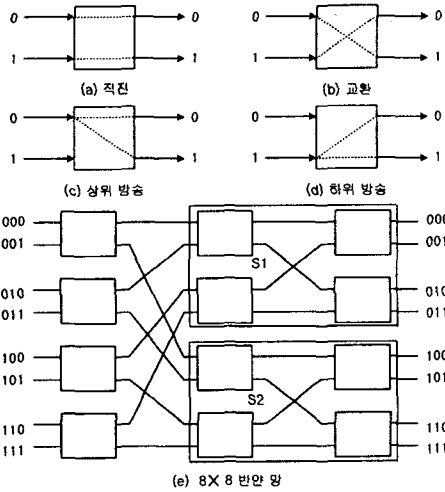


그림 1. 2x2 스위치 작동 및 완전 셔플에 의해 구성된 8x8 반안망  
Fig 1. 2x2 switch action and 8x8 banyan network

다단계 망이다. 기본 스위치 소자는 둘 이상의 입-출력포트를 갖고 있으며, 이러한 기본 소자들은 완전 셔플(shuffle) 방식으로 연결되어 하나의 망을 이룬다.

반안망의 기본 스위치 소자들간의 연결은 그림 1(e)와 같이 재귀적으로 적용된다. 첫 번째 단이  $N \times N$  블록을 가지면 두 번째 단은  $(N/2) \times (N/2)$  하위 블록 S1과 S2로 구성된다. 이렇게 망의 구성을 각 하위단계로 내려갈 때마다  $N/2$ 화하여  $2 \times 2$ 인 블록이 될 때까지 재귀적으로 구성한다.

반안망의 각 단은  $N \times N$  같은 동질 망을 구성할 때,  $2 \times 2$  단위 교환 소자가  $\log N$  단(stage)으로 이루어지며, 각 단은  $N/2$ 개의 단위 교환 소자로 이루어지므로 전체 교환시스템의 단위 교환 소자는  $(N/2)\log N$ 인 성질을 보인다.

(2) 반안망의 특성

반안망은 박힘(blocking) 망에 속한다. 박힘의 경우 각 단의 연결지점 통과 과정에서 충돌하는 연결이 생긴다. 그림 2에서 내부 박힘과 외부 박힘을 볼 수 있다. 입력포트 001과 010에서 출력포트 100으로 셀을 송신할 경우 (a)와 같이 두 번째 단에서 충돌이 발생(내부 박힘)하거나, 입력포트 000과 010에서 010으로 셀을 송신할 경우 (b)와 같이 마지막 단에서 동일 목적지 주소 배정으로 인한 박힘(출력 박힘)이 발생한다. 이와 같은 현상은 반안망이 기본적으로 단일 경로를 가진 망

이기 때문에 발생한다.

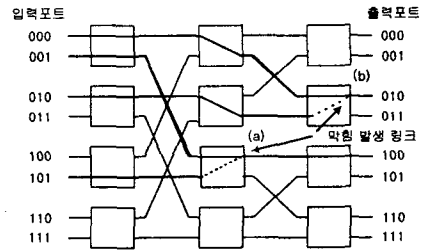


그림 2. 내부-출력단 박힘  
Fig 2. Internal-out blocking

따라서 반안망에서 셀 교환은  $2 \times 2$  스위치 소자가 사용될 경우  $n$ (입력)의 셀이  $n^{n/2}$ 번의 교환을 한번 통과로 수행할 수 있다. 따라서 총  $n!$ 의 교환이 이루어진다. 따라서  $n=8$ 일 때 모든 교환 중  $10.16\%(8^4/8! = 4096/40320=0.116)$ 만이 한번에 통과할 수 있게 된다.

그러나 반안망은 아래의 조건을 만족할 경우 열린(nonblocking)망으로 구성될 수 있다.

열린 조건(non-blocking) : 일대일 스위치로서 활성 입력이  $x_1, x_2, \dots, x_k$ 이고 이에 대응하는 출력단 주소가  $y_1, y_2, \dots, y_k$  일 때

- ① 단조증가 ;  $y_1 < y_2 < \dots < y_k$  or  $y_1 > y_2 > \dots > y_k$
- ② 집중화 : 두 활성 입력 사이에 있는 어떤 다른 입력들 역시 활성이어야 한다. 즉  $x_i \leq \omega \geq x_j$ , 이고  $x_i < x_j$  일 때  $\omega$ 는 활성이어야 한다.

2.2 제안된 정렬 반안 스위치 망의 구조

제안된 정렬 반안망 스위치의 구조는 그림 3과 같다.

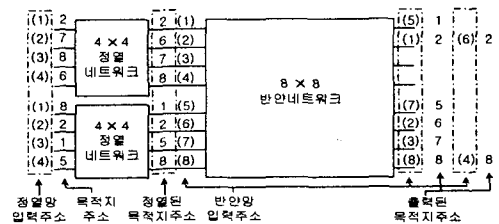


그림 3 제안된 정렬 반안망 스위치 구조  
Fig 3. The structure of proposed Sorting Banyan Network

$8 \times 8$  반안망[6] 스위치는 그림 4와 같이 이중 경로 특성을 갖고 있어 반안망 내부의 단일 경로 설정으로 인한 박힘 특성을 감소시켰고, 반안망 전단부에  $4 \times 4$ 이진 정렬망 2면을 배치시켜 반안망이 열린 망 특성을 갖도록 하였다. 따라서 적용된 정렬 반안 스위치 망은

## 정렬 반안망을 이용한 고속 스위치 설계

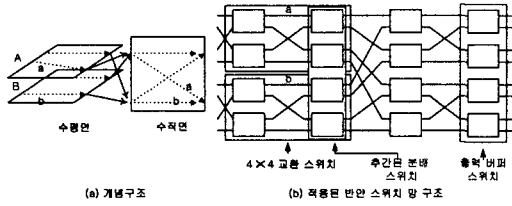


그림 4. 적용된 8x8 반안망의 구조  
Fig. 4. Construction of 8x8 Banyan Network

batcher 정렬을 통하여 반안망이 열린 망의 성질을 갖도록 함과 동시에 반안망 내부의 이중 경로 구성으로 2개의 셀이 동시에 동일한 목적지에 배치되어도 셀 손실이나 막힘 없이 경로 배정되도록 구성하였다.

### III. 정렬 반안망 스위치의 설계

#### 3.1 정렬망 스위치 설계

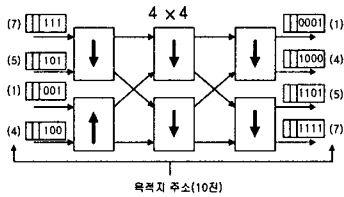


그림 5. 4x4 정렬망의 구조  
Fig. 5. The structure of 4x4 Sorting network

정렬망은 그림5와 같이 4개의 입력포트를 갖는 3단 스위치로 구성되며, 첫 번째 단은 상향 정렬 소자와 하향 정렬 소자로 구성되고 둘째 셋째 단은 하향 정렬 소자로 구성된다.[설계결과 그림7]

하향 정렬 소자는 작동은 그림 6과 같이 2개의 입력포트에 3비트 주소를 포함한 셀이 입력되면 1비트 비교기 3개가 입력 1과 입력 2의 주소 비트를 병렬적으로 비교하여 Mux에 신호비트를 송신하고 Mux에서는 그림8의 시뮬레이션 결과와 같이 신호 비트에 따른 입력 신호를 선택하여 목적지 주소가 입력1 > 입력2 일 경우 출력1 = 입력2, 출력2 = 입력1로 전송하게 된다.

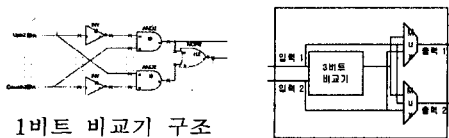


그림 6. 정렬 소자의 구조  
Fig. 6. The structure of Sorter element

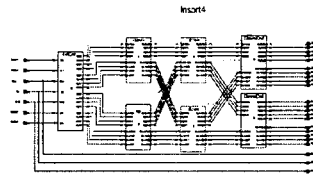


그림 7. 4x4 정렬망 디자인  
Fig 7. Design of 4x4 sorting network

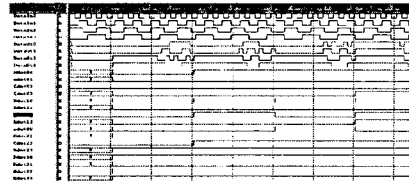


그림 8. 4x4 정렬망 시뮬레이션 결과  
Fig 8. Result of 4x4 Sorting Network Simulation

#### 3.2 반안망 스위치 설계

반안 스위치 망은 그림 9와 같이 데이터 신호와 정렬망에서 추출된 목적지 주소 비트 신호가 입력되어 주소 비트 값이 '0'이면 상위 '1'이면 하위 노드로 출력하도록 설계하였고, 이러한 기본 소자를 다단계 회로로 구성하여 그림 10과 같이 설계하였다. 전체적 구조는 스위치 소자부와 헤더 콘트롤부로 구성되며, 2개의 셀이 동시에 동일한 출력포트에 셀 손실 없이 경로 배정되도록 설계하였다.[6]

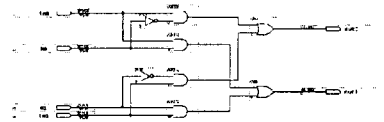


그림 9. 스위치 소자 디자인  
Fig 9. Design of switch element

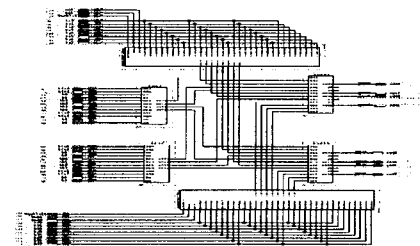


그림 10. 8x8 스위치 망 디자인  
Fig 10. Design of 8x8 switch network

#### IV. 제안된 정렬 반안망의 성능 분석

##### 4.1 제안된 정렬 반안망의 성능

제안된 방식은 입력포트 셀을 동시에 2개까지 처리할 수 있는 출력 단 버퍼를 사용하였고, 하나의 외부 입력 포트에 b개의 내부 입력력 포트를 가지므로 같은 출력포트 주소를 갖는 셀이 한 타임 슬롯에 도착하는 경우에 k-b개의 셀은 손실된다. 유효부하를 p라 할 때, 교환 시스템에 입력되는 셀 수가 k일 확률

$$\Pr[A=k] = \Pr[A=k] = \binom{bN}{k} \left(\frac{p}{bN}\right)^k \left(1 - \frac{p}{bN}\right)^{bN-k}$$

단 k=0,1,2,...,2N이다.

따라서 포트수가 N인 입력 버퍼형 교환 시스템의 셀 손실 확률 Pr[Cell loss]는

$$\Pr[Cellloss] = \frac{1}{p} \sum_{k=2}^{bN} (k-1) \binom{bN}{k} \left(\frac{p}{bN}\right)^k \left(1 - \frac{p}{bN}\right)^{bN-k}$$

$$= 1 - \frac{1}{p} \sum_{k=0}^{bN} (k-1) \binom{bN}{k} \left(\frac{p}{bN}\right)^k \left(1 - \frac{p}{bN}\right)^{bN-k}$$

이고  $N \rightarrow \infty$  일 때

$$\Pr[Cellloss] = 1 - \frac{1}{p} + \frac{e^{-bp}}{bp} \sum_{k=0}^{b-1} (b-k) \frac{(bp)^k}{k!}$$

이다.

| 입력 버퍼형 셀 처리율 |        | 제안된 정렬 반안망의 셀 처리율 |        |
|--------------|--------|-------------------|--------|
| N            | 최대 처리율 | N                 | 최대 처리율 |
| 2            | 0.7500 | 2                 | 0.84   |
| 3            | 0.6825 | 4                 | 0.76   |
| 4            | 0.6553 | 8                 | 0.72   |
| 5            | 0.6399 | 16                | 0.71   |
| 6            | 0.6302 | 32                | 0.70   |
| 7            | 0.6324 | 64                | 0.70   |
| ∞            | ∞      | 128               | 0.70   |

표 1. 셀 처리율 비교

Table 1. Throughput rate Compare

##### 4.2 스위치 하드웨어 양 비교

| 종류<br>N(입력) | 크로스바<br>스위치<br>$N^2$ | 반안<br>스위치<br>$\log_2 N$ | 배치반안스위치<br>$\log_2 N \cdot (\log_2 N + 1) / 2 + \log_2 N$ | 제안된 정렬<br>반안스위치<br>$\log_2 N \cdot (\log_2 N + 1) / 2 + \log_2 N / 2$ |
|-------------|----------------------|-------------------------|---|---|
| 2           | 4                    | 1                       | 2   | 1   |
| 4           | 16                   | 2                       | 5   | 4   |
| 8           | 64                   | 3                       | 9   | 7   |
| 16          | 256                  | 4                       | 14  | 12  |
| 32          | 1024                 | 5                       | 20  | 17  |
| 64          | 4096                 | 6                       | 27  | 24  |
| 128         | 16384                | 7                       | 35  | 32  |

표 2. 각 스위치 별 하드웨어 양 비교

Table 2. Capacity Compare of each switches

각 스위치별 하드웨어 양을 비교해 보면 크로스바 스위치  $N \times N$ , 반안 스위치  $\log_2 N$ , batcher-Banyan 스위치  $(\log_2 N \cdot (\log_2 N + 1)) / 2 + \log_2 N$ , 제안된 정렬 반안 스위치  $(\log_2 N \cdot (\log_2 N + 1)) / 2 + \log_2 N / 2$ 로 구성되며 표를 비교해 보면 표2와 같다. 따라서 제안된 정렬 반안망은 하드웨어 양이 다소 늘어나기는 하나 기존은 배치-반안망 보다 줄어드는 효과를 가지고 있다.

#### V. 결론

우수한 성능의 병렬 컴퓨터 구현을 위해서는 높은 효율의 스위치 망을 구성하는 것이 필수적이며, 셀 손실이 적은 고속 스위치의 설계는 컴퓨터의 성능에 지대한 영향을 미치게 된다.

본 논문에서는 효과적인 스위치 망을 구성하는데 있어 가장 큰 저해 요소인 블럭킹 특성을 최소화하기 위하여, 기존의 반안 스위치 망에 한 개 단을 추가시켜 이중 경로를 구성한 수정 반안망 [6]을 사용하였고, 그 전단부에 정렬망 2면을 배치하여 기존의 Batcher-banyan망보다 하드웨어 양을 현저히 줄이면서 스위칭 성능이 향상된 스위치 망을 설계하였다.

본 논문에서 제안한 스위치는 컴퓨터 시뮬레이션 결과 입력 버퍼형 보다 최대 처리율이 11% 이상 향상되었고, 전통적 Batcher-banyan 스위치에 비하여 하드웨어 양을 현저하게 줄일 수 있었다.

따라서 설계된 정렬 반안 스위치 망을 VLSI칩으로 구현할 경우 저비용, 고성능의 병렬 컴퓨터 시스템 설계에 사용될 수 있을 뿐만 아니라 초고속 ATM-LAN에 유용하게 활용될 수 있을 것으로 기대한다.

#### 참고문헌(또는 Reference)

- [1] Kai Hwang, "Advanced Computer Architecture", McGraw-Hill Book Co. -Singapore, 1996.
- [2] J.S Turner, "Design of a packet switching network," IEEE Trans Commun, vol. 36. pp. 734-743, June. 1988.
- [3] F.A Tobagi, "Fast packet switch architectures for broadband integrated services digital networks," proceedings of the IEEE, vol. 38, pp. 133-167, jan. 1990.
- [4] Y. Mun and H. Y. Youn, "Performance analysis of finite buffered multistage interconnection networks," IEEE Trans commun, vol.43, pp.153-162, Feb. 1994.
- [5] H. S. Kim and A. Leon-Garcia, "Performance of buffered Banyan networks under nonuniform traffic patterns," IEEE Trans commun, vol.38, pp. 269-277, Feb. 1991.
- [6] 조삼호, 권승탁, 김용식, "고속 통신망을 위한 개선된 반안 스위치 설계에 관한 연구", 대한전자공학회 하계학술대회, 제22권 제 1호, pp. 122~125, 1999.