

무선 LAN MAC 계층 설계 및 구현

김용권, 기장근, 조현복
공주대학교 정보통신공학부
전화 : 041-850-8595

Design and Implementation of MAC Protocol for Wireless LAN

Yong-Kwun Kim, Jang-Geun Ki, Hyun-Mook Cho
Division of Information & Communication Engineering, Kongju National University
E-mail : kjg@image.kongju.ac.kr

Abstract

This paper describes a high speed MAC(Media Access Control) function chip for IEEE 802.11 MAC layer protocol. The MAC chip has control registers and interrupt scheme for interface with CPU and deals with transmission/reception of data as a unit of frame. The developed MAC chip is composed of protocol control block, transmission block, and reception block which supports the DCF function in IEEE 802.11 specification. The test suite which is adopted in order to verify operation of the MAC chip includes various functions, such as RTS-CTS frame exchange procedure, correct IFS(Inter Frame Space) timing, access procedure, random backoff procedure, retransmission procedure, fragmented frame transmission/reception procedure, duplicate reception frame detection, NAV(Network Allocation Vector), reception error processing, broadcast frame transmission/reception procedure, beacon frame transmission/reception procedure, and transmission/reception FIFO operation. By using this technique, it is possible to reduce the load of CPU and firmware size in high speed wireless LAN system.

I. 서론

최근 무선 LAN은 이용자의 멀티미디어 서비스 요구 증가로 인해 초기 1-2Mbps 전송속도를 넘어서 유선에

가까운 빠른 전송속도를 요구하고 있다. 이런 추세에 따라 IEEE 802.11에서는 모뎀기술의 일부를 변경하여 전송속도를 11Mbps까지 고속화한 IEEE 802.11b^[1] 표준안을 확정하였으며, 이 규격에 따르는 제품들이 현재 출시되고 있다. 앞으로 출시될 제품은 IEEE802.11a^[2] 표준안을 따르는 것으로 5GHz대에서 6-54Mbps의 전송속도를 가지며, 물리계층으로는 OFDM 방식을 이용하고 있다. 이러한 속도의 가속화는 물리계층과 함께 고속의 데이터 처리가 가능한 MAC 프로토콜이 뒷받침 되어야하며, 현재 이를 위한 많은 연구가 진행 중에 있다^{[3][4]}. 일반적으로 MAC 프로토콜의 고속 처리를 위해서는 소프트웨어에 의한 MAC의 구현보다는 하드웨어에 의한 MAC의 구현이 보다 빠른 속도를 보장할 수 있을 것이다. 따라서 본 논문에서는 IEEE 802.11 MAC(Medium Access Control) 계층 프로토콜의 고속 처리를 위해 프로토콜 기능을 분석하고 이에 따른 논리적인 기능 구조를 설계한 후 하드웨어로 구현될 기능과 펌웨어로 구현될 기능을 분리하여 하드웨어로 구현될 블록을 VHDL 코드로 프로그래밍하여 하드웨어로 구현하였다.

II. MAC 프로토콜 하드웨어 설계

그림 1에 IEEE 802.11 무선 LAN MAC 계층 프로토콜의 기능 구조(스테이션의 경우)를 나타내었다. 기능 블록은 크게 MAC 데이터 서비스 기능 블록, MPDU 생성 기능 블록, 프로토콜 제어 기능 블록, MAC 계층 관리 기능 블록 및 MAC 정보 관리 기능 블록 그리고 송신 및 수신 기능 블록들로 구성되어 있으며, 본 논문에서는 프로토콜 제어 블록과 송신 및 수신 블록을 하드웨어화 하기 위한 VHDL 코드를 개발하고 시뮬레이션을 통한 기능 검증 및 성능분석을 수행하였다. MAC 기능

하드웨어 블록은 10MHz 메인클럭에서 동작하도록 설계 되었으며, 이는 MAC과 PHY 계층사이의 데이터 전송 단위가 1옥텟(octet)임을 감안할 때 물리계층에서의 전송속도는 약 80Mbps에 해당한다.

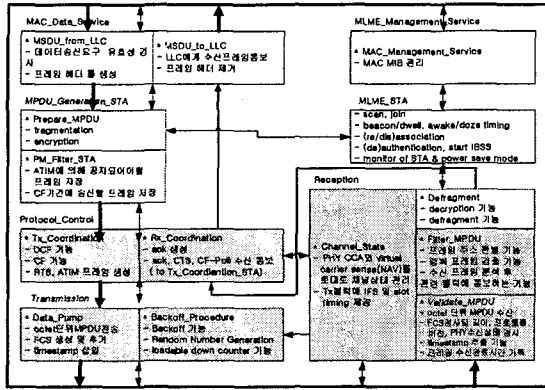


그림 1. IEEE 802.11 MAC 기능 블록도

2.1 계층간 인터페이스 신호

그림 2에 각 계층간 주요 인터페이스 신호를 나타내었 으며, 표 1에 MAC 칩과 CPU 사이의 인터페이스를 위 한 제어 레지스터와 기능을 나타내었다. 하나의 예로, 제 어 레지스터들을 이용한 송신 절차를 설명하면 다음과 같다. 먼저 CPU는 TxHeader 레지스터에 송신하고자 하는 프레임의 헤더필드 값들을 기록한 후, TxControl 레 지스터에 송신 프레임의 헤더길이(TxHeadLen), FCS 필드 길이를 제외한 송신 프레임 길이(TxLen)와 송신시작 지시 값(TxReq)을 기록한다. 그러면 MAC 송신절차에 의해 프레임을 송신하게 된다.

그림 3은 CPU와 MAC 칩 그리고 물리계층간의 송수 신 절차를 나타낸 것이다.

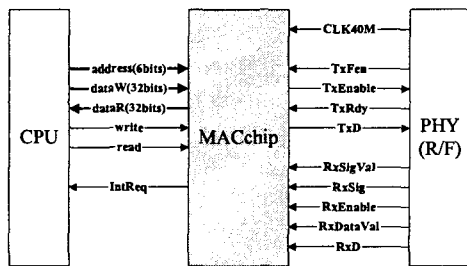


그림 2. 계층간 인터페이스 신호

표 1. 송수신을 위한 제어 레지스터

주소 할당	read/write	레지스터명	비트수	기능
0h	read	RxFIFO	63×8	수신 FIFO
	write	TxFIFO	63×8	송신 FIFO
5h	write	swReset		
		ResetTxFifo	1	송신FIFO S/W 리셋
		ResetRxFifo	1	수신FIFO S/W 리셋
		ResetFlag	1	MAC칩 전체 리셋
6h	t/w	TSFH	32	TSF timer(high)
7h	t/w	TSFL	32	TSF timer(low)
8h	write	TxControl		
		TxReq	1	송신 시작 지시
		TxRate	4	송신 속도
		TxHeadLen	5	송신프레임헤더길이
		TxLen	12	송신프레임 길이
9h	read	TxStatus		
		mFxFIP	1	프레임교환전차진행중
		TxRes	6	송신 결과
Ah	read & auto clear	TxInt		
		TxStartInt	1	송신이 시작 인터럽트
		TxFifoInt	1	송신 TxFifo 인터럽트
		TxEndInt	1	송신완료 인터럽트
Bh		reserved		
Ch	read	RxControl		
		RxRate	4	수신 속도
		RxLen	12	수신프레임 길이
		mRxA	1	프레임 수신중 플래그
		Rx_K	12	수신프레임 바이트수
Dh	read	RxStatus		
		MmIndicate	1	관리프레임 수신
		MsdIndicate	1	데이터 프레임 수신
		RxRes	1	수신 결과
Eh	read & auto clear	RxInt		
		RxStartInt	1	프레임 수신 시작
		RxFifoInt	1	수신 RxFifo 인터럽트
		RxEndInt	1	수신 완료 인터럽트
10h-17h	write	TxHeader	30×8	프레임 헤더 저장
20h-2Fh	read	dot11xxx	16	각종 통계 값

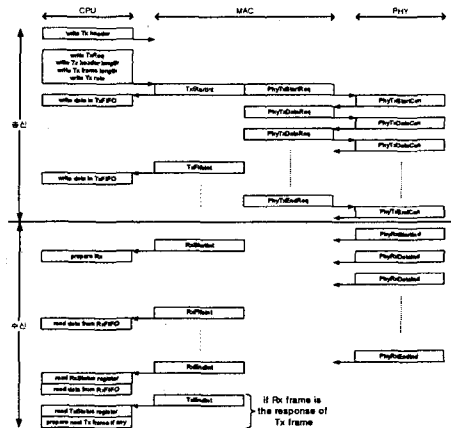


그림 3. 송수신 절차 흐름도

2.2 MAC 칩 설계

그림 4에 본 논문에서 설계한 MAC 칩의 전체적인 블록 구조도를 나타내었다. 그림의 주요 블록들의 동작을 간략히 설명하면 다음과 같다.

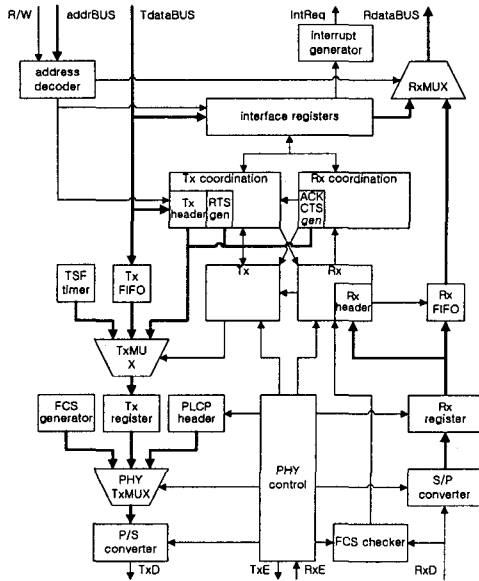


그림 4. MAC 칩 블록도

주소 해석(address decoder) 블록은 CPU와 MAC 칩과의 인터페이스를 위한 각종 제어 레지스터들의 값을 읽거나 쓰기 위해서 CPU와 연결된 주소버스(addrBUS)와 읽기/쓰기 제어신호(R/W)를 입력으로 받아 다른 블록에 필요한 제어신호를 생성한다.

인터럽트 생성(interrupt generator) 블록은 송신관련 인터럽트 레지스터(TxInt)나 수신관련 인터럽트 레지스터(RxInt)들의 정보를 이용해 CPU에게 인터럽트를 요구하는 신호(IntReq)를 생성하는 회로이다.

인터페이스 레지스터(interface registers) 블록은 각종 제어 레지스터들이 포함되어 있는 블록이다.

RxMUX 블록은 CPU가 수신FIFO의 데이터를 읽거나 또는 특정 인터페이스 레지스터의 값을 읽고자 할 때 주소해석 블록의 제어신호를 받아 값을 보내주는 멀티플렉서 회로이다.

TxFIFO 블록과 RxFIFO 블록은 CPU로부터 송신 데이터를 넘겨받거나 CPU로 수신데이터를 넘겨주기 위한 데이터 저장장소로 각각 63×8 비트의 크기를 가진다.

TSF(Timing Synchronization Function) 타이머 블록은 동일 BSS내에 속한 모든 스테이션들이 동기화되도록 운영되는 64비트 타이머이다.

TxCoordination 블록과 Tx 블록으로 구성된 송신부와 RxCoordination 블록, Rx 블록으로 구성된 수신부는 각각 송신과 수신에 관련된 프로토콜 기능을 수행하는 부분이다.

PHY control 블록과 그 주변의 블록들은 물리계층의

PLCP 프로토콜 기능을 수행하는 부분으로 OFDM 방식 물리계층과 인터페이스 되도록 설계되었다.

그림 5는 데이터의 송신 타이밍도를 나타낸 것이다. 송신이 완료되면 TxEndInt 인터럽트를 이용하여 CPU에게 송신이 완료되었음을 알리게 된다.

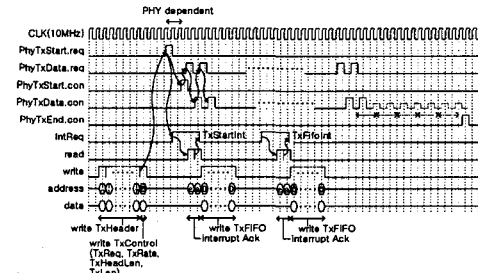


그림 5. 데이터 송신 타이밍도

그림 6에 수신부 타이밍도를 나타내었다. 수신 절차의 시작은 먼저 물리계층이 프레임 수신을 시작하면 PhyRxStartInd 신호를 이용하여 MAC에게 수신 프레임의 길이와 수신율을 알려주게 된다. PhyRxStratInd 신호를 받은 MAC은 RxStartInt 플래그를 세트함으로써 CPU에게 수신 시작을 알리는 인터럽트(IntReq)를 발생시켜 수신 절차가 이루어 지도록 한다.

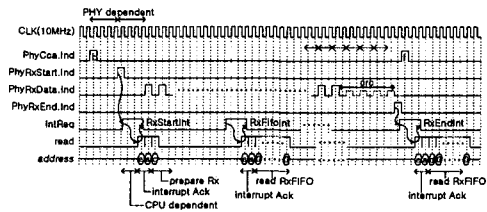


그림 6. 수신 타이밍도

III. MAC 칩 구현 및 검증

설계한 MAC 기능 하드웨어 블록들(MAC 칩)에 대한 VHDL 코드는 Xilinx 툴을 이용하여 개발하고 시뮬레이션을 통해 검증하였다. 시뮬레이션시 클럭은 10MHz를 사용하였다. 시뮬레이션을 통해 검증된 대표적인 주요 기능들은 다음과 같다.^[5]

- RTS-CTS 절차 기능
- IFS(Inter Frame Space) 기능
- 액세스 절차

- 백오프 절차
- 재전송 기능
- 분할된 프레임 송수신 기능
- 중복수신 프레임 검출 기능
- 가상 캐리어 검출 기능(NAV 기능)
- 수신에러 발생 경우
- Broadcast 프레임 송수신 기능
- Beacon 프레임 송수신 기능
- 송수신 FIFO 동작 기능

IV. 결 론

본 논문에서는 DFWMAC을 고속으로 처리하기 위한 하드웨어 구조를 설계하고, 이를 VHDL 언어로 기술하여 시뮬레이션을 통한 성능평가를 수행하였다.

설계된 MAC 계층 기능블록 구조는 크게 MAC 데이터 서비스 기능 블록, MPDU 생성 기능 블록, 프로토콜 제어 기능 블록, MAC 계층 관리 기능 블록 및 MAC 정보 관리 기능 블록 그리고 송신 및 수신 기능 블록들로 구성되어 있으며, 이중 프로토콜 제어 기능 블록, 송신 및 수신 기능 블록을 Xilinx 툴(Foundation F2.1i)을 사용하여 VHDL 코드로 프로그래밍하여 하드웨어로 구현하였다. 개발된 MAC관련 하드웨어 블록들은 10MHz 메인클럭이 사용되도록 설계되었으며, 회로 크기는 약 78,900 게이트 규모이고 최대 동작주파수는 16MHz이다.

구현된 MAC 칩의 동작을 검증하기 위해 RTS-CTS 절차 기능, IFS(Inter Frame Space) 기능, 액세스 절차, 백오프 절차, 재전송 기능, 분할된(fragmented) 프레임 송수신 기능, 중복수신 프레임 검출 기능, 가상 캐리어 검출 기능(NAV 기능), 수신에러 발생 경우 처리 기능, Broadcast 프레임 송수신 기능, Beacon 프레임 송수신 기능, 송수신 FIFO 동작 기능 등을 시뮬레이션을 통해 검증하였으며, 검증 결과 모두 정상적으로 동작함을 확인하였다.

기능 검증의 한 예로 RTS-CTS 기능을 검증하기 위한 절차를 그림 7에 나타내었으며 그림 8에 이에 대한 검증 파형을 나타내었다. 그림 7에서 중앙에 위치한 큰 사각형은 검증대상인 MAC 칩을 의미하며 위쪽은 CPU와의 인터페이스를, 아래쪽은 물리계층과의 인터페이스를 의미한다. 그림에서 실선으로 표시된 작은 사각형은 검증 입력으로 넣어주는 프레임을 의미하며, 점선으로 표시된 사각형은 검증 입력 프레임에 반응하여 MAC 칩이 생성해서 송신하는 프레임을 의미한다. 그림의 아래에는 검증 입력으로 사용되거나 출력으로 나오는 각 프레임의 값을 나타내었다.

그림 8의 결과 파형으로부터 aRTSThreshold 값보다 긴 unicast 프레임 전송시 RTS-CTS 교환절차가 이루어지며 aRTSThreshold 값보다 작은 경우에는 RTS/CTS 프레임 교환절차가 이루어지지 않는 것을 확인하였다.

참 고 문 헌

- [1] IEEE P802.11 D10, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, Jan., 1999.
- [2] IEEE P802.11a/D7.0, Draft Supplement to Standard for LAN/MAN Part 11: MAC & PHY Specifications, July, 1999.
- [3] Francesco Delli Priscoli, "Design and Implementation of a Simple and Efficient Medium Access Control for High-Speed Wireless Local Area Networks", IEEE Journal on Selected Areas in Communications, Vol.17, No.11, pp.2052-2064, Nov., 1999.
- [4] Armin Heindl, Reinhard German, "The Impact of Backoff, EIFS, and Beacons on the Performance of IEEE 802.11 Wireless LANs", Proceedings of the IEEE International Computer Performance and Dependability Symposium, pp.103-112, 2000.
- [5] "Wireless MAC Level Conformance Tests", University of New Hampshire, 1999

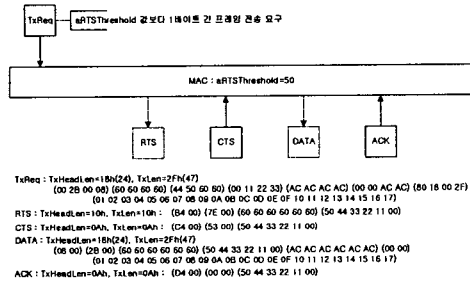


그림 7. RTS-CTS 절차 기능 검증

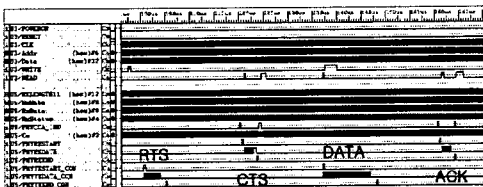


그림 8. RTS-CTS 검증 파형