

Gate-바이어스 튜닝에 의한 마이크로파 트랜시버용 마이크로파 발진기 위상잡음 특성

*정인기, *민상보, *이영철

*경남대학교 정보통신학부

Phase Noise Characteristics of Gate-bias Tuned Phase-lock Oscillator for Microwave Transceiver

*In-Ki Jeong, *Sang-Bo Min, *Young-Chul Rhee

*Div.of Information & Comm. Eng., Kyungnam University.

E-mail : *micropt@kyungnam.ac.kr, *mmic@mail.kyungnam.ac.kr

요 약

본 논문에서는 병렬궤환 유전체 발진기를 P-HEMT 게이트단의 바이어스 전압을 제어시켜 안정된 위상동기 신호가 나타나도록 P-HEMT 게이트 바이어스 튜닝에 의한 Ku-band 고안정 위상동기 마이크로파 발진기를 설계하였다. 위상동기방식은 외부에서 제공되는 125MHz의 기준주파수를 SRD로 체배시켜 하모닉 신호를 이용한 마이크로파 샘플링 위상검파 방식으로 설계하였으며, 고안정 특성과 저위상잡음을 나타내는 위상동기 마이크로파 발진기(phase locked microwave oscillator)를 바랙터 다이오드를 사용하지 않고 P-HEMT의 게이트단을 동조시키는 방식으로 위상동기 발진기를 설계하고 게이트 바이어스에 따른 위상잡음 관계를 분석하였다.

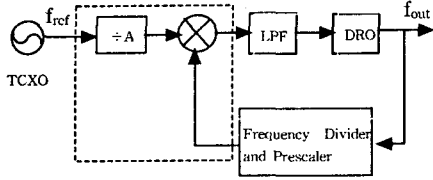
I. 서 론

대용량의 정보를 고속으로 전송하기 위해 초고속 광대역 무선통신망이 요구되고 있으며, 최근에는 K, Ka 대역을 이용하는 LMDS (LMCS), MVDS 등의 B-WLL을 중심으로 디지털 무선통신 시스템의 개발이 진행되

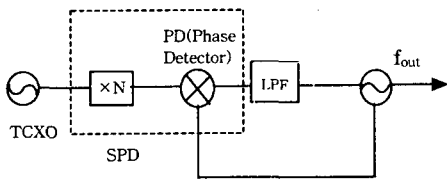
고 있다. 이러한 밀리미터파 통신시스템에서의 상·하향의 신호전송은 QPSK와 QAM과 같은 디지털 변조신호를 이용하여 기저대역신호를 마이크로파/밀리미터파의 반송파에 의하여 전송되므로 하향변환기단에서는 국부발진기의 특성에 따라 기저대역신호와의 C/N₀ 및 BER 특성에 커다란 영향을 미치므로 수신단의 국부발진기는 고안정(high stable) 저 위상잡음(low phase noise) 특성을 갖는 국부발진기가 요구된다[1,2]. 이러한 국부발진기를 설계하기 위하여 안정성 및 위상잡음이 우수한 유전체발진기(DRO)와 발진주파수의 안정화를 위해 위상동기발진기(PL-DRO)가 요구된다[3]. 위상동기 마이크로파 및 밀리미터파 위상동기 발진기는 그림 1(a)와 같이 주파수 분주기(Prescaler)형과 그림 1(b)와 같은 샘플링 위상동기형으로 구분할 수 있다. 분주기형은 14GHz 이하의 주파수에 사용할 수 있으며 또한 가격이 고가인 단점이 있고, 주파수분주기형은 주파수분주기에 의해 루프대역내의 위상잡음 성능을 크게 저하시키는 원인이 되므로 밀리미터파 대역이상에서는 주파수 분주에 따른 위상잡음관계에 대한 연구가 진행되고 있다[4]. 한편 마이크로파 샘플링에 의하여 자유발진신호와 위상차이를 검파하고 오차신호에 따른 전압제어하는 샘플링 위상동기방식은 주파수 분주기 형태에 비하여 위상잡음성능을 개선할 수 있는 특성이 있다[5,6]. 본 논문에서는 고 안정, 저 위상잡음의 Ku-band 마이크로파 트랜시버용 국부발진기를 그림 1(b)와 같이 SPD(sampling phase detector)를 사용한 형태를 가지며 DRO의 주파수 동조를 바랙터 다이오드를 사용하지 않고 FET의 게이트 바이어스를 선형동작

* 본 연구는 2001년도 정보통신부 대학기초 연구사업의 일부분으로 수행하였습니다.

시커 고안정 위상동기형 마이크로파 트랜시버용 국부 발진기를 분석하고자 한다.



(a) 주파수 분주기를 이용한 마이크로파 발진기



(b) SPD를 이용한 마이크로파 발진기

그림1. 마이크로파 발진기의 종류

II. SPD에 의한 위상고정발진기의 설계

본 논문에서 설계한 마이크로파 샘플링 위상검파 회로 구성도를 그림 2에 나타냈다. 기준주파수는 외부에서 인가된 주파수를 사용하며, 체배기를 구성하여 기준주파수의 하모닉들을 얻고, 발진기의 귀환된 출력 주파수와 아날로그 위상검출기에서 위상비교가 이루어진다. N 체배된 기준주파수의 하모닉 주파수와 귀환된 발진 주파수는 직접적으로 위상비교가 이루어지며, 차성분의 IF 주파수를 갖는 정현파신호를 오차신호로써 출력한다. 루프필터는 잡음과 고주파 성분을 제거하여 평균오차전압을 PL-DRO에 튜닝전압에 의하여 위상고정 발진을 얻게 된다. 또한 유전체 공진 발진기의 동조를 위해 바랙터 다이오드를 사용하지 않고 FET의 게이트 바이어스를 선형동작시켜 안정된 PL-DRO를 설계하였다.

마이크로파 위상검파(SPD) 회로의 구현은 balun, SRD, 커플링 커패시터, 그리고 Schottky diode 쌍으로 구성된 샘플링 브리지와 hold 및 결합 커패시터로 구성된다. 기준 신호인 125MHz의 주파수를 DRO의 발진 주파수 근처로 체배하기 위하여 일반적으로 큰 입력레벨을 요구하므로[7,8], VHF대역의 증폭기를 이용하여 기준 주파수 신호레벨을 증폭시켰다. 또한 SRD의 낮

은 입력임피던스(5Ω)를 정합시키기 위하여 3:1 balun을 구성하였다.

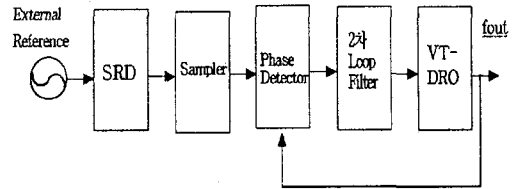


그림 2. 위상고정 발진기의 구성도

VHF amp 에 의해 증폭된 기준 주파수 신호에 의해 짧은 천이시간을 갖는 SRD가 구동되며, 결합 커패시터에 의해 짧은 시구간을 갖는 펄스 신호를 생성한다. 이 펄스신호는 쇼트키 다이오드쌍을 스위칭하며, 이때 PLDRO의 RF 신호를 샘플링하고 hold 커패시터에 충전한다. locking 되지 않을 때의 SPD 출력은 SRD에 의해 N체배된 기준 주파수의 하모닉 성분과 RF 주파수의 차에 상응하는 IF 정현파 신호를 출력하며, locking 되었을 때, RF신호의 동일한 전압 포인트가 샘플되고, 안정된 IF출력 신호를 생성한다.

III. 실험 및 고찰

그림 3은 VT-DRO의 구성도로서 병렬 귀환형으로 설계하였으며, 게이트 바이어스를 제어하여 주파수의 튜닝을 얻었고 각 바이어스 조건에 따른 위상잡음을 측정하였다.

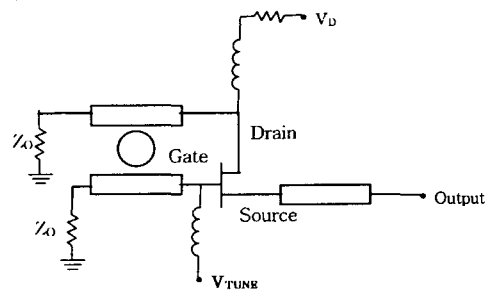


그림 3. 병렬귀환 바이어스 동조형 VT-DRO

유전체 공진기(DR)와 마이크로스트립 선로가 결합된 등가회로 파라미터 값을 추출하고, 식(1,2,3)을 만족하도록 그림 4와 같은 2포트 발진기를 설계하여 모의

Gate-바이어스 튜닝에 의한 마이크로파 트랜시버용 마이크로파 발진기 위상잡음 특성

실험하였다.

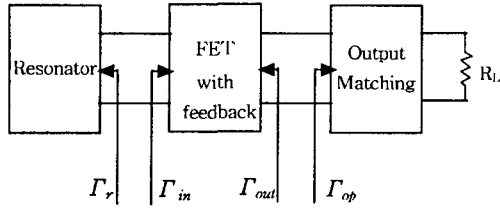


그림 4. 2포트 발진기의 구조

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} < 1 \quad (1)$$

$$(\Delta = S_{11}S_{22} - S_{12}S_{21})$$

$$|\Gamma_r| > \frac{1}{|\Gamma_{in}|}, \text{ang}(\Gamma_r) = \text{ang}\left(\frac{1}{\Gamma_{in}}\right) \quad (2)$$

$$R_{op} + jX_{op} = -\frac{R_{out}}{3} - jX_{out} \quad (3)$$

식(3)의 조건을 만족하도록 출력정합회로를 설계하였다. 그림 5는 시뮬레이션하기 위한 회로도이며 하모닉 발란스 방법으로 모의실험한 결과 13.25GHz에서 그림 6과 같이 5.69dBm의 출력을 얻었다.

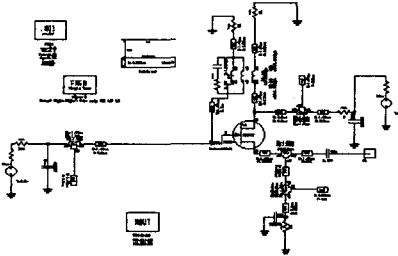


그림 5. 발진기의 모의실험 회로도

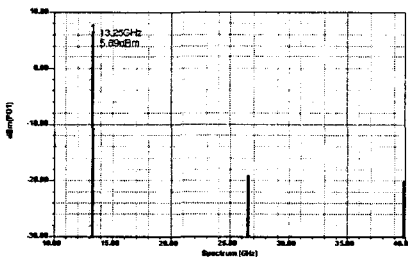


그림 6. 발진기의 모의실험 결과

실험에 사용한 소자는 Mitsubishi사의 P-HEMT를

사용하였고 기판은 $\epsilon_r=2.5$, $t=0.508$, $H=0.018\text{mm}$ 인 Teflon 기판을 사용하였다. 안정된 발진특성을 얻기 위해 두가지 주파수 동조방법을 이용하였는데 주파수 동조범위 내에서 DRO의 발진주파수를 얻어내기 위해 튜닝 스큐류를 이용한 기계적 동조방법과 정확한 13.25GHz의 출력 주파수를 얻어내기 위해 PLL을 사용한 전기적 동조방법을 이용하였다.

그림 7은 제작된 발진기의 SPAN을 1MHz로 하였을 때의 측정 스펙트럼이며, 그림 8은 발진기의 위상잡음을 보여주고 있다. 측정결과 출력전력은 10.5dBm이 나왔으며 위상잡음은 발진 주파수에서 -80.33dBc/Hz @10KHz의 특성을 나타내고 있다. 그림 9는 게이트 바이어스를 변화하였을 때 발진기의 튜닝범위를 나타내고 있으며 $V_{ds}=5\text{V}$ 이고 $V_{gs}=-1\text{V} \sim 0\text{V}$ 로 변화에 따라 주파수가 2.083MHz변하므로 2.083MHz/V 의 pulling factor를 얻었다.

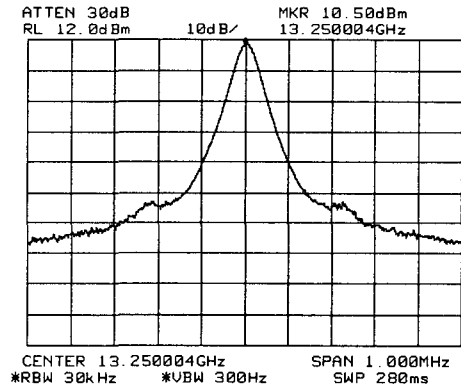


그림 7. 발진기의 Locking시 출력스펙트럼

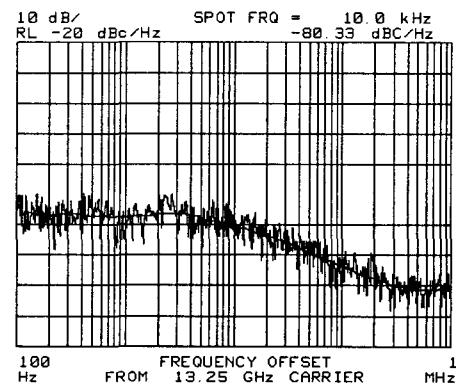


그림 8. 발진기의 Locking시 위상잡음

IV. 결 론

본 논문에서는 P-HEMT Gate-바이어스 튜닝에 의한 위상동기 마이크로파 발진기를 설계하고 게이트 바이어스에 따른 위상잡음 관계를 분석하였다. 설계된 유전체 발진기는 병렬귀환공진 형태로서 P-HEMT의 게이트단에서 전압을 제어하여 전압제어발진기 형태로 주파수를 가변시킴으로써 안정된 위상동기신호를 나타내도록 하였다. 실험결과 위상동기된 PL-DRO는 13.25GHz에서 10.5dBm의 출력과 10KHz offset 주파수에서 -80.33dBc의 위상잡음 특성을 얻었고 2.083MHz/V의 pulling factor를 얻었다.

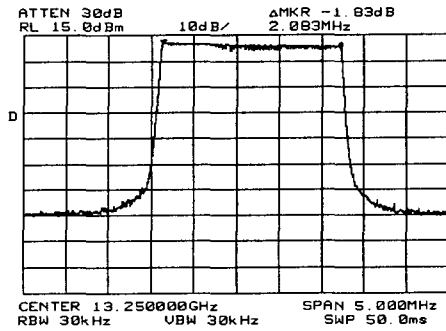


그림 9. 게이트 바이어스 변화에 따른 튜닝 범위

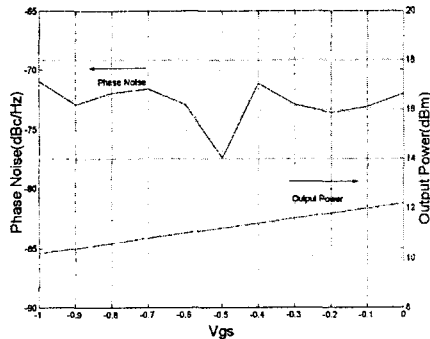


그림 10. 게이트 바이어스 변화에 위상잡음 특성 ($V_{DS}=3V$, 10KHz 오프셋 주파수)



그림 11. 제작된 PLDRO의 실물사진

그림 10은 P-HEMT의 드레인 전압과 게이트 전압을 변화 하였을 때 10KHz 오프셋에서 측정된 위상잡음 특성을 나타내고 있다. 측정결과 $V_{gs}=-0.5V$, $V_{ds}=3V$ 일 때 위상잡음이 가장 낮게 측정되었고, 그림 11은 실제 제작된 PL-DRO의 실물사진이다.

참고문헌

- [1] M. K. Nazami, " Evaluate the Impact of Phase Noise on Receiver Performance," Microwave & RF, pp. 165-172, May 1998
- [2] R. L. Howald, S. Kesler and M. Kam, " BER Performance Analysis of OFDM-QAM in Phase Noise," Proc. Int. Conference on Information Theory, pp. 256, Aug. 1998
- [3] H. Okazaki, T. Nakagawa and M. Yamamoto, "Sampling Phase Detector Using a Resonant tunneling High Electron Mobility Transistor for Microwave Phase-Locked oscillators," IEEE Trans. on Very Large Scale Integration Systems, Vol. 6, No.1, pp39-42 March 1998
- [4] A. Kanda , T. Nagagawa and M. Nakamae, "An MMIC V-band Phase-Locked Oscillator Using a GaAs MMIC Sampling Phase Detector," IEEE Trans. on Microwave Theory and Techniques, Vol.45, No.5, pp.659-665, May 1997
- [4] H. S. Tada Nakagawa, "An MMIC Local Oscillator for 16-QAM Digital Microwave radio systems," IEEE Trans. on Microwave Theory and Techniques, Vol.43, No.6 pp1230-1235, June 1995
- [5] T. A. Bos and F. Bayer, "A Low Cost 16.2Ghz Phase Locked Oscillator for Wireless LAN," IEEE MITT-S Int. Microwave Sympo., Digest, pp 1395-1398, June 1997
- [6] Avi Brillant, "Understanding Phase-Locked DRO Design Aspects". Microwave Journal. pp 22-42 Sept. 1999.
- [7] W.Konrath and H.Brauns, "First fully CAE of a K-band sampling phase detector using periodic steady state analysis and sophisticated SRD-modelling", 26th EuMC, Sept. 1996.
- [8] T.Nakagawa and T.Ohira, "GaAs MMIC sampling phase detector for phase-locked oscillators up to 20GHz," Proc. 3rd Asia-pacific Microwave Conf., Sept. 1990.