2001年度 第14回 信號處理合同學術大會 論文集 第14卷 1號

SDR(Software Defined Radio)시스템을 위한 디지털 IF수신기 구현

송 형 훈, 강 환 민, 김 신 원, 조 성 호

한양대학교 전자통신전파공학과

An Implementation of Digital IF Receiver for SDR System

Hyung Hun Song, Hwan Min Kang, Shin Won Kim, Sung Ho Cho

Department of Electronic Engineering, Hanyang University

Phone: 031-400-5178/3738 ~ 40
E-mail: shcho@casp.hanyang.ac.kr

요 약

본 논문에서는 SDR (Software Defined Radio)시스템을 위한 디지털 IF (Intermediate Frequency)수신기를 구현하였다[1][2]. 구현된 수신기의 하드웨어 구조는 AD변환부, PDC(Programmable Down Converter)부, DSP (Digital Signal Processing)부분으로 이루어졌다.

AD변환부는 Analog Devices사의 AD6644를 이용하여 아날로그 신호를14bit의 디지털 신호로 변환된다. PDC부분은 Intersil사의 HSP 50214B를 이용하여 14bit 샘플 된 IF(Intermediate Frequency)입력을 혼합기와 NCO(Numerically Controlled Oscillator)에 의해 기저대역으로 다운 시키는 역할을 한다. PDC는 CIC (Cascaded Integrator Comb)필터, Halfband 필터 그리고 프로그램할 수 있는 FIR필터로 구성되어 있다. 그리고 PDC부분을 제어하고 PDC부분에서 처리할 수 없는 캐리어, 심볼 트래킹을 위해 Texas Instrument사의 16비트의 고정소수점 DSP인 TMS320C5416과 Altera사의 FPGA를 사용하였다.

그러므로 중간주파수 대역과 기저대역 간의 신호변환을 디지털 신호처리를 수행함으로써 일반적인 아날로그 처리방식보다 고도의 유연성과 고성능 동작이 가능하고 시간과 환경 변화에 우수한 동작 특성을 제공한다.

Ⅰ. 서 론

최근 다양한 주파수 대역과 통신 기술이 점점 발전되고 단일한 통신방식이 아닌 다중모드, 다중 표준을 지원하는 차세대 이동통신 방식인 SDR시스템이 요구되고 있다. SDR이란 하드웨어의 수정 없이 모듈화된 소프트웨어의 변경만으로 단일의 송수신 시스템을 통해 다수의 무선 통신 규격을 통합 수용하는 무선 인터페이스 기술로 고성능 DSP, 광대역 ADC 및 DAC등을 사용하여 기저대역에서 구성 가능한 신호를 IF대역으로 최대한 천이 시켜 유연한 시스템을 구성하여 기존의 시스템과 새로운 규격의 출현에 따른 미래 시스템 모두에 적용 가능한 경제적이며 효율적인 시스템구성 기반을 제공함으로써 다양한 시스템 사이의 용이한 로밍이 가능할 수 있게 한다. 또한 시변 채널 상황에 따른 적응적인 변조 및 수신 방식을 선택할 수 있는 적응성을 가지고 있어 장래 규격 변경에 따른 단말기 재구입 혹은 업그레이드가 불필요할 수 있을 것이다. SDR시스템의 하드웨어구성은 RF(Radio Frequency)처리부, AD (Analog to Digital)/DA(Digital to Analog)변환부, 디지털 IF 처리부, 디지털 기저대역 처리부로 나눌 수 있다[3].

본 논문에서는 SDR을 위한 디지털 IF수신기를 구현해 보았다. IF는 RF부품인 필터, 혼합기 그리고 증폭기 등의 동작이 제대로 안해서 필수적으로 요구된다. 디지털 IF는 IF대역과 기저대역 간의 신호변환을 디지털 신호처리로 수행하고 이동통신 시스템의 기지국 및 단말기의 저 비용과 유연성이 가미된 효율적 개발이 가능하여 보다 정밀한 신호 분리 및 처리를 할 수 있다.

본 논문의 구성은 Ⅱ장인 본론에서는 보드의 전체적인 Description을 보여주고, AD변환부, PDC부 그리고 DSP처리부에 대해 설명하고 있다. Ⅲ장에서는 CDMA 규격을 적용하여 PDC 스펙을 결정하였고, Ⅳ장에서는 결론을 맺는다.

Ⅱ. 본 론

본 논문에서 구현한 디지털 IF수신기의 시스템 구성도는 그림 1과 같다. 디지털 다운컨버터는 프로그램할 수가 있어 내부에서 사용되는 데시메이션 필터들을 설정할 수 있다.

하드웨어 구성을 살펴보면, 아날로그 IF대역신호를 디지털신호로 처리하기 위한 AD(Analog to Digital)변환부와 변환된 디지털 14비트를 다운컨버팅을 하기 위한 다운컨버터부와 다운컨버터부의 레지스터를 제어하고 다운컨버터에서 할 수 없는 캐리어 트래킹, 심볼 트래킹, 복조하는 역할을 하는 고정 소수점인 DSP처리부가, 그리고 수신단의 반송파 위상을 트래킹하기 위한 NCO부분으로 나누어진다.

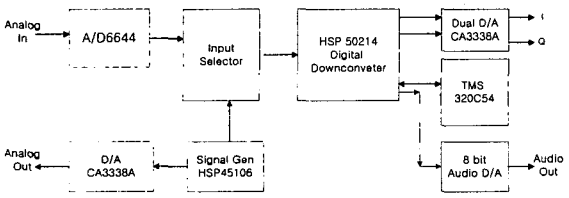

그림 1. 시스템 구성도

논문에서 구현된 PDC 보드를 나타낸 것이 그림 2 이다.

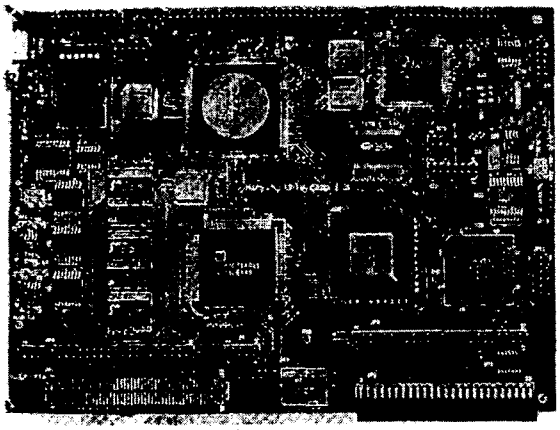

그림 2. PDC 보드

(1)AD 변환부

시스템에서 사용된 AD Converter는 IF대역의 신호를 디지털 신호로 변환한다. Analog Devices사의 AD6644를 사용하였는데, 최대 65MHz의 샘플 레이트로 동작하고 아날로그를 디지털로 14비트 변환한다. 또한 넓은 대역폭을 가지는 시스템에 사용될 수 있게 설계된 단일 채널 디지털 수신기에 유용하다. AD6644입력 전압 범위는 0에서 2.4V까지이고 아날로그 입력은 최대한 선형적인 특성을 바이어스 하기 위해 2.4V와 차등버퍼의 입력에 500Ω을 연결한다. 아날로그 입력은 4:1의 RF변환기를 사용하여 AD6644에 필요한 입력전압의 양을 줄인다. AD Converter에서 변환된 신호들은 74LCX574의 래치를 사용하여 다운컨버터부로 데이터를 보낸다.

(2)다운컨버터

시스템에 사용된 프로그램할 수 있는 다운컨버터는 Intersil사의 HSP50214B 이고 디지털 신호로 변환된 IF 데이터 14비트를 기저대역의 데이터로 변환한다.

그림 3은 다운 컨버터의 내부 블록도를 나타낸 것으로 구성요소를 살펴보면, 14비트 샘플 된 IF입력은 디지털 혼합기와 NCO에 의해 다운컨버터된다. 데시메이션 필터 부분은 CIC필터와 Halfband 필터부분이 있고 255탭까지 프로그램 할 수 있는 FIR필터가 있다. 입력 레벨 검출부분은 입력 레벨을 비교함으로써 다운컨버터 입력의 평균 크기 에러를 측정한다. AGC(Automatic Gain Control)부분은 큰 신호나 대역밖에 잡음이 필터된 후 작은 신호들이 충분한 분해능을 갖기 위한 이득을 제공한다. AGC 루프 필터는 기능을 제한하는 가산기로 구성되어 있고 최대 최소 AGC 이득 한계는 특별한 범위내에서 이득을 유지하는데 사용되고 12비트의 컨트롤 워드로 프로그램 된다. Cartesian to polar 변환부는 I 와 Q 벡터의 크기와 위상을 계산하고 변환된 위상과 크기는 16비트의 분해능을 가진다[4][5].

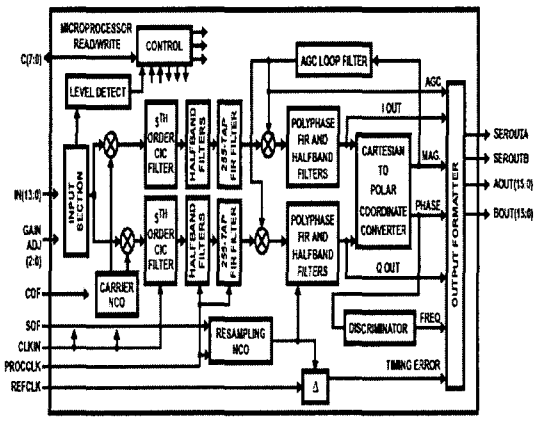

그림 3. 다운컨버터 내부 블록도

다운컨버터에서 사용된 고속처리와 저전력을 요구하는 데시메이션 필터는 CIC(Cascaded Integrator Comb)필터와 Halfband 필터의 직렬 연결로 충족된다. 먼저 CIC필터는 곱셈기가 필요하지 않고 규칙적인 구조를 가지고 있어서 처리속도의 변화가 용이하여 고속처리와 저전력을 필요로 하는 데시메이션 필터구현시에 사용된다.

이 필터는 2개의 주요부분으로 구성되는데 식(1) Integrator부분과 식(2)의 Comb부분이 있다.

$$H_I(Z) = \left\{ \frac{1}{1 - Z^{-1}} \right\} \quad (1)$$

$$H_c(z) = (1 - z^{-R}) \quad (2)$$

이 CIC필터가 식(1)과 식(2)으로 K개 만큼 연결되어 있다면,전달함수는 다음과 같다.

$$H(z) = \left(\frac{1 - z^{-R}}{1 - z^{-1}} \right)^K \quad (3)$$

여기서 변수 R은 데시메이션 요소이고 K는 필터 차수를 의미한다. Integrator필터는 빠른 샘플링 주파수로 처리되고 Comb필터는 상대적으로 느린 주파수로 처리되는 구조가 된다.

그림 4는 CIC필터를 데이메이션 요소인 R을 8로 주고 싱글 스테이지 K가 1인 경우를 Matlab 으로 시뮬레이션 해 본 결과를 나타낸 것이고, 차단주파수는 $(\pi/8R)(1/2\pi) = (1/16R)$ 가 된다.

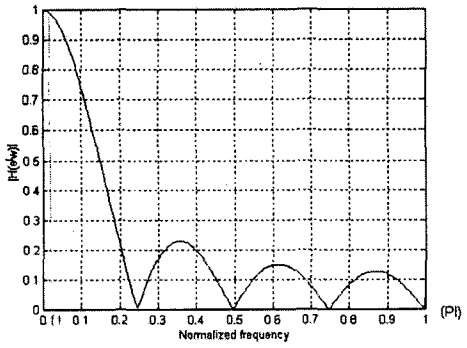

그림 4. CIC 필터

Halfband 필터는 샘플링 주파수의 1/4을 통과대역으로 가지며, 다운컨버터내에는 5개의 Halfband 필터로 구성되어 있고 데이메이션을 얼마만큼하느냐에 따라서 5개의 필터 중에서 프로그램하여 몇 개만을 선택하여 사용할 수 있다. 그리고 Halfband로만 구현한다면, 많은 곱셈기가 필요하여 그만큼 계산량이 증가하기 때문에 CIC필터를 결합하여 사용한다. 다운컨버터의 입력 주파수는 AD컨버터의 샘플레이트와 대역폭 그리고 IF 주파수를 어떻게 선택하느냐에 따라 달라질 수 있다.

(3) DSP

시스템에 사용된 DSP는 Texas Instruments사의 fixed-point 연산방식의 TMS320VC5416를 사용하였다[8][9].

그림 5에서 알 수 있듯이 이 칩은 3개로 분리된 16비트 데이터 메모리 버스와 하나의 프로그램 메모리 버스를 가진 멀티버스 아키텍쳐이고 2개의 독립적인 40비트 가산기와 하나의 40비트 배럴 시프터가 있으며 싱글 사이클에 40비트의 가산기의 지수 값을 계산하는 지수 인코더가 있고 최대 8M × 16비트의 외부 확장 프로그램 어드레싱 모드가 있다. 듀얼 어세스 프로그램 데이터 램의 8K × 16비트의 8개 블록이 있고 싱글 어세스 프로그램 램영역인 8개의 블록이 있다. 16K × 16비트의 원칩 롬을 가지고 있다.

그리고 싱글 사이클 고정 소수점 명령 실행 시간은 6.25 ns 가 걸리고 160MIPS 의 성능을 가지고 있으며, I/O 공급 전압은 3.3V이고 코어 공급 전압은 1.6V를 필요로 한다[10][11].

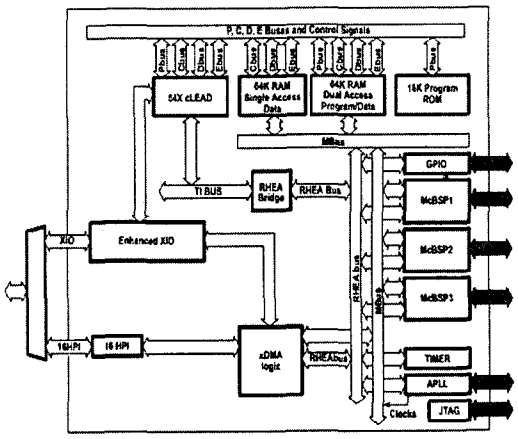

그림 5. TMS320VC5416의 내부 블록도

본 시스템의 DSP부에서 다운컨버터를 제어하기 위해 32비트의 데이터가 보내어 지는데, 다운컨버터쪽에서는 4개의 레지스터에 각각 8비트씩 데이터를 저장하는 방식으로 되어 있다. 그래서 다운컨버터의 제어 레지스터를 각각을 8비트씩 보내어 하나의 32비트를 만들어 제어할 수 있게 된다.

(4) DA 변환부

다운컨버터에서 얻은 데이터를 2개의 Intersil사의 CA3338a를 사용하여 다시 아날로그로 나타내는 부분으로 8비트로 데이터를 받아들이고 최고 50MSPS의 변환속도를 가지며 단일 5V공급으로 동작이 가능하다. 그리고 Cirrus Logic사의 CS4331는 오디오를 위한 디지털 아날로그 컨버터로 18비트의 분해능과 94dB의 동적범위를 가지며 공급전압은 3V 또는 5V를 사용할 수 있으나, 이 시스템에서 5V의 입력을 사용하였다.

Ⅲ. 실험 및 결과

본 논문에서는 IF대역의 CDMA신호를 디지털 다운컨버터 변환한 것으로 그림 6과 같이 CDMA 기저대역이 1.2288MHz을 가지며 IF대역이 60MHz을 가지고 있는 표준에 맞추어 설계를 해 보았다.

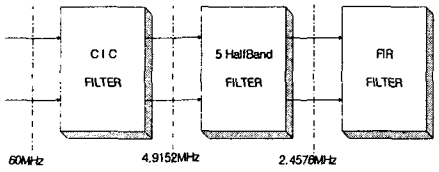

그림 6. CDMA 규격을 예측

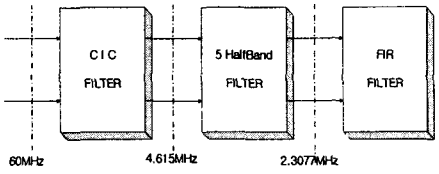

그림 7. PDC 스펙

STEP1) CIC필터와 Halfband필터의 데시메이션 레이트를 계산한다.

60MHz/2.4576MHz= 24.414의 데시메이션 레이트가 요구된다는 것을 알 수 있다.

STEP2) 필요한 Halfband 필터는 계산해 보면, 5개중에서 마지막단의 Halfband 필터만을 사용한다고 하자.

그러면, Halfband 필터의 입력 레이트는 2.4576MHz의 2배가 된다.

그때의 샘플링 주파수는 식(4)와 같은 계산식으로 얻을 수 있다.

$$\begin{aligned} f_s \le & 2^T (f_{PROCCLK}) / ((7*(HB5)(2^{HB5})) \\ & + (6*(HB4)(2^{(HB4+HB5)})) \\ & + (5*(HB3)(2^{(HB3+HB4+HB5)})) \\ & + (4*(HB2)(2^{(HB2+HB3+HB4+HB5)})) \\ & + (3*(HB1)(2^{(HB1+HB2+HB3+HB4+HB5)}))) \\ f_s \le & (2\times 54.0672MHz)/(7\times 2) = 7.723\text{Mhz} \end{aligned} \quad (4)$$

이 필터에서 사용된 샘플링 주파수가 7.723MHz보다 작으므로 이 조건을 만족한다는 것을 알 수 있다.

STEP3) CIC필터의 데시메이션과 FIR 입력 레이트를 알아보면, Halfband 필터의 입력 레이트가 4.9152MHz이므로 60MHz/4.9152MHz=12.2를 얻는데 정수로 나타내지기 때문에 데시메이션 레이트는 13을 얻는다.

그리고 FIR입력 레이트는 CIC필터에서 데시메이션 되어 나온 값이 4.6153MHz이고 Halfband필터에서 한번 데시메이션 되었으므로, 2.3077MHz의 입력이 들어간다는 것을 알 수 있다.

STEP4) 디지털 다운 컨버터에서 FIR필터를 프로그램하기 위해 탭수를 구해 보면,

$$TAPS = (floor(procclk/(f_{samp}/R) - R))(1+sym) \quad (5)$$

탭수가 44라는 값을 얻었다.

결과적으로 그림 6에서 가정한 것은 그림 7과 같은 PDC 스펙을 결정한다.

Ⅳ. 결 론

본 논문에서는 SDR을 위한 디지털 IF 수신기를 구현함으로써 IF대역을 디지털로 처리하여 아날로그 IF수신기에 비해 보다 정밀한 신호분리와 처리가 가능하게 하였고 아날로그 소자로 구현하기 힘들거나 불가능한 SDR과 같은 것에 활용함으로써 하드웨어의 수정없이 모듈화된 소프트웨어의 변경만으로 단일의 송수신 시스템을 통해 다수의 무선 통신규격을 수용하는 기술로 기존의 시스템과 새로운 규격 출현에 따른 미래 시스템 모두에 적용 가능한 경제적이며 효율적인 시스템 구성 기반을 제공한다고 본다.

참고 문헌

[1] Joseph Mitola Ⅲ, Software Radio Architecture, John Wiley & Sons, 2000
[2] E. Del Re, Software Radio Technologies and Services, Springer, 2000
[3] Bernard Sklar, Digital Communications Fundamentals and Applications, Prentice Hall, 1988
[4] http://www.intersil.com
[5] Fuqin Xiong, Digital Modulation Techiques, Artech House, 2000
[6] James Tsui, Digital Techniques for Wideband receivers, Artech House, 2001
[7] Sami Tabbane, Handbook of Mobile Radio Networks, Artech House, 2000
[8] TMS320C5000 DSP/BIOS Application Programming Interface (API) Ref Guide, Texas Instruments, 2001
[9] TMS320C54x C Source Debugger User's Guide, Texas Instruments, 1998
[10] TMS320C54x Code Composer Studio Tutorial, Texas Instruments, 2000
[11] TMS320C54x DSP Programmer's Guide, Texas Instruments, 2001