

OFDM 시스템을 위한 고속 FFT 프로세서

조병각, 손병수, 선우명훈
아주대학교 전자공학부

A High Speed FFT Processor for OFDM Systems

Byung-Gak Jo, Byung-Su Son, and Myung-Hoon Sunwoo
School of Electronics Engineering, Ajou University
E-mail : sunwoo@madang.ajou.ac.kr

요약

본 논문에서는 고속 데이터 전송을 위한 OFDM (Orthogonal Frequency Division Multiplex) 시스템용 고속 FFT 프로세서를 제안한다. 적은 하드웨어 크기를 만족하기 위해 단일 메모리 구조를 채택하였으며 고속 연산을 위해 Radix-4 알고리즘과 메모리 뱅크 구조를 사용하였다. 또한, 버터플라이 출력이 입력 데이터의 위치에 저장되는 In-place 메모리 구조를 갖는다. 설계한 프로세서는 VHDL로 모델링하여 삼성 0.5 μ m SOG 공정으로 합성하였으며 메모리를 제외한 전체 게이트 수가 98,326개를 보였다. 동작속도는 42MHz로 256-포인트 연산이 6 μ s에 처리 가능한 구조이다.

1. 서론

OFDM, DMT (Discrete MultiTone) 변복조는 입력 데이터를 부반송파의 수 만큼 직·병렬 변환하여 각각에 대응되는 부반송파 (subcarrier)로 변조하는 방식이다. 부반송파 변조 방식은 고속 데이터 통신을 위한 방식으로 각광 받고 있으며 WLAN (Wireless Local Area Network), DAB (Digital Audio Broadcasting), DVB (Digital Video Broadcasting), VDSL (Very High-speed Digital Subscriber Line), 전력선 모뎀 등의 표준에 채택 또는 채택될 예정이며 활발히 연구가 진행되고 있다 [1-4]. 이러한 부반송파를 이용한 변조는 DFT (Discrete Fourier Transform)를 이용하여 구현하며, 실제 하드웨어 설계에는 DFT나 IDFT (Inverse Discrete Fourier Transform)를 사용하지 않고 연산량을 줄이기 위해 FFT 알고리즘을 이용한다. FFT 프로세서는 OFDM 시스템에 있어 가장 큰 복잡도를 가지며 고속 연산이 요구되어 구현이 까다로운 부분이다 [2].

본 논문에서 목표로 한 FFT 프로세서는 10 μ s 이내에 256-포인트 연산을 수행 가능하도록 하는 본 연구는 한국과학재단 (No. 97-0100-1401-5)과 반도체 설계교육센터 (IDEC)의 지원을 받아 수행되었음.

OFDM 시스템을 위한 구조이다. 이러한 고성능을 요구하는 분야에는 파이프라인 구조가 주로 사용되나 이 구조는 스테이지 수 만큼의 연산부를 요구하여 포인트 수가 증가할 경우 많은 면적을 소모한다 [5]. 본 논문에서는 메모리 구조를 채택하여 적은 하드웨어 크기를 유지하며 Radix-4 FFT 알고리즘과 메모리 뱅크 구조를 사용하여 높은 성능을 얻을 수 있는 구조를 제안한다.

2 장에서는 기존의 FFT 구조에 대해 설명하고 3 장에서는 제안하는 FFT 구조에 대해 기술한다. 4 장에서는 제안한 FFT 프로세서의 구현 및 성능 평가를 기술하며 마지막으로, 5 장에서 결론을 맺는다.

2. 기존의 FFT 구조

기존의 FFT 구조들 [6]을 그림 1에 나타내었다. 그림 1에서 프로세싱 부분은 버터플라이 연산부에 해당한다. 그림 1(a)의 단일 메모리 구조는 하나의 버터플라이 연산부와 메모리를 사용하여 메모리로부터 데이터를 읽어 버터플라이 연산을 수행한 뒤 다시 같은 메모리로 결과를 저장하는 in-place 방식으로 하드웨어 비용이 적게 드는 장점이 있다 [7]. 그림 1(b)는 이중 메모리 구조로 2 개의 메모리를 사용하여 한 메모리로부터 데이터를 읽어 연산을 수행한 뒤 다른 메모리에 결과를 저장하는 방식으로 FFT 연산 스테이지가 바뀔 때마다 두 메모리의 역할이 바뀐다. 이 구조는 데이터의 입력과 출력을 동시에 수행 가능하여 단일 메모리 구조보다 높은 처리 속도를 얻을 수 있다. 위의 두 메모리 구조는 적은 하드웨어를 가지는 반면 모든 FFT 심볼의 연산이 끝나야 다음 심볼의 연산이 가능하므로 성능이 떨어지며 높은 동작 주파수를 요구한다. 그림 1(c)는 파이프라인 구조로 매 스테이지마다 버터플라이 연산부를 사용하는 구조로 높은 성능을 요구하는 분야에 사용된다 [8]. 그러나 이 구조는 매 스테이지마다 버터플라이 연

산 구조가 사용되므로 하드웨어 크기가 큰 단점이 있다.

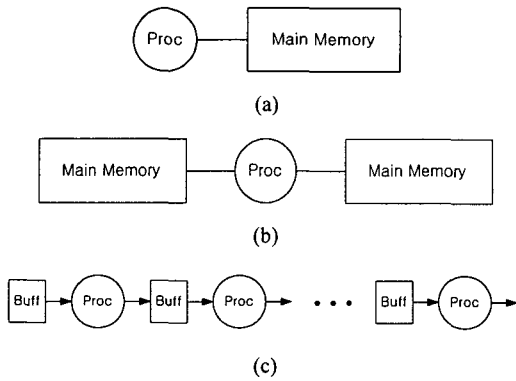


그림 1. 기존의 FFT 구조. (a) 단일 메모리 구조. (b) 이중 메모리 구조. (c) 파이프라인 구조.

3. 제안하는 FFT 구조

제안하는 FFT 프로세서는 적은 하드웨어 크기와 높은 성능을 모두 만족하도록 설계하였다. 적은 하드웨어 크기를 만족하기 위한 메모리 구조를 사용하였으며, 요구되는 성능을 만족하기 위해 Radix-4 알고리즘을 사용하고 메모리를 뱅크로 나누어 사용하였다. 제안한 구조는 파이프라인 구조에 가까운 성능을 얻을 수 있는 동시에 적은 하드웨어 크기도 유지할 수 있다.

제안한 FFT 프로세서는 기본적으로 in-place 알고리즘을 적용한 단일 메모리 구조이며 그림 2에 대략적인 구조를 나타내었다. 1개의 메인 메모리를 가지고 있으며 각 메모리는 4개의 뱅크로 이루어져 있다. 1개의 버터플라이로 반복적인 연산을 수행하며 고속 수행 및 256(4⁴)-point FFT 연산에 적합한 Radix-4 알고리즘을 사용하였다. 그림 3에 설계한 Radix-4 DIF (Decimation In Frequency) 버터플라이 연산부를 나타내었다 [9].

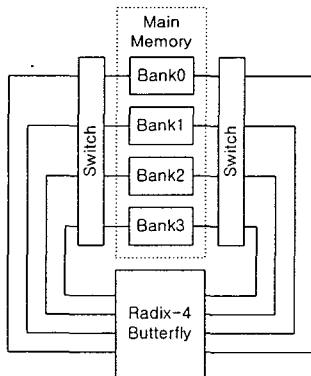


그림 2. FFT 프로세서의 구조.

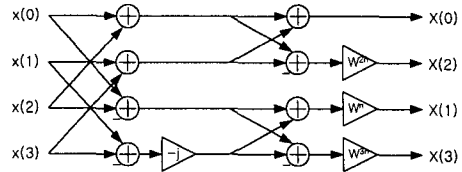


그림 3. Radix-4 DIF 버터플라이.

고속의 프로세서에서 동작 주파수가 증가하게 되면, 이에 따르는 메모리의 액세스 속도도 증가해야 하지만 메모리의 액세스 속도는 한정되어 있으므로 데이터를 읽거나 쓸 때 충분한 시간을 가져야 한다. 본 구조는 Radix-4 알고리즘을 사용함으로써 요구되는 버터플라이 연산 회수를 줄여 동작 속도를 낮추었고, 또한 메모리를 4개의 뱅크로 나누어 사용하여 동시에 4개의 데이터를 액세스 함으로써 동작 속도를 낮추었다. 256-포인트 심볼에 대한 버터플라이 연산 회수가 $\log_4 256$ (스테이지) \times 64 (스테이지 당 버터플라이 연산 회수) = 256 회이고 10 μ sec에 연산이 완료되어야 하므로 버터플라이는 30MHz 이상의 동작 주파수를 가져야 한다. 또한, 메모리는 in-place 연산 수행을 위해 버터플라이 동작 주파수의 두 배인 약 60MHz 이상의 동작 주파수를 가져야 한다.

3.1 제안하는 in-place 메모리 어드레싱

본 절에서는 Radix-4 알고리즘을 하나의 메모리로 처리하기 위한 in-place 메모리 어드레싱에 대해 기술한다. Radix-4 버터플라이 연산을 위해 4개의 데이터를 동시에 액세스하여야 하고 액세스한 위치에 버터플라이 결과 4개를 동시에 저장하여야 한다. 이를 위해 메인 메모리를 4개의 뱅크로 나누어 사용하며 동시에 한 뱅크에서 여러 개의 데이터를 액세스하지 않기 위해 적절한 어드레싱을 수행한다. 제안하는 in-place 메모리 어드레싱의 예를 그림 4에 나타냈다.

그림 4에 나타낸 규칙으로 입력 데이터를 각 뱅크에 나누어 저장하면 데이터 흐름도 상의 모든 버터플라이의 4개의 입력을 서로 다른 뱅크로부터 액세스가 가능하다. 본 논문에서는 그림 4의 방식을 256-포인트 FFT에 확장 적용하였다.

3.2 OFDM 시스템을 위한 구조

OFDM, DMT 시스템은 IFFT를 수행한 뒤 보호 구간을 삽입한다. IFFT가 수행된 하나의 OFDM 심볼을 메모리에 저장한 뒤 심볼의 뒷부분 중 일정 구간을

OFDM 심볼의 앞 부분에 보호 구간으로 삽입하며 이를 cyclic prefix라 한다. OFDM 시스템은 cyclic prefix를 이용하여 수신단에서 프레임 동기를 구한다. Cyclic prefix를 삽입하기 위한 구조는 그림 5와 같다 [10].

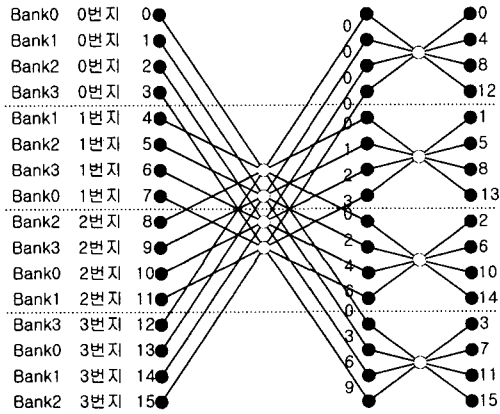


그림 4. 16-포인트 FFT의 in-place 어드레싱.

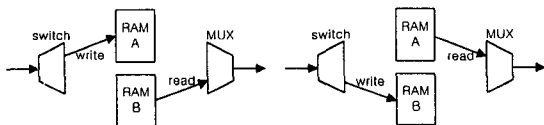


그림 5. cyclic prefix 삽입을 위한 구조.

그림 5에서 IFFT가 수행된 심볼을 메모리에 저장한 뒤 출력할 때 cyclic prefix 구간을 먼저 출력하고 뒤이어 OFDM 심볼을 출력한다. 본 논문의 FFT 프로세서는 cyclic prefix 삽입 구조의 메모리를 사용하여 실시간으로 연속적으로 입력되는 데이터를 처리한다. 그림 6에 이를 위한 구조를 나타내었다.

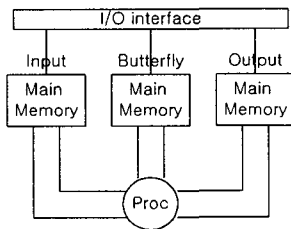


그림 6. 실시간 처리를 위한 구조.

그림 6에 보여지는 바와 같이 cyclic prefix 삽입을 위해 사용되는 두 개의 메모리를 FFT 프로세서의 연산을 위한 메모리에 포함시킨다. 하나의 메모리가 버터플라이

연산을 위해 사용되는 동안 하나의 메모리는 실시간으로 입력되는 데이터를 저장하는 데 사용하고 나머지 하나의 메모리는 출력에 사용된다. 하나의 OFDM 심볼에 대한 연산이 끝나면 버터플라이 연산에 사용되었던 메모리는 출력을 위한 메모리로 전환되고 입력을 저장한 메모리는 버터플라이 연산을 위한 메모리로 전환된다. 또한, 출력에 사용되었던 메모리는 다음 심볼의 입력을 저장하는 메모리로 전환된다. 이와 같은 구조를 사용하면 메모리의 증가없이 단일 메모리 구조를 갖는 FFT 프로세서로 실시간 OFDM 시스템의 구현이 가능하다. 이 때, 추가된 두 개의 메모리에 있어 내부 워드 길이와 FFT 출력 워드 길이의 차이 만큼의 비트 수 증가는 발생한다.

4. 구현 및 성능 평가

제안한 구조를 VHDL 언어를 이용하여 하드웨어로 구현하였다. 내부 워드 길이를 20 비트로 하였으며 메인 메모리도 실수부와 허수부가 각각 20 비트의 워드 길이를 갖는 구조를 사용하였다. 버터플라이 연산부는 4 단의 파이프라인을 갖도록 설계하였다. VHDL로 설계한 FFT 프로세서를 삼성 0.5 μ m KG80 SOG 공정 라이브러리를 이용하여 논리합성을 수행하였다. 논리합성 수행결과를 그림 7에 나타내었다.

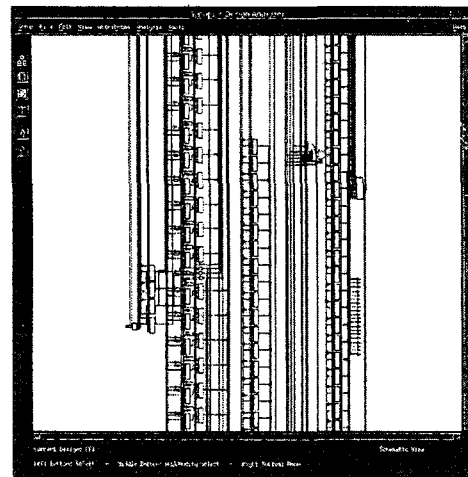


그림 7. 논리합성 수행결과.

논리합성 수행결과 메인 메모리를 제외한 전체 FFT가 약 98,000개의 게이트 수를 보였으며 버터플라이 연산부가 약 86,000개, 계수 저장을 위한 룬이 약 1,800개, 제어부 및 메모리 어드레싱부가 10,150개의 게이트

수를 보였다. 버터플라이 연산부의 최대 지연경로는 23.46ns로 $1/23.46 = 42\text{MHz}$ 의 동작이 가능한 것으로 나타났다. 256-포인트 FFT 연산을 수행할 경우 $\log_4 256 \times 64 \times 23.46\text{ns} = 6\mu\text{s}$ 에 처리가 가능하다. 이는 전력선 모델의 표준인 HomePlug가 8.4 μs 이내에 256-포인트 연산을 수행해야 하는 사양을 만족한다 [4]. 또한, 4,096-포인트는 $\log_4 4,096 \times 1,024 \times 23.46\text{ns} = 144\mu\text{s}$ 에 처리가 가능하며 이는 DMT 방식의 VDSL 모델이 250 μs 이내에 처리하여야 하는 것을 만족한다 [11].

표 1은 실시간 응용에 가장 많이 사용되는 파이프라인 FFT 구조들의 하드웨어 복잡도를 나타내었다 [12]. N은 FFT 포인트 수를 의미하며 곱셈기 수와 덧셈기 수는 복소 곱셈기와 복소 덧셈기를 의미한다. 실제 FFT 프로세서의 하드웨어 복잡도는 곱셈기와 메모리가 좌우한다 [13]. 본 논문에서 제안한 메모리 구조는 복소 곱셈기의 수가 3개로 고정되어 있으며 덧셈기 또한 8개로 고정되어 있다. 메모리 크기는 N으로 포인트 수와 같다. 표의 곱셈기 수를 비교하여 볼 때 R4SDF (Radix-4 Single-path Delay Feedback) 구조와 R4SDC (Radix-4 Single-path Delay Commutator), R2²SDF (Radix-2² Single-path Delay Feedback) 구조가 256-포인트에서는 제안한 구조와 같은 곱셈기 수를 가지나 1,024-포인트 후부터는 제안한 구조가 하드웨어 측면에서 이득을 가진다.

표 1. 파이프라인 구조의 하드웨어 복잡도

	곱셈기 수	덧셈기 수	메모리 크기
R2MDC	$2(\log_4 N - 1)$	$4\log_4 N$	$3N/2 - 2$
R2SDF	$2(\log_4 N - 1)$	$4\log_4 N$	$N - 1$
R4SDF	$\log_4 N - 1$	$8\log_4 N$	$N - 1$
R4MDC	$3(\log_4 N - 1)$	$8\log_4 N$	$5N/2 - 4$
R4SDC	$\log_4 N - 1$	$3\log_4 N$	$2N - 2$
R2 ² SDF	$\log_4 N - 1$	$\log_4 N$	$N - 1$

5. 결론

본 논문에서는 고속 데이터 전송을 위한 OFDM 시스템에 적용 가능한 고속 FFT 프로세서를 제안하였다. 적은 하드웨어 크기를 만족하기 위해 단일 메모리 구조를 채택하였으며 고속 연산을 위해 Radix-4 알고리즘과 메모리 뱅크 구조를 사용하였다. 또한, in-place 연산을 위해 새로운 메모리 어드레싱 방법을 제안하였다. 설계한 프로세서는 VHDL로 모델링하여 삼성 0.5 μm SOG 공정으로 합성하였으며 메모리를 제외한 전체 게이트 수가 98,326개를 보였다. 동작속도는 42MHz로 256-포인트 연산에 6 μs 에 처리 가능한 구조이다. 제안한

고속 FFT 프로세서는 향후 VDSL, 전력선 모델, DVB, DAB, WLAN 등과 같은 OFDM, DMT 변복조 방식의 통신 시스템 개발에 활용될 수 있다.

참고 문헌

- [1] C. L. Wang and C. H. Chang, "A novel DHT-based FFT/IFFT processor for ADSL transceivers," in *Proc. IEEE Int. Symp. Circuits Syst.*, 1999, pp. 51-54.
- [2] J. R. Choi, S. B. Park, D. S. Han, and S. H. Park, "A 2048 complex point FFT architecture for digital audio broadcasting system," in *Proc. IEEE Int. Symp. Circuits Syst.*, 2000, vol. V, pp. 693-696.
- [3] VDSL Alliance, *VDSL Alliance Draft Standard Proposal*, April 1999.
- [4] HomePlug Powerline Alliance, *HomePlug 0.5 Draft Medium Interface Specification*, Nov. 2000.
- [5] L. Jia, Y. Gao, and H. Tenhunen, "A pipelined shared-memory architecture for FFT processor," in *Proc. IEEE 42nd Midwest Symp. Circuits Syst.*, 1999, pp. 804-807.
- [6] B. M. Bass, "A low power, high performance, 1024-point FFT processor," *IEEE J. Solid-State Circuits*, vol. 34, pp. 380-387, Mar. 1999.
- [7] J. A. Hidalgo, J. Lopez, F. Aruguello, and E. L. Zapata, "Area-efficient architecture for fast Fourier transform," *IEEE Trans. Circuits Syst.-II.*, vol. 46, pp. 187-193, Feb. 1999.
- [8] H. F. Lo, M. D. Shieh, and C. M. Wu, "Design of an efficient FFT processor for DAB systems," in *Proc. IEEE Int. Symp. Circuits Syst.*, 2001, pp. 654-657.
- [9] M. K. Rudberg, M. Sandberg, and K. Ekholm, "Design and implementation of an FFT processor for VDSL," in *Proc. Asia-Pacific Conf. Circuits Syst.*, 1998, pp. 611-614.
- [10] 김재석, 조용수, 조중희, *이동통신용 모델의 VLSI 설계*, 대영사, 2001.
- [11] ETSI Technical Specification, *Transmission and Multiplexing (TM); Access Transmission Systems on Metallic Access Cables; Very high speed Digital Subscriber Line (VDSL); Part 2: Transceiver Specification*, Feb. 2001.
- [12] S. He and M. Torkelson, "Design and implementation of a 1024-point pipeline FFT processor," in *Proc. IEEE Custom Integrated Circuits Conf.*, 1998, pp. 131-135.
- [13] N. Weste and D. J. Skellern, "VLSI for OFDM," *IEEE Commun. Mag.*, pp. 127-131., Oct. 1998.