

## 효율적인 잡음발생기의 구현

박 홍 열\*, 태 기 철\*\*, 김 대 익\*, 정 진 균\*

\*전북대학교 공과대학 전자정보공학부

\*\*한국전자통신연구원

## Efficient Implementation of Noise Generation System

Hong-Yul Park\*, Ki-Cheol Tae\*\*, Dae-Ik Kim\*, Jin-Gyun Chung\*

\*Division of Electronics & Information Eng., Chonbuk Nat'l University

\*\*Electronics and Telecommunications Research Institute

### 요 약

잡음발생기는 통신시스템을 측정할 때 신호에 영향을 미치는 잡음신호들을 인위적으로 만들어 실제 신호가 전송되는 환경과 유사한 환경을 만드는 데 필요한 시스템이다. 본 논문에서는 최근에 제안된 DCT를 이용한 잡음발생회로의 면적을 약 40~45% 정도 줄이는 방안을 제시한다. 또한, 전력소모를 줄이기 위해 시스템에 사용되는 ADD 블록의 불필요한 동작을 억제하며 면적증가에 영향을 주지 않는 구조를 제안한다.

### I. 서 론

모뎀을 비롯한 통신장비는 선로잡음이나 기타 노이즈의 영향을 고려하여 시스템을 측정하고 평가해야 한다. 그러나 실제의 노이즈 환경을 구현하고 측정하기란 매우 어렵고, 비용 또한 무시할 수 없는 경우가 많다. 따라서 통신 시스템을 측정할 때는 신호에 영향을 미치는 요소들을 인위적으로 만들어 실제 전송되는 신호를 가정하게 되는데, 이때 필요로 하는 것이 잡음발생기이다.

고속모뎀의 테스트에 사용하는 VDSL의 선로잡음은 AWGN, 누화, 라디오 잡음, 임펄스 잡음, 배경 잡음 등이 있다. 잡음발생을 위해 Yule-Walker equation을 사용하여 디지털 필터를 구현할 수 있다 [1,2]. 그러나 이 방법을 이용하여 VDSL에 적용하기 위한 필터 계수를 구하면 VDSL의 잡음 스펙과의 오차가 심하여 잡음 신호로서 부

적합한 경우가 발생한다. 이러한 문제점을 보완하기 위해서 Yule-Walker equation을 이용하는 대신 중심 극한 정리(Central Limit Theorem)와 DCT를 이용하여 잡음신호를 발생시킬 수 있는 알고리즘이 최근에 제안되었다 [3].

본 논문에서는 [3]에 제안된 잡음발생기의 DCT 출력신호를 효율적으로 사용함으로써 잡음 발생회로의 면적을 약 40~45% 정도 줄일 수 있음을 보인다. 또한, 전력소모를 줄이기 위해 시스템의 마지막 단에서 사용되는 ADD 블록의 불필요한 동작을 억제하며 면적증가에 영향을 주지 않는 구조를 제안한다.

본 논문은 II절에서 기존에 제안된 잡음발생기 구조를 간단히 설명하고, III절에서는 면적 감소를 위해 새로 제안한 구조에 대해서 서술하며, 마지막으로 IV절에서 결론을 맺는다.

### II. 기존에 제안된 잡음발생기 구조

본 절에서는 [3]에서 제안된 DCT를 이용한 잡음발생기 구조를 간단히 설명한다.

#### 1. Gaussian 분포를 갖는 독립변수의 생성

대부분의 통신시스템 테스트를 위한 잡음신호는 Gaussian 분포를 가져야한다 [4]. Uniform 분포를 갖는 신호를 Gaussian 분포를 갖는 신호로 변환하기 위해 BOX-Muller Equation을 사용할 수 있다 [5]. 그림 1은

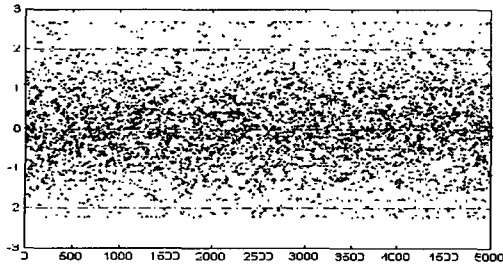


그림 1. Box-Muller Equation을 이용하여 uniform 분포 신호를 Gaussian 분포 신호로 변환했을 때의 신호 분포.

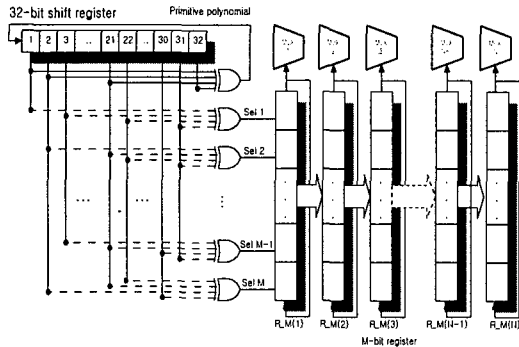


그림 2. PN sequence를 이용한 MUX select 신호 발생기.

Box-Muller Equation을 사용하여 uniform 분포를 갖는 신호를 Gaussian 분포를 갖는 신호로 변환했을 때 신호분포의 예이다. 그러나 BOX-Muller Equation은 sin, cos, log, multiplier를 필요로 하기 때문에 하드웨어적으로 많은 면적을 차지하게 된다.

서로 독립인  $m$ 개의 독립변수(Random Variables)  $X_i, i=1, 2, \dots, m$ 가 있고  $m$ 이 충분히 클 경우, 이 신호의 합인  $X = X_1 + \dots + X_m$ 은 중심 극한 정리에 의하여 Gaussian 분포를 가지는 신호를 만들어낸다 [5]. 그림 2는 Gaussian 분포를 갖는 신호를 만들기 위한 회로의 일부이다.

실수를 입력으로 갖는 XOR 게이트는 32비트 시프트 레지스터를 이용하여 primitive polynomial을 발생시키기 위한 것이며, 점선을 입력으로 갖는  $M$ 개의 XOR 게이트는 서로 독립적인 uniform 분포를 가지는 신호를 만들어 내기 위한 것이다. 이때 XOR게이트에 입력되는 신호는 서로 각기 다른 패턴을 가져야 한다.

$M$ 개의 XOR 게이트의 출력은  $M$ 비트 시프트 레지스터  $R_M(1)$ 에 저장되고  $M$ -clk동안 레지스터 내에서 시프트되면서 MUX(1)의 선택(select) 신호로 사용된다. 그 후  $R_M(1)$ 의 데이터는  $R_M(2)$ 로 이동되고 XOR 게이트의 새로운 출력이  $R_M(1)$ 에 저장된다.  $R_M(2)$ 의 데이터는  $M$ -clk동안 MUX(2)의 선택 신호로 사용되고  $R_M(3)$ 로 이

동한다. 즉,  $R_M(i)$ 의 데이터는  $M$ -clk동안 MUX( $i$ )의 선택 신호로 사용되고  $R_M(i+1)$ 으로 이동한다.

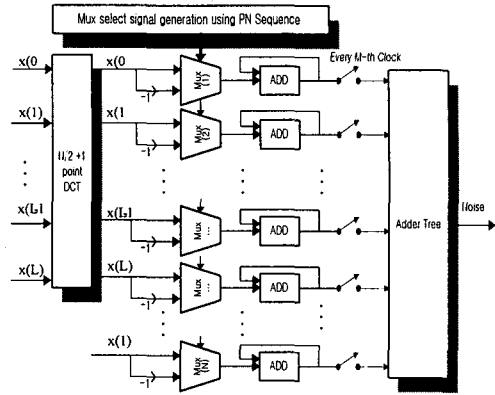


그림 3. DCT를 이용한 잡음발생기의 구조.

## 2. DCT를 이용한 잡음 발생기

DCT를 이용한 잡음발생기의 구조는 그림 3과 같다.  $(N/2+1)$ -point DCT를 이용한 잡음 발생 알고리즘은 다음과 같다.

- ① 주어진 PSD 스펙으로부터, 다음과 같은  $N/2+1$ 개의 샘플  $X(0), X(1), \dots, X(N/2)$ 을 구한다.
- ② ①에서 구한  $N/2+1$ 개의 샘플 값을 입력으로 하는  $(N/2+1)$ -point DCT를 취한다.
- ③ 그림 2에서 발생된  $N$ 개의 출력을 그림 3의 Mux 선택 신호의 입력으로 사용한다.
- ④ 그림 3에서처럼  $N$ 개의 신호들을 더함으로써 Real 값의 Time-domain 신호를 얻을 수 있다.

그림 4와 5에서 보는바와 같이 Yule-Walk Equation을 사용하는 것보다 DCT를 이용한 알고리즘을 사용함으로써 주어진 PSD 스펙을 더 잘 만족시킬 수 있음을 알 수 있다.

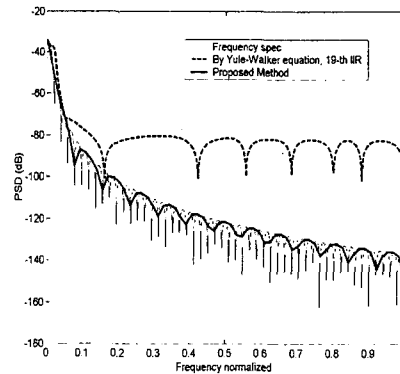


그림 4. VDSL용 HDSL 잡음신호 발생 (Sampling frequency = 40 MHz).

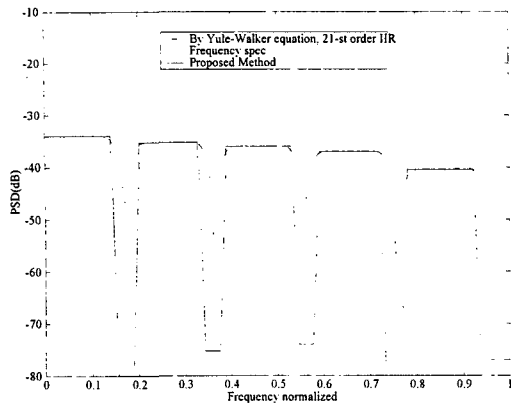


그림 5. Yule-Walker equation과 DCT를 이용한 Algorithm의 비교.

### III. 새로 제안한 구조

#### 1. 중복입력을 고려한 구조

그림 3에서 Mux의 동작특성을 살펴보면, PN 시퀀스를 이용한 Mux 선택 신호가 '0'인 경우에는  $x(0) \sim x(L)$ 이 선택되고 '1'인 경우에는  $-x(0) \sim -x(L)$ 가 선택되어진다. 따라서 Mux 선택 신호 발생기의 M-bit 쉬프트 레지스터에 저장되어 있는 '0'과 '1'에 따라 ADD 블록에서 덧셈과 뺄셈을 수행하게 된다.

그림 3에서  $x(1)$ 은 Mux(2)와 Mux(N)의 입력으로 중복되어 사용되며 Mux(2)와 Mux(N)의 출력신호들이 ADD 블록을 거친 후 Adder Tree에서 서로 더해짐을 알 수 있다. 따라서 이러한 특성을 이용하여 그림 3에서  $x(1)$ 과 관련된 회로를 그림 6과 같은 구조로 수정할 수 있다.

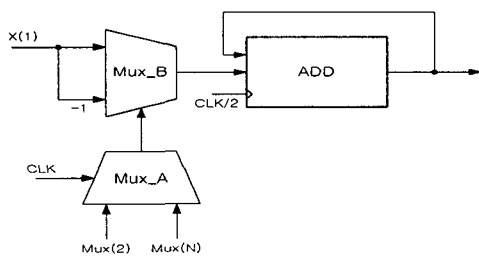


그림 6. 중복 입력을 고려한 Mux, Add 블록.

Mux 선택 신호 발생기의 쉬프트 레지스터의 클럭 신호(CLK)가 그림 6의 Mux\_A의 선택 신호로 사용되어 CLK='0'인 경우 Mux(2)의 신호를 선택하고 CLK='1'인 경우 Mux(N)의 신호를 선택한다. 한 클럭 내에 Mux(2)와 Mux(N) 두 신호가 Mux\_B의 선택신호로 사용되어  $x(1)$ , 또는  $-x(1)$ 을 취하게 된다. 선택된 Mux\_B의 입력 신호를

하나의 CLK 안에 덧셈을 수행하여야 하기 때문에 ADD 블록을 CLK/2 신호에 동기시켜 처리하도록 한다.

$x(2) \sim x(L-1)$  신호에 대해서도 이와 유사한 관계가 성립함을 알 수 있다.

#### 2. 면적 및 전력 감소를 위한 구조

그림 6의 구조에서는 하나의 CLK 내에 Mux(2)와 Mux(N)으로 선택한 두 개의 입력 신호를 더해줘야 하기 때문에 CLK/2 신호를 사용해야 한다. 이는 별도의 클럭 신호를 사용해야 하기 때문에 회로 구현 측면에서 불리하다. 그러나 다음과 같이 Mux(2)와 Mux(N)의 선택신호를 동시에 고려함으로써 CLK/2 신호의 사용을 피할 수 있다.

Mux(2)와 Mux(N)이 한 CLK 내에 가질 수 있는 신호 집합은 {00, 01, 10, 11}이다. 신호가 '01'인 경우에는  $x(1)$ 과  $-x(1)$ 을 더하게 되고 '10'인 경우에는  $-x(1)$ 과  $x(1)$ 을 더하게 되어 ADD 블록에서 두 신호를 더한 값은 0이 된다. 따라서 이 두 경우에는 ADD 블록에서 덧셈을 할 필요가 없다.

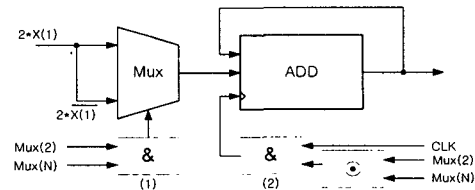


그림 7. 제안한 Mux, Add 블록.

신호가 '00'일 경우에는  $x(1)$ 을 두 번 더한 결과가 되므로  $2x(1)$ 을 Mux 입력신호로 사용할 수 있다. 마찬가지로 신호가 '11'인 경우에는  $-2x(1)$ 을 미리 계산하여 Mux의 입력 신호로 사용할 수 있다.  $2x(1)$ 과  $-2x(1)$ 은 단지  $x(1)$ 과  $-x(1)$ 값을 왼쪽으로 1비트 시프트함으로써 간단하게 구현된다. 또한 이렇게 Mux(2)와 Mux(N)의 선택신호를 동시에 처리하는 구조를 선택함으로써 그림 6에서 요구되었던 CLK/2 신호 없이 ADD 블록을 동작시킬 수 있음을 알 수 있다.

Mux(2)와 Mux(N)의 선택신호를 동시에 처리하는 회로는 그림 7과 같다. 회로의 동작을 살펴보면 Mux(2)와 Mux(N)이 '01' 또는 '10'인 경우에는 AND 게이트(2)와 XNOR 게이트를 통하여 ADD 블록의 클럭 신호를 disable시켜서 동작하지 않게 되며 '00'과 '11'인 경우에는 enable시켜주어 ADD 블록에 클럭이 인가되도록 한다. 이 부분은 쓸모없는 ADD 블록의 덧셈 동작을 방지하기 때문에 게이트들의 스위칭 동작을 감소시켜 전력소모를 줄일 수 있는 장점을 내포하고 있다. 또한 AND 게이트 (1)은 '00'과 '11'인 경우 Mux의 입력 신호를 선택하여 ADD 블록으로 전달 시켜주는 동작을 수행한다.

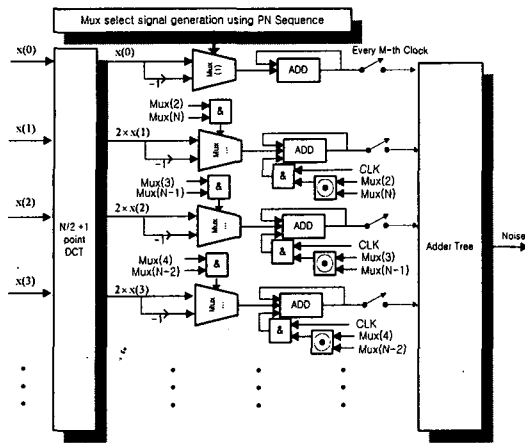


그림 8. 제안한 방법을 적용한 구조.

$x(2) \sim x(L-1)$ 의 신호에 대해서도 같은 방법으로 개선된 회로를 디자인할 수 있다. 제안한 방법을 이용한 전체적인 구조는 그림 8과 같다.

그림 8의 새로 제안한 잡음 발생기는  $(L+1)$ 포인트 DCT 블록,  $(L+1)$ 개의 Mux 블록,  $(L+1)$ 개의 ADD 블록,  $(L+1)$ 개의 신호를 처리하기 위한 Adder Tree 블록으로 구성된다. 여기에서 Mux와 ADD 블록 내에  $2(L-1)$ 개의 AND 게이트와  $(L-1)$ 개의 XNOR 게이트가 추가적으로 요구되지만 전체적인 면적증가에는 영향을 거의 주지 않음을 알 수 있다. 따라서  $(L-1)$ 개의 Mux 블록, ADD 블록, 그리고 Adder Tree 블록을 감소시킬 수 있다.

표 1은 기존의 구조와 제안한 구조에서 DCT 뒤 단의 면적을 비교한 Table이다. 기존의 구조와 제안한 구조를 비교해 보았을 때 DCT 포인트수의 증가에 따라서 하드웨어의 감소율이 증가함을 알 수 있다.

표 1. 기존구조와 제안한 구조의 Area 비교(Tr 수)

구분 \ point수	8	16	32	64	128
기존의 구조	11696	22896	46208	93148	187112
제안한 구조	7040	13572	26134	51342	101366
차 이	4656	9324	20074	41806	85746
백분율 (%)	39.8	40.7	43.4	44.8	45.8

#### IV. 결 론

본 논문에서는 DCT를 이용한 잡음 발생회로의 면적을 감소시키기 위한 방안을 제시하였다. 제시한 방법을 이용함으로써 DCT를 제외한 나머지 회로의 면적을 DCT 포인트 수에 따라 약 40~45% 정도까지 줄일 수 있음을 보였다.

#### 참 고 문 헌

- [1] J. S. Chow, Finite-length equalization for multi-carrier transmission systems. Ph.D Thesis, Stanford University, 1992
- [2] J. L. Dixon, J. S. Yeomans, and J. M. Goldthorp, NEXTNOISE—a programmable noise generating system for testing wire-based loop transmission systems," *Proceedings of the Globecom' 93*, pp.1319-1324, Nov. 1993.
- [3] K. Tae, D. Kim, and J. Chung, "Noise Generation System Using DCT," *Proceeding of ISCAS*, Sydney, May 2001.
- [4] J.Cioffi, "Very-high-speed digital subscriber lines system requirements," *Committee T1-Telecommunications*, Nov. 1998.
- [5] A. Papoulis, *Probability, Random Variable, and Stochastic Processes*. McGraw-Hill Inc., 1991.