

# TMS320C6701 을 이용한 병렬 DSP 시스템 개발

이태호, 정수운, 이동호  
한양대학교 전자컴퓨터공학부

## Development of Parallel DSP System Using TMS320C6701

Tae-Ho Lee , Su-Woon Jung , Dong-Ho Lee  
School of Electrical and Computer Engineering of Hanyang Univ  
{taehov , swjung , dhlee}@image.hanyang.ac.kr

### 요약

본 논문에서는 TMS320C6701 을 이용하여 방대한 양의 데이터를 실시간으로 처리할 수 있는 병렬 DSP 시스템을 설계 및 구현한 것에 대하여 나타내었다. 이 병렬 DSP 시스템은 DSP 칩간의 통신과 보드간의 통신이 가능하며, DSP 칩이 마스터가 되어 EMIF(External Memory Interface)포트를 통해 다른 DSP 칩의 지역메모리를 액세스 할 수 있으며, 또한 외부의 호스트 프로세서가 보드 내의 DSP 칩에 프로그램을 다운로드 할 수 있도록 설계하였다. DSP 칩에 의해 처리된 신호는 PCI 버스를 통하여 호스트로 전송되며, DSP 칩에서 DSP 칩 또는 지역메모리와의 통신은 지역버스를 통해 직접적으로 이루어진다. 병렬 DSP 시스템을 통하여 고속의 병렬신호처리를 수행 할 수 있다.

### I. 서론

최근에는 고속 신호 처리 시스템을 구현함에 있어서 DSP 칩을 다중으로 연결하는 병렬시스템 구조가 많이 채택되고 있다. 그 이유는 DSP 소자들의 개별적인 연산 능력이 우수하긴 해도 단일 프로세서 구조로 높은 성능 요구 조건을 충족시키기 어렵기 때문이다.

특히 방대한 양의 실시간 연산을 요구하는 영상 신호처리, 소나, 레이더와 같은 시스템에서는 시스템의 성능을 최대화하기 위해 병렬 신호처리 시스템의 사용이 불가피하다. 본 논문은 방대한 양의 데이터를 실시간으로 처리할 수 있는 병렬 신호처리보드를 설계 및 구현한 내용을 소개 하였다.

본 논문의 구성은 구현된 병렬 신호처리 보드의 구성과 각 블록에서의 역할을 2장에서 설명하였고, 3장에서는 EPLD 칩으로 구현한 DSP-to-PCI Bridge 및 HPI Controller 에 대한 각각의 기능과 구성을 설명하였다. 4 장에서는 PC 시스템에서 메인보드의 PCI 슬롯에 직접 꽂아서 테스트한 내용과 결과를 설명하였다.

### II. 병렬 신호처리 보드의 구성

#### 2.1. 병렬 신호처리 보드의 구성

그림 1 은 본 과제에서 구현하는 병렬 신호처리 보드의 구성도를 나타내었다. 그림 1 에서 보면 이 보드는 크게 DSP 신호처리부, 지역메모리부, PCI 인터페이스부로 구성되어 있다.

DSP 를 통하여 고속으로 처리된 신호는 DSP 의 EMIF 포트를 통해 지역메모리인 SDRAM 에 임시 저장되며, PCI 버스를 통해 지역메모리에 저장된 데이터는 Host 로 보내진다. DSP 및 보드간의 통신은 PCI 버스를 통하여 이루어진다. PCI 버스를 사용하기 위해서 PCI Controller 가 필요한데 여기에서는 상용화된 칩을 사용하지 않고 직접 VHDL 로 PCI Core 를 설계하여 EPLD 칩으로 구현을 하였다.

그림 1 에서처럼 병렬 DSP 칩을 이용하여 PCI 버스를 이용한 통신방식은 PCI 버스 기반의 다른 상용 보드에서도 채택되고 있다[1][2].

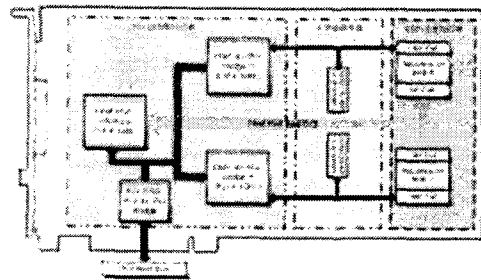


그림 1. 병렬 신호처리 보드의 구성도

## 2.2. DSP 신호처리부(TMS320C6701)

TMS320C6701 은 Texas Instrument 사의 고성능 DSP 칩으로 TMS320C6X 시리즈 중의 한 칩이다. TMS320C6701 은 케이블 모뎀, 다중 전화 시스템, GPS 등과 같은 통신 및 신호처리 시스템의 사용을 위해서 개발되었다. TMS320C6701 은 고성능의 부동소수점 DSP 칩으로서 167 MHz 의 클럭 속도와 1 GFLOPS 의 산술연산능력을 가지고 있다. 그리고 1 Mbit 의 프로세서 내부메모리와 초당 400 Mbyte 의 대역폭을 가지며, 32 bit 외부 메모리 인터페이스를 지원한다. TMS320C6701 은 한 사이클에 8 개의 명령어를 동시에 수행할 수 있는 병렬 처리 능력을 가지고 있다. 모든 명령어들은 상태함수로 동작할 수 있으며, 8/16/32 비트의 여러 단위의 데이터를 처리 할 수 있고 또한 40 비트의 산술 연산도 처리할 수 있다. 이러한 특징들로 인해 TMS320C6701 은 1 GFLOPS 의 신호처리 성능과 1600 MIPS 의 성능을 보여준다[3]. 표 1 에 TMS320C6701 의 특징을 정리하였다.

표 1. TMS320C6701 의 특징

항 목	설 명
1M 비트 ON-Chip 메모리 (512k 비트 프로그램, 512k 비트데이터)	빠른 알고리즘 실행 가능
SDRAM, SBRAM, SRAM 을 지원하는 32 비트 외부 메모리	빠른 외부 메모리와의 연결 가능
두개의 다중 채널 Serial 포트	고속 및 광대역의 프로세서간 통신 지원 가능
16 비트 host 버스	프로세서 내부 메모리에 host 접근 가능
boot loading 가능한 4 개의 DMA 채널	CPU 의 인터럽트를 최소화하면서 외부 메모리와의 효과적인 접근
PLL 클럭 발생기	CPU 의 성능 최대화할 수 있도록 다양한 외부 클럭과의 동기화 가능
두개의 32 비트 타이머	주변 기기와의 동기화 가능

TMS320C6701 은 크게 CPU, DMA(Direct Memory Access) 콘트롤러, Data Memory/Program Memory, 외부의 버스를 지원하는 EMIF 포트와 HPI 포트, McBSP 포트로 구성되며, PLL 을 통해 CPU 클럭을 안정적으로 공급하고, 3.3V 의 I/O 전압과 1.8V 의 CPU Core 전압을 따로 가진다. 특히 CPU 의 연산은 파이프라인화된 병렬처리 방식으로 실행되며, 8 개의 Functional Unit 이 단 하나의 사이클에 동작함으로써 우수한 처리 능력을 발휘한다.

## 2.3. 지역메모리부(SDRAM)

지역메모리는 DSP 칩의 EMIF 포트와 직접적으로 연결되기 때문에 빠른 속도로 전송을 가능하게 하는 메모리 소자로서 가장 보편적인 SDRAM

(KM4S643232D)이 적합하다[4].

지역메모리는 DSP 에서 고속으로 처리된 데이터를 임시 저장하기 위해 사용된다. 평상시에는 DSP 가 SDRAM 을 직접 제어하다가 외부에서 SDRAM 을 사용하겠다는 홀드 요구신호가 들어오면 DSP 는 지역메모리와의 연결을 끊고 이때부터 DSP-to-PCI 제어가 지역메모리를 제어한다. 설계된 병렬 신호처리 보드에서 사용된 SDRAM 의 동작모드는 크게 초기화 모드, 읽기/쓰기 모드, Refresh 모드로 나뉘어 진다. 또한 3.3V 동작전압과 최대 100 MHz 로 동작이 가능하며, Burst Length(1, 2, 4, 8 & Full Page)의 다양한 모드를 지원한다 또한 64 ms 의 Refresh 주기를 가지며, 시스템 클럭의 rising edge 에 의해 동작된다. 초기화의 진행순서는 처음 전원이 들어간 상태에서 200 us 이상을 NOP(No Operation)상태로 있어야 하며, Precharge 와 2 번의 Auto Refresh 를 행해야 하며, SDRAM 의 환경설정을 위한 MRS(Mode Register Set)를 어드레스를 통해 설정해 주어야 한다. 이러한 일련의 초기화 과정이 끝나면 그때부터 읽기/쓰기가 가능하다. 주기적인 Refresh 가 행해지는 동안(Refresh 동작시 최소 8 클럭을 포함)에는 항상 NOP 상태이기 때문에 데이터를 읽거나 쓸 수 없다.

## 2.4. PCI 인터페이스부

PCI 버스는 32 bit 나 64 bit 의 다중화된 버스로서, 오디오나 비디오 시스템, 네트워크 카드, 그래픽 가속보드 및 디스크 컨트롤러 등을 포함한 멀티 프로세서 시스템이나 고성능을 요구하는 주변장치를 위해 설계된 것이며 최대 528 MB 까지의 전송속도를 갖는 고성능 병렬 버스 표준이다[5][6].

PCI 인터페이스부는 DSP-to-PCI Bridge, HPI Controller 그리고 PCI-to-PCI Bridge 로 구성 되어 있다. DSP-to-PCI Bridge 및 HPI Controller 에는 PCI 규격에 맞춰 설계된 PCI Core 가 내장되어 있는데 이것은 PCI 버스를 통하여 데이터 전송이 가능하게 해주고 또한 PC 환경에서 직접 메인보드에 꽂아서 사용 할 수 있도록 해준다.

또한 PCI-to-PCI Bridge 는 외부의 Host PCI 버스와 Local PCI 버스를 연결하는 Bridge 의 역할을 하며, 로컬 PCI 버스의 중재역할을 한다. PCI-to-PCI Bridge 는 PCI 버스를 통하여 DSP 칩간 또는 보드간 DMA 전송을 지원하며, PCI 버스 마스터가 DSP 칩의 지역메모리를 액세스 할 수 있다. PCI 버스는 33 MHz 로 동작되며, 32 bit 데이터 버스폭을 지원하므로 이론적으로 최대 132 MB 를 전송 할 수 있다.

TI 사의 PCI2250 은 33 MHz 의 PCI 버스 클럭으로 동작되며, 3.3V 동작전압을 갖는다. 또한 최대 4 개까지의 Secondary 마스터를 지원하며, 5 개의 Secondary PCI 클럭 출력을 지원한다. Compact-PCI Hot Swap Spec 을 지원하며, Burst 모드의 데이터 전송을 지원한다[7].

## III. DSP-to-PCI Bridge 및 HPI Controller 의 구성 및 기능

### 3.1. DSP-to-PCI Bridge 및 HPI Controller 의 구성

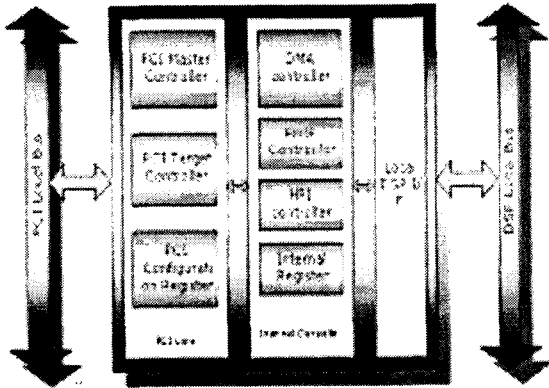


그림 2. DSP-to-PCI Bridge 및 HPI Controller 의 블록도

그림 2 는 VHDL 을 이용한 DSP-to-PCI Bridge 및 HPI Controller 의 내부 블록도를 나타낸 것이다. DSP-to-PCI Bridge 및 HPI Controller 각각의 EPLD 칩에 위의 그림 2 와 같은 기능이 모두 들어 있으며 또한 사용 목적에 맞게 사용 할 수 있도록 설계하였다. DSP-to-PCI Bridge 및 HPI Controller 에는 크게 PCI 를 제어 할 수 있는 PCI Core 와 DSP 및 메모리를 제어 할 수 있는 Internal Controller 와 DSP 와의 인터페이스 역할을 할 수 있는 Local DSP I/F 로 이루어져 있다.

PCI Core 에는 PCI Specification ver. 2.1 에 맞게 HOST 프로세서와 인터페이스, Master 와 Target 기능 및 Configuration Register 포함되어 있고 PCI 버스를 통하여 외부 호스트 프로세서와의 인터페이스가 가능하다.

Internal Controller 는 TMS320C6701 을 Control 하기 위한 EMIF 및 HPI Controller 기능과 로컬메모리간의 DMA 전송이 가능하고 Internal Register 가 포함되어 있다.

또한 Local DSP Interface 는 TMS320C6701 과의 인터페이스가 가능하도록 설계되었다.

### 3.2. DSP-to-PCI Bridge 및 HPI Controller 의 기능

그림 3 에서는 DSP-to-PCI Bridge 간에 직접 메모리를 전송 할 수 있는 DMA 과정을 나타낸 것이다. 여기에서는 지역 메모리에서 필요한 데이터를 직접 읽은 후 PCI Local 버스를 통해서 데이터를 다른 DSP-to-PCI Bridge 에 전송할 수 있고 다른 DSP-to-PCI Bridge 에서는 전송 받은 데이터를 다른 지역 메모리에 쓸 수 있다. 즉 더욱 많은 메모리를 원하는 곳에서 빠르게 사용할 수 있게 되었고 서로 다른 칩에서 병렬적으로 신호를 처리해 줌으로써 더욱 많은 양의 연산을 가능하게 만들어주었다. DSP-to-PCI Bridge 에서는 마스터와 타겟기능이 함께 들어 있어서 DSP 칩이나 외부 HOST 프로세서에서 마스터기능을 넘겨주면 DSP-to-PCI Bridge 자체에서 마스터 기능을 수행 할 수 있다.

그림 4 에서는 외부 HOST 프로세서나 다른 병렬 신호처리 보드와의 메모리를 PCI 버스를 통하여 직접 전송 할 수 있는 과정을 나타내었는데 여기에서도 DSP-to-PCI Bridge 와 PCI-to-PCI Bridge 간의 데이터 전송을 PCI Local 버스를 통해서 전송 할

수 있게 만들었다. 또한 외부 HOST 프로세서에서나 다른 병렬 신호처리 보드에서 필요한 데이터를 받아서 메모리에 저장 할 수 있게 되었다.

마지막으로 그림 5 에서는 외부 HOST 에서 DSP 직접 액세스 할 수 있는 과정을 나타내었다. 그림 5 에서처럼 외부 HOST 프로세서에서 DSP 를 초기화 하거나 DSP 칩에 직접 Program 을 다운로드 할 수 있게 할 수 있다. 또한 DSP 내부에 있는 전체 메모리를 직접 쓰거나 읽을 수 있다.

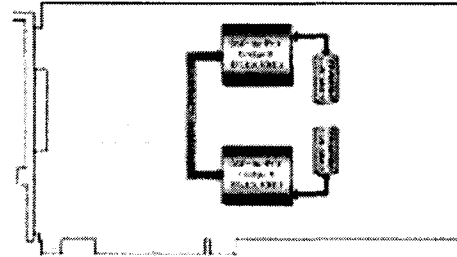


그림 3. DSP-to-PCI Bridge (SDRAM ↔ SDRAM Data Transfer)

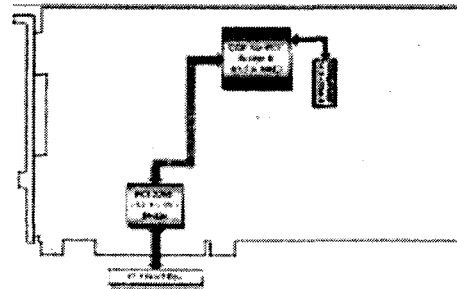


그림 4. DSP-to-PCI Bridge (SDRAM ↔ PCI Transfer)

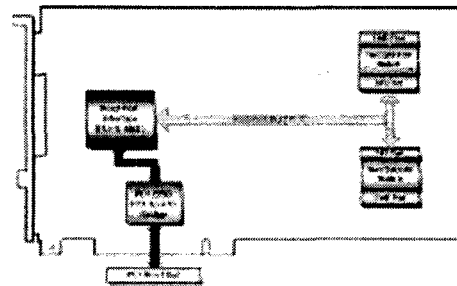


그림 5. HPI Controller 를 통한 DSP 직접 액세스

## IV. 병렬 신호처리 보드 테스트

### 4.1. 병렬 신호처리 보드의 제작

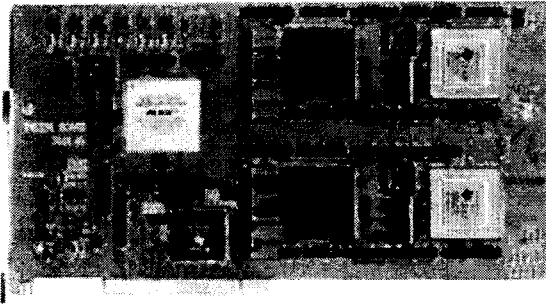


그림 6. 병렬신호 처리 보드

그림 6 은 제작된 병렬신호 처리 보드를 나타낸 것이다. 그림 6 에서 병렬신호 처리 보드는 2 개의 DSP(TMS320C6701) 칩과 2 개의 SDRAM(KM4S643232D)을 사용하였고 DSP-to-PCI Bridge 및 HPI Controller 는 EPLD 칩으로 구현하였다. EPLD 칩으로는 ALTERA 사의 FLEX10KE356-1 를 사용하였다. 그리고 PCI Bridge 증재역할을 하는 PCI-to-PCI Bridge 로 TI 사의 PCI2250 을 사용하였다[7].

#### 4.2. 병렬 신호처리 보드 테스트

설계된 신호처리 보드의 실제 동작을 PC 시스템에서 검증하기 위해서는 우선적으로 시스템 레벨의 윈도우 98 운영체제에서 동작하는 Device Driver 가 필요하며, 이를 이용하여 윈도우 응용프로그램을 만들어 실제 데이터 전송을 확인했다. Device Driver 는 PCI 버스 인터페이스를 위한 것으로 보드의 환경에 맞게 개발하였다. 그림 7 은 신호처리 보드 테스트를 위한 프로그램으로 시스템에서 PCI 제어를 통하여 신호처리보드 내의 Device 를 액세스하며, 데이터의 액세스를 통해 동작을 확인했다. 또한 EPLD 로 설계된 DSP-to-PCI Bridge 의 동작 검증은 이 테스트 프로그램을 통해서 DSP-to-PCI Bridge 에 주소 및 데이터를 쓰고, 같은 주소를 주어 읽기를 통해 동작의 검증을 했다.

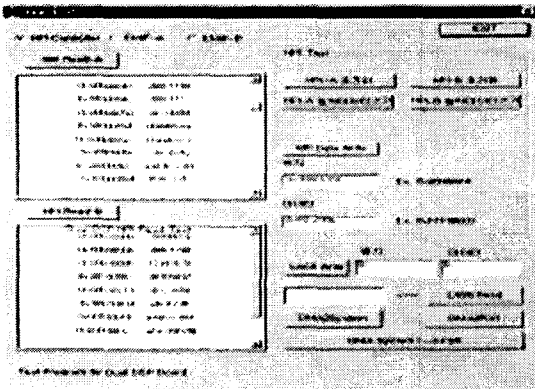


그림 7. 신호처리 보드 테스트를 위한 프로그램

## V. 결론 및 향후 계획

지금까지 병렬 신호처리 시스템의 개발 및 PC 환경에서의 병렬 신호처리 보드의 테스트를 통하여 설계된 DSP-to-PCI Bridge 및 HPI Controller 의 동작을 테스트해 보았다. 이 병렬 신호처리 시스템은 DSP-to-PCI Bridge 및 HPI Controller 를 통하여 서로 다른 DSP 칩간의 통신을 하였고 또한 보드간의 통신도 가능 하였다. 그리고 DSP 칩이 마스터가 되어 EMIF(External Memory Interface) 포트를 통해 다른 DSP 칩의 지역메모리를 액세스 할 수 있으며, 또한 외부의 호스트 프로세서가 보드 내의 DSP 칩에 직접 프로그램을 다운로드 하였고 DSP 내의 내부 메모리도 직접 액세스 하였다. DSP 칩에 의해 처리된 결과값은 PCI 버스를 통하여 호스트로 전송하였으며, DSP 칩에서 DSP 칩 또는 지역메모리와의 통신은 지역버스를 통해 직접적으로 이루어졌다. 병렬 신호처리 시스템을 통하여 테스트한 결과 병렬신호 처리를 수행 할 수 있고 향후 영상 신호처리, 소나, 레이더와 같은 방대한 연산량이 요구되는 시스템에 응용하여 보다 향상된 고속의 병렬 신호처리 기능을 수행 할 수 있을 것이다.

## 참고 문헌

- [1] Spectrum Signal "Datona" Dual C6701 PCI Board Technical Reference. 1998
- [2] Spectrum Signal "Barcelona" Quad C6701 PCI Board Technical Reference. 1999
- [3] TMS320C6701 Peripherals Reference Guide Texas Instruments, 1998
- [4] K4S643232D 256k\*32bit\*4bank CMOS SDRAM Datasheet SAMSUNG.. 1998
- [5] PCI Specification Revision 2.1, PCI Special Interest Group. 1997
- [6] PCI System Architecture Fourth Edition, MindShare, INC
- [7] PCI2250 PCI-to-PCI Bridge User Guide Texas Instruments. 1999