

DTV 트랜스포트 스트림용 만능 직·병렬 인터페이스 설계 및 구현

유종언, 장용석, 고영욱, 김대진, 김은도*
전남대학교 전자공학과, *현우맥플러스(주)

(The design and implementation of an universal interface with serial and parallel formats for DTV transport stream)

Jong An You, Yong Seok Jang, Young Wook Ko, Dae Jin Kim, Eun Do Kim*
Dept. of Electronic Engineering, Chonnam National University, *Hyunwoo McPlus co.
E-mail : u0020643@chonnam.chonnam.ac.kr, palbokgi@moiza.chonnam.ac.kr, girugi@moiza.chonnam.ac.kr

요 약

DTV 방송 신호를 수신하거나 송신하는 장비의 경우 대부분 한두 가지 인터페이스 방식을 이용하여 서로 통신을 하고 있다. 따라서 서로 다른 인터페이스 포맷을 사용하여 스트림을 전송하는 경우 기존의 장비를 사용하지 못하는 경우가 많이 있다. 본 논문에서는 이런 장비들 사이에서 주고받는 스트림의 포맷을 자유로이 연결 가능하도록 해주는 인터페이스를 설계 및 구현하였다. 본 논문에서 구현한 인터페이스는 스트림 자체 내용은 변경하지 않고, 송·수신하기 위한 인터페이스 규격에 스트림을 적용하여 자유로이 송·수신할 수 있도록 하였다. 구현한 인터페이스 규격은 SMPTE 310M, ASI (Asynchronous Serial Interface), SPI (Synchronous Parallel Interface)와 셋탑박스에서 사용하는 TS (Transport Stream)의 네 가지로 서로간에 송·수신 가능하도록 매트릭스 형태를 취하고 있다. 주요 블록은 VHDL 코딩을 이용하여 설계를 하였으며, FPGA (EPF10K10T144)를 사용하였다.

I. 서론

MPEG-2의 인코딩 및 전달을 위한 논리적인 포맷이 정의된 이후에, 장비와 장비 사이를 서로 연결하기 위한 물리적 포맷이 정의가 되었다. 크게 미국형과 유럽형의

두가지 규격이 있는데, 유럽의 경우 트랜스포트 스트림을 CATV/SMATV와 전문 장비와 서로 연결하기 위한 인터페이스 규격인 EN 50083-9[1]을 제정하였는데, 비동기 직렬 표준인 ASI와 동기 병렬 표준인 SPI가 있다. 미국의 경우, DTV에 대해서 MPEG-2 디지털 트랜스포트 스트림에 대한 동기적 직렬 인터페이스 규격을 SMPTE(Society of Motion Picture and Television Engineers) 표준화 단체에서 SMPTE 310M[2]으로 규정하였다. 본 논문에서는 위 두 가지 표준을 인터페이스 규격으로 제공하면서 동시에 STB(Set Top Box)와의 연결을 위한 트랜스포트 스트림(TS) 규격도 제공하는 만능 직·병렬 인터페이스 하드웨어를 구현하였다.

II장에서는 전체적인 구조와 더불어 세부적인 구조를 알아보고, III장에서는 FPGA 내의 블록의 구조와 기능에 대해서 설명하고, IV장에서 결론을 맺는다.

II. 인터페이스 구조

그림 1은 본 논문에서 구현한 인터페이스의 전체적인 구조를 나타내고 있다. 본 논문에서 사용한 4가지 포맷은 ATSC 방식의 디지털 송·수신 장비에서 사용하는 SMPTE 310M과 DVB 방식의 송·수신 장비에서 사용하는 SPI와 ASI 그리고, 이러한 장비들과 셋탑박스를 연결시키기 위해서 복조기를 통과한 신호인 TS 신호 포맷[3]이다. 따라서, 4가지 포맷 중 하나에서 들어온

스트림은 각 포맷의 수신기와 MUX를 거쳐 STB와 동일한 포맷으로 변환을 한 후 FIFO에 저장하게 된다. 그 후 FIFO에 저장된 스트림은 FPGA의 컨트롤을 거쳐 출력하고자 하는 인터페이스 규격으로 변환 한 후 출력을 하게 된다.

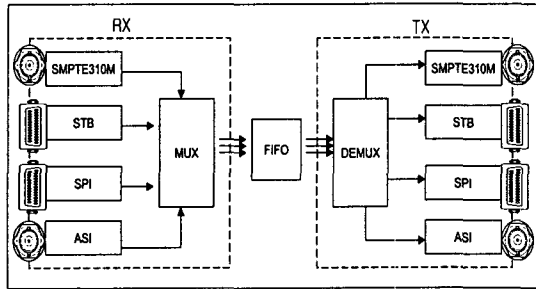


그림 1 인터페이스의 전체적인 구조

1. SMPTE 310M [2]

SMPTE(Society of Motion Picture and Television Engineers) 협회에서 정의한 인터페이스 표준안으로서, MPEG-2 트랜스포트 비트 스트림을 40Mbps 까지 전송하기 위한 동기적 직렬 인터페이스에 대한 변조 특징과 물리적 인터페이스에 대해 설명하고 있는데, Biphase-mark 코딩을 사용하여 스트림을 전송하거나 수신하도록 하고 있다. 본 논문에서 구현한 SMPTE 수신기 블록 구조가 그림 2에 나타나 있다.

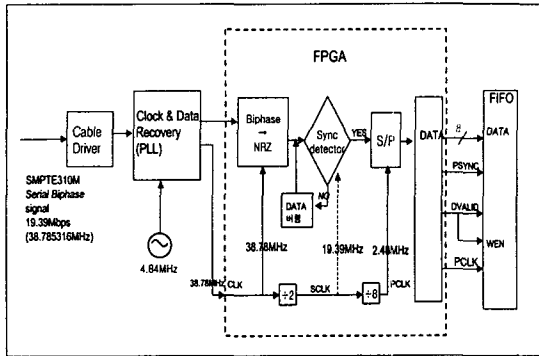


그림 2 SMPTE 310M의 수신 블록

블록의 구조를 보면, 19.39Mbps의 SMPTE 310M의 Biphase 코딩된 직렬 스트림이 들어오면, 케이블 드라이버를 거쳐 클럭·데이터 recovery을 통과한 후, FPGA에 데이터와 동기된 클럭이 들어가게 된다. FPGA 내의 동작을 보면 Biphase 코딩된 신호는 NRZ로 바꾼다. 그 후 직렬을 병렬로 변환하기 위해서 싱크 신호를 이용한다. 싱크 인식 후 스트림은 직렬에서 병렬로 변환하여 FIFO에 저장하기 위한 포맷으로 변환을 한다.

그림 3은 SMPTE 310M의 송신 블록을 나타내고 있다.

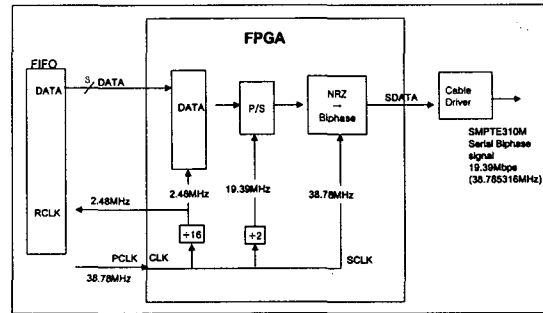


그림 3 SMPTE 310M 송신블록

FIFO에 저장된 데이터는 FPGA 컨트롤을 거쳐 병렬 데이터를 직렬 데이터로 변환을 한 후, NRZ 코딩방법으로 된 데이터를 Biphase-mark 코딩으로 인코딩하여 케이블 드라이버를 통해 전송을 한다.

2. SPI (Synchronous Parallel Interface) [1]

SPI는 가변 데이터 율을 가진 병렬 전송 시스템에서의 인터페이스를 기술하는 표준으로서, 데이터 전송은 MPEG-2 트랜스포트 스트림인 데이터 스트림의 바이트 클럭에 동기화 되어 진다. 그리고 클럭 주파수의 경우 135MHz를 초과할 수 없다. SPI의 경우 전송 링크를 위해서 LVDS(Low Voltage Differential Signaling) 신호와 25핀 커넥터를 사용하고 있다. 그림 4는 본 논문에서 구현한 SPI의 송·수신 블록의 나타내고 있다.

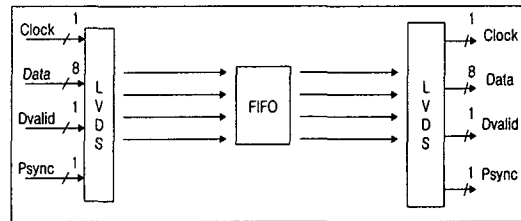


그림 4 SPI 송/수신 블록

Differential level 형태 수신된 신호는 LVDS을 통과한 후 TTL level 형태로 바뀌어 FPGA의 컨트롤을 거쳐 FIFO에 저장이 된다. 그리고 FIFO에 저장된 신호는 LVDS을 거쳐 Differential level 형태로 바뀐 후 전송이 된다. SPI는 패킷 사이즈가 188 bytes 또는 204 bytes 이다. 204 byte 패킷 포맷의 경우 추가된 16 bytes는 비어있는 바이트인데, DVALID 신호를 이용해서 이를 구별할 수 있다. 그리고 패킷의 시작은 PSYNC 신호를 이용해서 패킷의 시작을 알 수 있다. 그리고 송·수신된 모든 신호는 NRZ 형태를 가진다.

3. ASI (Asynchronous Serial Interface) [1]

ASI는 270Mbit/s의 고정된 출력 비트 올에서 다른 전송 올을 가진 스트림을 전송한다. 그리고 전송 할 데이터의 경우 MPEG-2 트랜스포트 패킷과 바이트 동기된 형태를 가진다. 아래 그림 5은 ASI 송·수신 블록을 나타내고 있다.

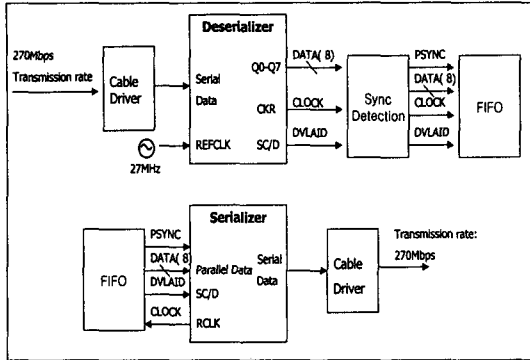


그림 5 ASI 송·수신 블록

270Mbps의 직렬 비트 전송 속도를 가진 스트림을 Deserializer에서 병렬로 변환한다. 이때 송신 측에서 270Mbps를 유지하기 위해 추가로 삽입한 동기신호는 제거된다. 또한 병렬로 바뀐 신호는 8B/10B 테이블에 따라 MPEG-2 스트림으로 변환된다. 그리고 외부의 27MHz 오실레이터의 클럭과 입력된 데이터와의 클럭 동기를 맞추어 FPGA로 출력을 한다. Deserializer의 출력에서는 PSYNC 신호가 없기 때문에 FPGA에서 PSYNC 제어신호를 만들기 위한 블록이 추가되어 FIFO로 전송되어진다.

ASI의 송신은 수신역으로 행해지는데, Serializer에서 8B를 10B로 바꾸고, 병렬을 직렬신호로 바꾼다. 또한 전송할 신호가 없을 때는 동기신호를 추가하여 전송을 한다.

4. STB (Set Top Box) [3,4]

DTV 지상파 STB의 경우 대부분 ATSC 방식과 DVB 방식이 있다. 이 두 방식의 큰 차이점은 ATSC 방식은 8VSB 방식을 사용하고 있고, DVB 방식은 OFDM 방식을 사용하고 있다는 점이다. 하지만 두 방식 모두 복조기를 통과한 후 나오는 TS(Transport Stream)은 동일하다. STB의 TS(Transport Stream)의 포맷은 8bit의 DATA, 1bit의 PSYNC, 1bit의 DVALID, 그리고 1bit의 CLK를 필요로 한다. 구현된 인터페이스 회로의 경우 FIFO에 저장하기 전 FPGA 컨트롤을 통해 이러한 포맷으로 변환을 하여 저장된다.

III. FPGA내 블록의 구조 및 보드 구현

보드 구현을 위해 사용된 FPGA는 EPF10K10T144를 사용하였으며, MAX+plusII tool을 이용하여 VHDL 코딩을 하였다. 주요 역할은 각 블록의 주요 동작을 구현하면서, FIFO의 기본적인 초기 설정 및 제어를 담당하였다.

그림 6은 수신 단의 FPGA 블록을 나타내고 있다.

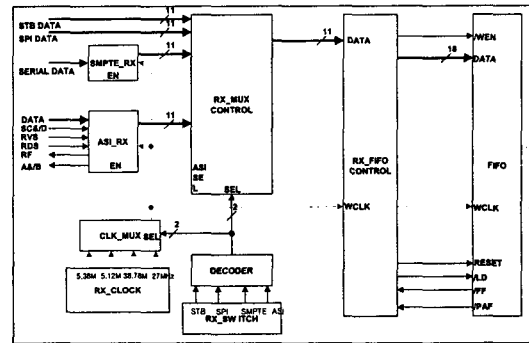


그림 6 FPGA 수신단 블록

FPGA 수신 단에서는 4가지 스트림 중 하나를 외부 스위치로 선택을 하여, FIFO에 선택된 스트림을 저장한다. 이때 FIFO에 저장된 포맷은 STB에서의 TS와 동일한 포맷을 가지도록 FPGA에서 변환을 시켜 준다. SPI의 경우 포맷이 STB와 동일하므로 바로 FIFO에 입력을 한다. 직렬 신호를 가진 ASI와 SMPT 310M은 STB와 동일한 포맷을 가지도록 FPGA 내에 추가적인 블록을 구성하였다. 또한 FPGA FIFO 제어 블록에서는 FIFO의 초기 값을 설정하고, 입·출력 제어 신호를 발생한다. FPGA 구동 클럭의 경우 외부의 74F153을 이용해 4가지 클럭 중 하나를 선택한 후 FPGA에 입력을 해준다.

그림 7은 FPGA 송신단 블록을 나타내 준다. FPGA의 수신단 블록에서 설정한 FIFO 초기 설정 값에 따라서 PAF/PAE의 신호가 나오는데, 이 신호를 이용해 FIFO의 출력을 컨트롤한다. 그리고 출력 신호의 선택은 외부 입력 스위치에 따라서 선택된다. 현재 구현된 보드의 경우 FIFO에 188 words가 저장되었을 때부터 출력을 하게 된다. 사용한 FPGA의 사용 요약은 표1에 나타나 있다.

(표1) FPGA 요약 (EPF10K10TC144-4)

	Input Pin	Output Pin	LCs	Utilized LCs
RX	41	24	345	59%
TX	16	48	167	28%

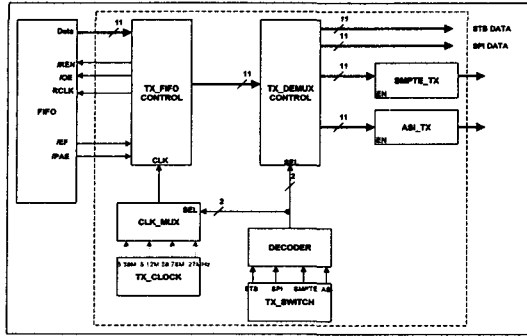


그림 7 FPGA 송신단 블록

그림 8은 SMPTE 310M에서 사용한 SYNC 검출 알고리즘이다. 직렬 비트 신호가 들어오면 각 비트 단위 신호를 병렬로 변환을 한다. 이때 병렬 데이터가 SYNC 값으로 설정되어있는 47H이면, 188byte 마다 SYNC값을 검출하는 단계로 넘어간다. 연속 3번 이상 검출되면 정확한 SYNC가 잡힌 것으로 인식, 이후부터는 정상적인 신호 포맷을 변환하여 FIFO에 출력한다. 정상적인 출력을 하는 동안에 188byte마다 SYNC 신호를 검출하는데 이때 연속 2번 이상 어긋나면, 다시 싱크 검출 알고리즘을 시작한다. ASI 송신단의 경우, 188byte 마다 SYNC를 검출하는 알고리즘을 일부 이용하였다.

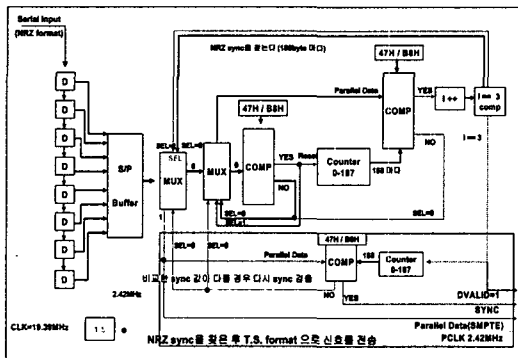


그림 8 SYNC 검출 알고리즘

그림 9은 구현된 보드의 레이아웃을 보여주고 있다. 제작한 보드는 4층으로 구성되어 있으며, 크기는 270mm x 260 mm 이다.

IV. 결론

본 논문에서는 MPEG-2 트랜스포트 스트림을 송·수신하는 다른 인터페이스 방식을 사용하는 장비들끼리 서로 쉽게 연결하기 위한 인터페이스를 구현하였다. 설계한 인터페이스는 SMPTE 310M 표준과 EN 50083-9

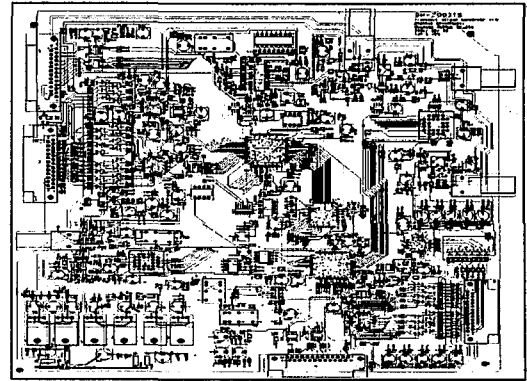


그림 9 구현된 보드의 레이아웃

표준에 맞추어 구현을 하였기 때문에, ATSC 방식을 사용하는 DTV 장비와 DVB 방식을 사용하는 장비들 사이에서 쉽게 연결을 할 수 있다. 또한 보드를 구현하면서 셋탑박스의 TS(Transport stream) 인터페이스를 포함시켰기 때문에 셋탑박스를 이용한 스트림의 송·수신이 가능하다. 따라서 DTV 관련 제품을 개발하는데 용이하게 적용될 수 있다. 그리고, 본 설계를 응용하면 특히 DTV 제품 생산 시 하나의 스트림 발생기를 사용하여 여러 개의 DTV 생산품을 동시에 테스트하는데 용이하게 사용할 수 있다.

참고 문헌

- [1] DVB, Cable networks for television signals, sound signals and interactive services, Part 9: Interfaces for CATV/SMATV headends and similar professional equipment for DVB/MPEG-2 transport streams, ETSI EN 50083-9, June 1998.
- [2] SMPTE, For television - Synchronous serial interface for MPEG-2 digital transport stream, SMPTE 310M, 1998.
- [3] ISO/IEC 13818-1, Information technology - generic coding of moving pictures and associated audio - Part 1: Systems, 1996.
- [4] DVB, Framing structure, channel coding and modulation for digital terrestrial television, ETSI EN 300 744 V1.2.1, July 1999.

본 연구는 전남대학교 RRC 연구센터의 지원을 받아 수행되었으며, 지원에 감사 드립니다.