

단상 UPS용 인버터의 강인제어기 설계

김재홍, *김재식
 영동대학 전기자동화과, *(주) 포스콘 기술연구소
 전화 : 033-610-0327 / 핸드폰 : 019-443-0327

Design of Robust Controller of Inverter for Single UPS

Je-Hong Kim, *Jae-Sig Kim
 Dept. of Electrical Automation, Yeongdong College, *POSCON Co.
 E-mail : jhkim@yeongdong.ac.kr

Abstract

In this paper, a robust controller for UPS inverter is designed using CDM (Coefficient Diagram Method) developed by S. Manabe, by which a low order controller guaranteeing the stability and robustness is easily designed. The proposed controller consists of two control loops, the inner current control loop and the outer voltage control loop. The robustness of the proposed controller is verified through the theoretic evolution and its simulation.

인버터가 부하의 변동에 빠르게 응답하도록 제어기를 설계함으로써 문제를 해결할 수 있다. 이에 여러 가지 형태의 인버터가 개발되었고 다양한 형태의 인버터 제어기 및 알고리즘이 제안되어 왔다.^[1,2]

최근 S. Manabe에 의해 개발된 계수도법(Coefficient Diagram Method, CDM)은 안정성을 보장하며 강인하고 저차수인 제어기를 설계할 수 있다는 장점이 있는 것으로 발표되고 있다.^[3,4]

따라서 본 논문에서는 S. Manabe에 의해 개발된 계수도법을 이용하여 외란과 파라미터 변동에 강인한 UPS용 인버터의 제어기를 설계하여 제안하고 이에 대한 이론적인 전개와 시뮬레이션을 통하여 제안된 제어기의 타당성을 입증한다.

I. 서론

최근 전원의 교란에 민감한 부하기기들을 보호하기 위하여 부정전 전원장치(UPS)의 사용이 급격히 증가하고 있는 추세이다. UPS는 전원계통에서 발생할 수 있는 정전을 포함하여 서지(Surge) 및 새그(Sag) 등으로부터 부하들을 보호하고 깨끗한 양질의 전원을 공급하기 위해 설계된 전원장치이다. 따라서 UPS용 인버터가 부하의 관점에서 이상적인 전원장치로 동작하기 위해서는 출력 임피던스가 매우 작아야 한다. 이러한 조건은 인버터 출력측에 용량이 큰 커패시터를 가지고 있든지 아니면 인버터 자체의 용량이 매우 커야 한다. 그러나 이는 경제적인 관점에서 합리적이지 못하므로

II. CDM 제어기

CDM 설계를 위한 피드백 형태의 표준형은 그림 1과 같이 된다. 따라서 CDM 제어기의 전체 시스템 특

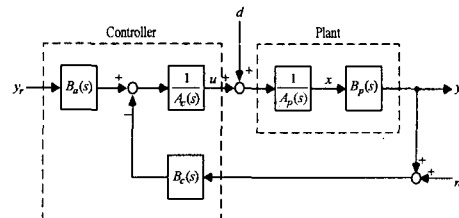


그림 1. CDM의 표준 블록선도

성다항식은 다음의 식(1)과 같이 정의할 수 있다.

$$P(s) = A_c(s)A_p(s) + B_c(s)B_p(s) \quad (1)$$

$$= a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0$$

그림 1에서 제어기부분은 관측기 구조로 되어 있으나, $B_a(s) = B_c(s)$ 로 설계하면 증속 보상기 구조로 나타낼 수 있다. 여기서, $B_a(s)$ 는 기준입력 전달함수이다. 이제 식 (1)의 특성다항식으로부터 안정지수 γ_i , 등가 시정수 τ , 그리고 안정도 한계지수 γ_i^* 를 다음의 식 (2), (3), (4)와 같이 정의한다.

$$\gamma_i = \frac{a_i^2}{a_{i+1}a_{i-1}}, \quad i = 1, \dots, n-1 \quad (2)$$

$$\tau = \frac{a_1}{a_0} \quad (3)$$

$$\gamma_i^* = \frac{1}{\gamma_{i+1}} + \frac{1}{\gamma_{i-1}}, \quad \gamma_0 = \gamma_n = 0 \quad (4)$$

식 (2)와 같이 표현된 안정지수는 안정성과 시간응답의 모양을 결정하고 식 (3)의 등가 시정수는 응답속도를 나타낸다. 또한 정상상태 도달시간은 등가 시정수의 약 2.5 ~ 3배로 결정된다. 안정지수의 표준형(Manabe form)은 다음의 식 (5)와 같이 된다.

$$\gamma_1 = 2.5, \quad \gamma_2 = \gamma_3 = \dots = \gamma_{n-1} = 2 \quad (5)$$

식 (5)의 표준형 중 $\gamma_1 = 2.5, \gamma_2 = \gamma_3 = 2$ 값은 시스템의 안정성을 위한 권고 사항이고, 나머지 항에 대해서는 다음의 식 (6)을 만족하도록 하면 된다.

$$\gamma_i > 1.5\gamma_i^*, \quad 4 \leq i \leq n-1 \quad (6)$$

III. 인버터의 제어기 설계

그림 2는 부하를 포함한 단상 UPS용 PWM 전압형 인버터의 전력회로도를 보여주고 있다. 본 논문에서는 부하전류를 외란으로 간주하여 UPS용 인버터의 블록선도를 그림 3과 같이 나타내었다.

제안된 인버터 시스템의 파라미터는 표 1에 나타내었다. 표 1에 언급된 전체 시스템의 시정수는 스위칭 주파수와 제어 출력의 크기 그리고 부하 변동시 응답 특성을 고려하여 선정하였다.

3.1 전압제어기

인버터의 전압제어기(Voltage controller) 설계를 위해 내부전류제어기는 다음과 같이 가정하였다.

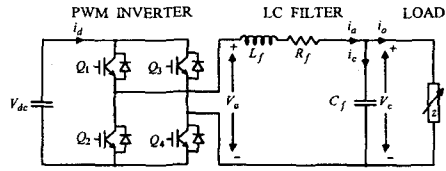


그림 2. 단상 전압형 인버터의 전력회로

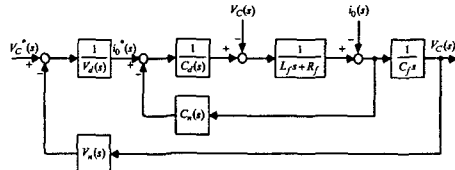


그림 3. 인버터의 전체시스템 블록선도

표 1. 시스템 파라미터

항 목	사 양
스위칭 주파수 f_s	9.54[KHz]
시스템 시정수 τ	250[us]
인덕터 L_f	120[uH]
커패시터 C_f	80[uF]
필터 저항기 R_f	0.05[Ω]

<가정> : 내부 전류제어기의 시간응답 특성은 과진동(Overshoot)이 거의 없으며 외부 전압제어기에 비해 매우 빠른 응답특성을 갖는다

위의 가정에 의해 내부 전류제어기는 상수이득을 갖는 시스템이 되고 내부 루프의 시간응답은 전체 시스템 응답에 거의 영향을 주지 않으므로 내부 전류제어기 루프를 '1'로 근사화 시킬 수 있다. 이를 적용한 후 그림 4와 같이 인버터 전압제어기의 블록선도를 나타낼 수 있다. 그림 4에서 전압제어기의 플랜트는 적분 항으로 표시되기 때문에 비례(P)제어기만을 사용하여 원하는 응답과 특성다항식의 계수를 맞출 수 있으므로 인버터의 전압제어기로 비례제어기만을 사용한다. 전압 제어기의 전달함수에 관련된 플랜트와 제어기항들에 대한 수식들은 다음의 식 (7), (8)과 같이 나타낼 수 있다.

$$G_p(s) = \frac{1}{C_f s} \quad (7)$$

$$G_c(s) = \frac{V_n(s)}{V_d(s)} = \frac{k_v}{1} \quad (8)$$

따라서, 전체 전달함수는 다음의 식 (9)와 같이 나타낼 수 있다.

단상 UPS용 인버터의 강인제어기 설계

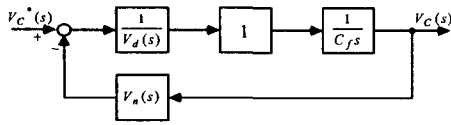


그림 4. 전압 제어기 블록선도

$$G(s) = \frac{1}{C_f s + k_v} \quad (9)$$

또한, 전압제어기의 특성다항식은 다음의 식 (10)과 같이 나타낼 수 있다.

$$P(s) = C_f s + k_v \quad (10)$$

따라서, 식 (3)으로부터 시스템 특성다항식의 최저차항 $a_0(k_v)$ 는 다음의 식 (11)과 같이 얻어진다.

$$a_0 = k_v = \frac{C_f}{\tau} = \frac{80 \times 10^{-6}}{250 \times 10^{-6}} = 0.32 \quad (11)$$

3.2 전류제어기

그림 5는 전압 및 전류제어기를 모두 포함한 인버터의 전체 시스템 블록선도를 나타낸 것이다.

전류제어기의 설계는 3.1절에서 설계된 전압제어기를 포함한 전체 전달함수가 같은 특성을 가지도록 설계한다. 전체 시스템의 플랜트는 2차가 되므로 원하는 응답과 특성다항식의 계수를 맞추기 위해서 2차 제어기를 사용하면 된다. 따라서 전류제어기는 가장 많이 사용되고 있는 PI형태의 제어기를 선정하였다. 그림 5의 시스템 블록선도에서 부하전류 $i_0(s)$ 를 외란으로 간주하면 인버터 전체 시스템의 전달함수는 다음의 식 (12)와 같이 나타낼 수 있다.

$$G(s) = \frac{1}{l_1 L_f C_f s^3 + (l_1 R_f + k_1) C_f s^2 + (k_0 C_f + l_1) s + k_v} \quad (12)$$

인버터 전체 시스템의 특성다항식의 최저차항 a_0 의 계수를 0.32로 하고 시정수를 250[us]라고 하면 S. Manabe형의 안정된 전달함수의 특성다항식은 다음의 식 (13)과 같이 된다.

$$P(s) = (4 \times 10^{-13})s^3 + (8 \times 10^{-9})s^2 + (8 \times 10^{-5})s + 0.32 \quad (13)$$

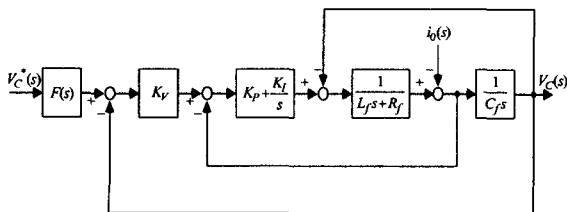


그림 5. 제안된 시스템 블록선도

인버터 제어기의 이득 들을 구하기 위하여 행렬식으로 나타내면 다음의 식 (14)와 같이 된다.

$$\begin{bmatrix} L_f C_f & 0 & 0 & 0 \\ R_f C_f & C_f & 0 & 0 \\ 1 & 0 & C_f & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_1 \\ k_1 \\ k_0 \\ k_v \end{bmatrix} = \begin{bmatrix} 4 \times 10^{-13} \\ 8 \times 10^{-9} \\ 8 \times 10^{-5} \\ 0.32 \end{bmatrix} \quad (14)$$

식 (14)의 행렬로부터 이득을 구하면 $l_1 = 4.167 \times 10^{-5}$, $k_1 = 9.792 \times 10^{-5}$, $k_0 = 0.479$, $k_v = 0.32$ 으로 구해진다. 따라서 인버터 전류제어기의 비례(P)이득은 2.35이고, 적분(I)이득은 4894로 구해진다. S. Manabe형의 형태는 피이드백 루프에 미분기가 설치되어 있어 시스템이 피이드백 잡음에 민감하게 된다. 따라서 위에서 구해진 이득들을 이용하여 일반적인 PI 제어기 형태로 그림 5와 같이 블록선도를 변경할 수 있다.

그림 5의 인버터 전체 시스템의 블록선도에서 피이드포워드(Feedforward) 제어기는 영점을 조절하여 정상상태 오차를 없애기 위하여 설치하였다. 따라서 블록선도에 표시된 제어기의 구조와 이득 값들은 다음의 식 (15), (16), (17), (18)과 같이 된다.

$$F(s) = \frac{(1 + K_f C_f + K_v K_p) s + K_f}{K_v K_p s + K_f} \quad (15)$$

$$K_v = k_v = 0.32 \quad (16)$$

$$K_p = \frac{k_1}{l_1} = 2.35 \quad (17)$$

$$K_f = \frac{k_0}{l_1} = 4894 \quad (18)$$

IV. 시뮬레이션 결과

그림 6에서 비선형 부하가 인가되는 순간 기준전압보다 출력 전압이 약간 상승하는 것을 볼 수 있으나 약 250[us]이내에 회복이 되는 빠른 응답을 나타내고 있음을 알 수 있다. 또한 이때의 THD(총고조파왜형률)는 4.3%로 인버터의 요구사양을 충족시킴을 그림 7로부터 알 수 있다.

그림 8은 0%→100%로 저항부하 투입시의 시뮬레이션결과 파형을 나타내고 그림 9는 100%→0%로 저항부하 제거시의 시뮬레이션결과 파형을 나타낸 것이다. 두 시뮬레이션 파형에서 알 수 있듯이 무부하나 정격부하시 정상상태 오차 없이 잘 추종하고 있음을 알 수 있다. 또한 부하 변동시 200[us] 이내의 빠른 응답특성을 나타낸다는 것을 알 수 있다.

그림 10은 0.8지상부하(RL부하)에 대하여 시뮬레이

선을 수행한 결과 파형을 나타낸 것이다. 정상상태 오차 없이 인버터의 출력전압(v_c)이 기준전압(v_{c-ref})을 잘 추종하고 있음을 알 수 있다.

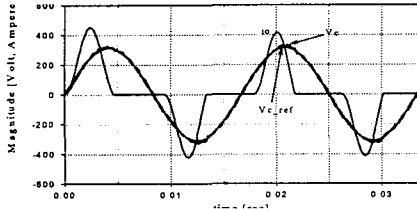


그림 6. 커패시터 입력형 정류기 부하시 인버터의 시뮬레이션결과(기준전압 v_{c-ref} , 출력 커패시터 전압 v_c , 부하전류 i_0)

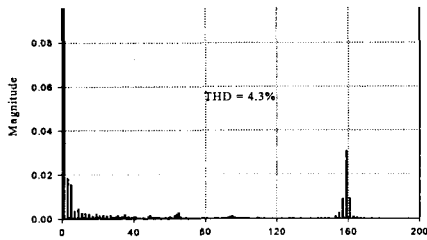


그림 7. 커패시터 입력형 정류기 부하시 인버터의 커패시터 출력전압의 고조파 스펙트럼

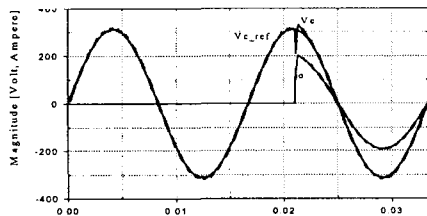


그림 8. 0 → 100%로 저항부하변동시 인버터의 시뮬레이션결과(기준전압 v_{c-ref} , 출력 커패시터 전압 v_c , 부하전류 i_0)

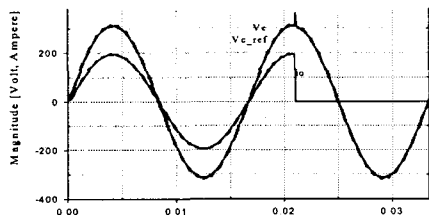


그림 9. 100 → 0%로 저항부하변동시 인버터의 시뮬레이션결과(기준전압 v_{c-ref} , 커패시터출력전압 v_c , 부하전류 i_0)

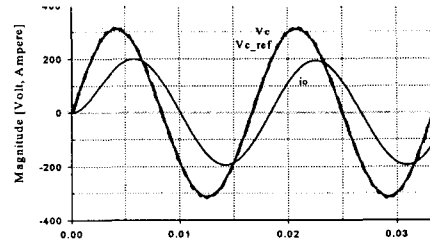


그림 10. 0.8 저항부하시 인버터의 시뮬레이션 결과(기준전압 v_{c-ref} , 출력 커패시터 전압 v_c , 부하전류 i_0)

V. 결 론

S. Manabe에 의해 개발된 계수도법(Coefficient Diagram Method ; CDM)을 이용하여 외란과 파라미터 변동에 강인한 UPS용 인버터의 전압 및 전류제어기를 설계하고 이에 대해 이론적인 전개와 시뮬레이션을 통하여 제어기의 타당성을 입증하였다.

시뮬레이션 결과로부터 S. Manabe에 의해 개발된 계수도법을 이용하여 설계된 전압 및 전류제어기가 선형 및 비선형 부하에 대하여 5% 이하의 THD를 나타내고 있음을 알 수 있었다. 또한 부하 외란에 대해 강인성을 가지고 있음을 알 수 있었으며 UPS용 인버터 사양에 만족하는 과도상태 응답특성을 얻을 수 있음을 확인하였다. 향후, 제안된 제어기를 실제로 구현하여 시뮬레이션 결과와 어느 정도 일치하는지 확인하는 것이 과제로 남아 있다.

참고문헌

- [1] David C. Griffith, *Uninterruptible Power supplies : Power Conditioners for Critical Equipment*, Marcle Dekker INC., 1989.
- [2] K. Hirachi, M. Ssakane, T. Matsui, and M. Nakaoka, "Practical Developments of High-performance UPS with New System Configurations and Their Specific Control Implementation," *IPEC- Yokohama*, pp. 1278-1283, 1995.
- [3] S. Manabe, "Lecture note on A New Polynomial Approach for controller Design : Coefficient Diagram Method", Chungbuk Nat'l Univ., 1997.
- [4] S. Manabe, Y. C. Kim and H. I. Kang "Lecture note on A New Polynomial Approach for controller Design : Coefficient Diagram Method", Chungbuk Nat'l Univ. , 1999.