

파이프라인 구조를 갖는 비디오 부호화기 설계에 관한 연구

이 인 섭, 이 선 근, 박 규 대, 박 형 근, 김 환 용
원광대학교 전자공학과
전화 : 063-850-6740 / 핸드폰 : 017-643-7506

A Study on Video Encoder Design having Pipe-line Structure

In Sup Lee, Seon Keun Lee, Kyu Dae Park, Hyoung Keun Park, Hwan Yong Kim
Dept. of Electronics Engineering, Wonkwang Univ.
E-mail : insup_0113@yahoo.co.kr

Abstract

In this paper, it used a different pipeline method from conventional method which is encoding the video signal of analog with digital. It designed with pipeline structure of 4 phases as the pixel clock ratio of the whole operation of the encoder, and secured the stable operational timing of the each sub-blocks, it was visible the effect which reduces a gate possibility as designing by the ROM table or the shift and adder method which is not used a multiplication flag method of case existing of multiplication of the fixed coefficient. The designed encoder shared with the each sub-block and it designed the FPGA using MAX+PLUS2 with VHDL.

편리하고 작은 변화의 아날로그 조정이 가능하며 우수한 화질 등 여러 장점들이 제공된다. 또한 복합 신호 생성뿐만 아니라 그래픽이나 비디오 시스템에 지원되는 디지털 비디오 신호는 더 나은 화질을 위하여 분리된 휘도와 색차의 아날로그 비디오 신호로 사용된다. RGB는 공통된 입력 형태로 많은 컴퓨터 시스템에 사용되고 있는 반면 YCrCb 입력 신호는 비디오 프로세싱의 방법으로 복원 및 스케일링에 사용될 때 유용하다.^{[1]-[3]}

본 논문에서는 아날로그의 비디오 신호를 디지털로 부호화하기 위하여 기존의 방식과 다른 하드웨어 구조를 제안하여 현재 사용하고 있는 텔레비전 방송 규격인 NTSC, PAL 방식에 적용하기 위하여 디지털 신호처리 부분을 VHDL을 이용한 FPGA로 설계하여 동작을 확인 하였다.

I. 서 론

현재 NTSC와 PAL 복합 컬러 비디오 데이터 형태는 대부분 디지털 신호로서 그래픽과 비디오 시스템에 지원되고 있는데 신호 자체는 아날로그이지만 디지털 기술로 구현하여 NTSC, PAL 신호를 부호화하면 사용이

II. 파이프라인 구조의 비디오 부호화기

부호화기는 전체적으로 내부 화소 클럭에 의한 파이프라인 방식으로 동작하게 되며, 이 내부 화소 클럭은 외부 클럭의 분주로 만들어진다.

비디오 부호화기의 블록도는 그림1과 같이 나타냈다. 전체 블록도에 대한 설명은 다음과 같다.

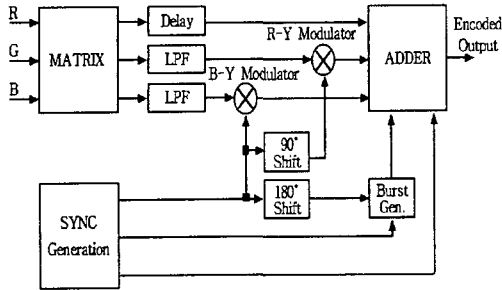


그림 1. 비디오 부호화기의 블록도

2.1. 동기 신호 발생기

동기신호 발생기에서는 주사선의 한 라인이 끝났음을 알려주는 수평 동기신호와 한 필드가 끝났음을 알려주는 수직 동기신호를 발생시키고 라인 상에서 각 구성 성분의 enable/disable 신호와 한 프레임 내에서의 라인 구성을 위한 동기 신호도 발생시키게 된다. 설계된 부호화기는 NTSC와 PAL 방식 모두 지원하도록 하였다. 이를 위해 NTSC/PAL 선택을 위한 모드 신호가 필요하며 표 1과 같이 클럭 주파수에 대한 라인당 화소 수를 미리 저장하게 될 타이밍 레지스터가 필요하게 된다.

표 1. 클럭 주파수에 대한 화소 수

형 태	주 파 수 (MHz)	전체 화소 수	동작 화소 수
NTSC	12.27 square pixel	780	640
PAL	14.75 square pixel	944	768

수직 동기신호 발생기에서는 NTSC의 경우 525라인을 PAL의 경우 625라인을 기준으로 반복되는 프레임을 구성하기 위한 신호를 발생시키는 기능을 수행한다.^{[4]-[5]} 위상을 고려하지 않고 단지 한 프레임을 구성하는 라인 성분만을 고려해서 NTSC와 PAL 방식의 프레임당 라인 구성한 것으로 PAL의 경우 625라인까지 구별해야 하므로 10비트 카운터를 이용하여 구현하였다.^{[6]-[7]}

수평 동기신호 발생기에서는 타이밍 레지스터에 저장된 값을 참고로 모든 종류의 라인을 발생시켜 수직 동기신호의 출력을 동작으로 하여 필요한 수직 및 수평 동기신호, 블랭킹 신호, 실질적인 영상 신호 라인의 여러 구성 신호의 enable 신호를 출력한다. 수평 동기신호 발생기에서는 화소 클럭에 의해 카운팅하는 11-비트

카운터로 구성하였고 화소 블록 정도에 따라 한 라인의 화소 클럭 사이클 수가 다르므로 라인당 총 화소 클럭 사이클 수를 타이밍 레지스터에 저장하고 화소 클럭에 의해 카운팅된 값이 수평 동기신호 이상이면 리셋 되도록 하였다.

2.2 컬러 변환기

컬러변환기는 RGB 또는 YCbCr를 입력 신호로 YUV 신호를 출력하는 블록으로 조정된 계수와의 곱셈 수행을 의미하므로 곱셈기를 사용하지 않고 쉬프트 된 입력간의 덧셈으로 구현할 수 있으며 식(1)과 같이 나타낼 수 있다. 그림 2는 컬러변환기의 블록도를 나타내었다.

$$\begin{aligned}
 Y &= 0.299R + 0.598G + 0.114B \\
 U &= -0.147R - 0.289G + 0.436B \\
 V &= 0.615R - 0.515G - 0.100B
 \end{aligned}
 \tag{1}$$

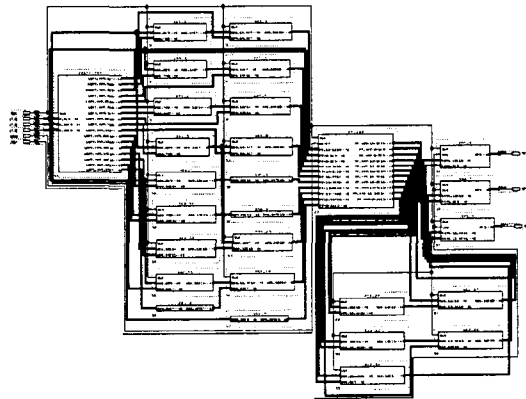


그림 2. 설계된 컬러 변환기의 구조

2.3 저역통과 필터

저역통과 필터는 컬러변환기를 통해 변환된 U, V 신호를 0.5MHz로 대역 제한하여 휘도 신호와의 인터리빙시 간섭을 줄이기 위한 블록으로 0.5MHz의 통과 대역과 6.5MHz의 저지 대역을 조건으로 추출된 계수와의 곱셈을 수행하는 부분이다. 컬러변환기와 동일하게 고정된 계수와의 곱셈이므로 쉬프트된 값의 덧셈으로 구현하였고 U, V 신호가 동일한 구조를 통과하게 된다는 점을 고려하여 저역통과 필터 자체적으로 외부 클럭에 의해 인터리빙하여 하나의 저역통과 필터 블록과 Mux, Demux로 구현하였다.

파이프라인 구조를 갖는 비디오 부호화기 설계에 관한 연구

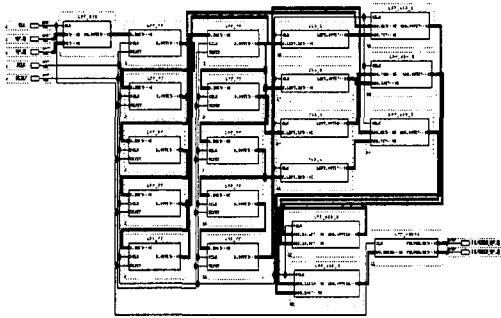


그림 3. 설계된 LPF의 구조

III. 모의실험 결과 및 분석

그림 4는 동기 신호 발생기로서 11비트 카운트 값을 사용하여 출력 H_sync와 V_sync 신호가 클럭에 대하여 동기 출력이 발생하도록 하였다.

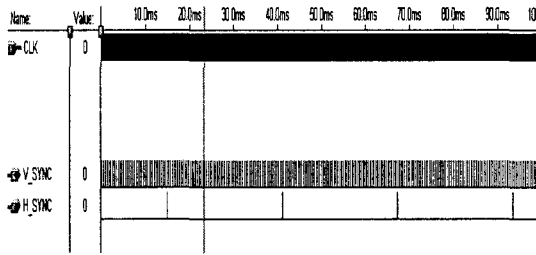


그림 4. 동기신호의 모의실험 결과

그림 5는 컬러 변환기의 모의실험 결과로 바이패스 값에 따라 출력 신호가 RGB 또는 YCbCr 신호를 결정되는데 계산중에 손실을 막기 위해 비트를 늘리다가 마지막에서 결삭하여 두 색차 신호(U, V)의 벡터 값이 변환기를 통하여 색 신호가 정확히 출력된다. 그림 6은 LPF의 모의실험 결과로 고정된 계수와 쉬프트와 곱셈 연산으로 구현해도 필터링된 데이터가 출력됨을 확인하였다.

그림 7은 설계된 비디오 부호화기의 전체 구조는 크게 4개의 블록으로 나누어 설계하였다. 그림 8은 부호화기의 전체 모의실험 결과를 나타내었다. 5 클럭의 초기 지연 시간을 가지며 그 후 매 클럭마다 비디오 신호(Y/C)와 영상 복합 신호가 출력된다. 리셋 신호의 하강에서 모든 플립플롭은 초기 상태로 셋팅되고, 외부 필드 결정 입력 신호에 의해 결정된 필드 동작을 시작하도록 설계하였다.

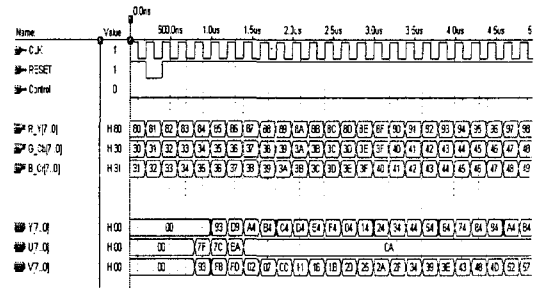


그림 5. 컬러 변환기의 모의실험 결과

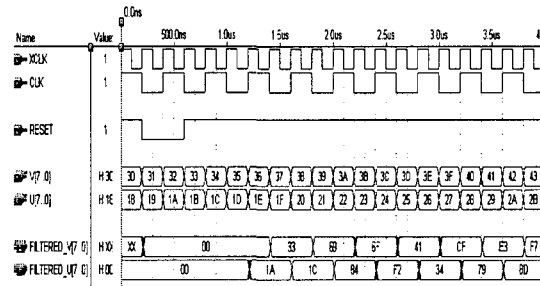


그림 6. LPF의 모의실험 결과

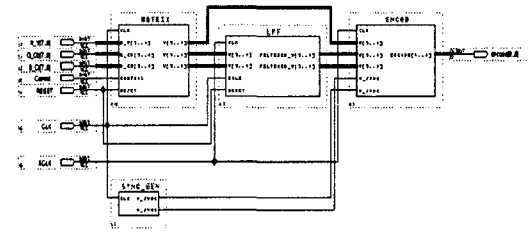


그림 7. 설계된 비디오 부호화기의 전체 구조

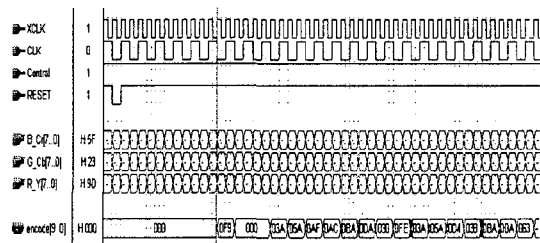


그림 8. 전체 모의실험 결과

기존의 시스템과 제안된 파이프라인 구조에 대하여 비교분석은 표 2와 같다. 입력신호와 출력신호의 데이터 형태는 같지만 동작방식에서 제안된 방법은 파이프라인 구조를 사용하여 안정된 타이밍을 확보하였으며 동기 신호에 대한 타이밍을 I²C 방식으로 프로그램이 가능하도록 하여 조작성이 간편하도록 하였다. 또한 구조가 복잡한 곱셈기나 면적을 많이 차지하는 ROM 테이블 방식을 사용하지 않고 구조가 간단한 쉬프트 레지스터와 덧셈기를 사용하여 전체적인 로직 사용을 최소화하였다.

표 2. 기존의 시스템과 비교분석

구분 비교항목	기존의 구조	제안된 구조
입력 신호	RGB, YUV	RGB, YUV
출력 신호	Y/C, composite	Y/C, composite
동작 방식	non-pipelined	pipelined
타 이 밍	프로그램이 가능	프로그램이 가능
입력비[Mpps]	12.27, 13.5	13.5
쿼터 변환기의 구조	ROM 혹은 곱셈기	쉬프트 & 덧셈기

IV. 결 론

본 논문에서는 아날로그의 비디오 신호를 디지털로 부호화하는데 기존과 다른 파이프라인 방식을 사용하도록 하였다. 부호화기의 전체 동작을 화소 클럭비에 따른 파이프라인 구조로 설계하여 각 하위 블록들의 동작 타이밍을 확보하여 시스템을 안정화시켰으며 고정된 계수와 곱셈의 경우 기존의 ROM 테이블 또는 곱셈기 방식을 사용하지 않고 쉬프트와 덧셈기 방식으로 설계 함으로써 시스템의 복잡도를 줄이며 게이트 수를 15% 줄이는 효과를 보였다. 설계된 부호화기는 각각의 하위 블록으로 나누어 VHDL로 설계하였고, Max+plusII를 이용한 FPGA로 동작 확인을 하였다.

참 고 문 헌

[1] S. F Chang and D. Messerschmitt, "Designing a high-throughput VLC decoder Part I -- Concurrent VLSI architecture", IEEE Trans. Circuits and Systems Video Tech., vol. 2, pp.187-196, June 1992

[2] H. D. Lin and D. Messerschmitt, "Designing a high-throughput VLC decoder Part II -- Parallel decoding methods", IEEE Trans. Circuits and Systems Video Tech., vol.2, pp.197-205, June 1992

[3] M. K. Rudgerg and L. Wanhammer, "New Approaches to High Speed Huffman Decoding", 1996 International Symposium on Circuits and Systems, pp.149-152

[4] H. Park and V. K. Prasanna, "Area efficient VLSI Architectures for Huffman coding", IEEE Transactions on Circuits and Systems-II : Analog and Digital Signal Processing, 40(9): pp.568-575, Sept. 1993

[5] M. M. Stojancic and C. Ngai, "Architecture an VLSI implementation of the MPEG-2 :MP, ML video decoding process", SMPTE Journal, pp.62-72 Feb. 1995

[6] M. Toyokura et al. "A video DSP with macroblock -level-pipeline and a SIMD Type vector-pipeline architecture for MPEG-2 codec" In Proceedings IEEE International Solid-State Circuits Conference, pp.74-75, 1994

[7] K-M. Yang, H. Fukiwara, T. Sakaguchi, and A. Shimazu. "VLSI architectures of a versatile variable length decoding chip for real-time video codeces" In Proceedings IEEE Region 10 Conference on Computer and Communication systems. pp.551-554, Sept.1990