

순환 DFT에 기초한 페이저 연산 장치의 ASIC 구현

김 중 윤, 김 석 훈, 장 태 규, *김 재 화
중앙대학교 전자전기공학부. *삼성전자

An ASIC implementation of Phasor Measurement Unit based on Sliding-DFT

Chong-Yun Kim, Suk-Hoon Kim, Tae-Gyu Chang, *Jae-Hwa Kim
School of Electrical Engineering, Chung-Ang University. *Samsung Electronics, Inc.
E-mail : mukko@jupiter.cie.cau.ac.kr

Abstract

본 논문에서는 다 채널 페이저 연산 장치를 전용 하드웨어로 구현하기 위한 설계 구조에 대하여 제시하였으며, 이를 연산량이 많은 곱셈기를 시분할에 의해 공유하는 구조를 제시하였다. 또한 페이저 측정을 위한 Sliding-DFT 알고리즘을 순환 구현할 경우의 근사 구현 오차에 관한 정량적인 연구를 수행하였다. 이러한 오차 영향의 해석을 기반으로 하여 곱셈기 공유 구조를 적용한 페이저 연산 장치를 설계하고, 설계한 하드웨어의 내부동작을 보여주는 시뮬레이션을 통해 설계의 정확성을 확인하였다.

I. 서론

동기 페이저 연산 장치에 대한 기존의 연구는 주로 FFT나 DFT를 기반으로 한 알고리즘을 고가의 DSP 칩을 이용하여 소프트웨어적으로 구현하는 기법들이 주를 이루고 있다. 이러한 방식들은 디지털 신호 처리에 있어 DSP 프로세서의 고유한 파이프 라이닝이나 병렬 처리와 같은 구조를 최대한 활용하여 구현의 효율성을 극대화할 수 있는 장점을 가지고 있지만, 상업적으로 대량생산함에 있어서는 ASIC과 같은 전용 하드웨어로 구현하는 것이 경제적인 측면에서 유리하다. 본 논문에서는 동기 페이저 연산 장치를 위한 Sliding-DFT 순환 알고리즘을 ASIC 또는 FPGA등의 전용하드웨어로 합성하기 위한 구조를 제시하고, 최소의 게이트로 하드웨어를 구현하기 위해서 상대적으로 많은 수의 게이트를 요구하는 곱셈기를 시분할에 의해 공유하는 구조에 대하여 기술하였다.

이러한 하드웨어 구현에 있어서 고속연산과 경제성을 고려하여 유한 bit의 고정소수점 연산을 수행하게

된다. 이러한 경우 근사 오차는 시스템의 성능 및 안정성에 직접적으로 영향을 미치는 주요 사항으로서 알고리즘의 하드웨어 응용에 있어서 오차의 해석은 필수 사항이다[1].

본 논문에서는 SDFT를 계수 근사에 의한 순환 구현시 발생하는 오차의 영향을 해석하여, 이를 순환 구현에 있어 설계 지침으로 하였으며, 이의 시뮬레이션 결과를 나타내었다.

2절에서는 순환 DFT에 기초한 페이저 연산 알고리즘과 오차 영향 분석에 대하여 설명하였으며, 3절에서는 알고리즘에 대한 설계 내용과 곱셈기 공유구조를 제시하였다. 이러한 설계 결과를 통해 VHDL로 기술하고 이를 FPGA로 합성하여 수행한 동작 시험 결과와 해석식에 대한 시뮬레이션 결과를 4절에 제시하고 5절에서 결론을 기술하였다.

II. 순환 DFT에 기초한 페이저 연산 알고리즘과 오차영향해석

본 장에서는 페이저를 연산하기 위한 순환 SDFT 기법을 기술하고 있으며, 순환 알고리즘의 계수 근사 구현에 따른 오차의 영향을 해석적으로 구하는 과정을 기술하였다.

2.1 페이저 연산을 위한 순환 DFT 알고리즘

Sliding-DFT의 순환구현은 현재 신호 블록의 DFT를 구할 때 이전 신호 블록의 DFT 값을 이용하는 기법으로써 매 입력 샘플마다 블록 단위로 주파수 값을 계산하는 block-DFT등과 같은 비 순환 기법들에 비해 계산량을 크게 줄일 수 있어, 실시간 응용에서 처

럼 고속연산이 필요한 경우에 매우 유용하다[2][3].

신호열 $x(n), x(n+1), \dots, x(n+N-1)$ 의 N -points DFT는 식 (1)과 같이 표현된다.

$$X_1(n) = \frac{2}{N} \sum_{m=0}^{N-1} x(n+m) W_N^m \quad (1)$$

여기서, SDFT 순환식은 DFT 값을 표현할 때 sliding-index 'n'을 이용해서 표현할 수 있으며, W_N 은 진동계수(twiddle coefficient)로 $e^{j2\pi/N}$ 와 같다. $X_1(n)$ 은 n -번째 데이터블록의 첫 번째 주파수 성분을 나타내며, 식 (1)에서 $X_1(n+1)$ 과 $X_1(n)$ 의 관계를 통해 식 (2)와 같이 페이지 연산을 위한 순환식을 얻는다.

$$\begin{aligned} X_1(n+1) &= \frac{2}{N} \sum_{m=0}^{N-1} x(n+1+m) W_N^m \\ &= W_N \left[X_1(n) + \frac{2}{N} \{x(n+N) - x(n)\} \right] \end{aligned} \quad (2)$$

여기서, $X_1(n+1)$ 은 창을 한 샘플 지연시킨 다음 창의 데이터블록의 첫 번째 주파수 성분을 나타낸다.

그러나 식 (2)와 같은 방법으로 페이지를 계산하면 결과 값이 매번 반시계 방향으로 $2\pi/N$ 만큼씩 돌아가는 형태로 나타나게 되는데, 이런 형태로 계산이 행해지면 정상상태에서 페이지가 일정치 않게 된다. 따라서 정확한 페이지를 얻기 위해서는 순환 방식을 사용할 때 $\exp\{-j(2\pi/N)n\}$ 만큼 보정해 주어야 하며, 그 결과 식을 식 (3)에 나타내었다.

$$\begin{aligned} X_p(n+1) &= W_N^{(n+1)} \\ &= W_N \left[X_1(n) W_N^n + \frac{2}{N} \{x(n+N) - x(n)\} \right] \\ X_p(n+1) &= X_p(n) + \frac{2}{N} W_N^n \cdot U \\ U &= x(n+N) - x(n) \end{aligned} \quad (3)$$

여기서, $X_p(n) = X_1(n) W_N^n$ 을 나타내는 것으로 보정된 페이지 값을 나타낸다. 이와 같은 방법으로 순환 DFT를 구하면 정상상태에서 항상 동일한 페이지를 가지게 된다. 이에 대한 페이지 측정 순환식의 신호 흐름도를 그림 1에 나타내었다.

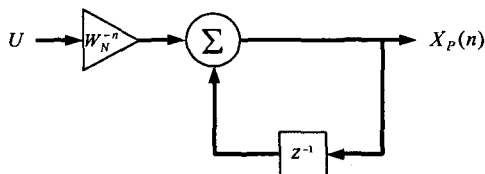


그림 1. 페이지 측정 순환식의 신호 흐름도

2.2 페이지 측정의 오차 영향 분석

하드웨어 구현에 있어 계수를 근사화하고 순환 DFT를 수행하면 블록내의 실제 페이지 값과 근사 계산된 페이지 값의 차이가 생겨 오차가 누적되게 되는데 이러한 오차의 양은 해석식으로 얻을 수 있다. 이식을 오차 방정식(error dynamics)으로 정의하고 이를 토대로 근사 비트 수에 대한 오차의 특성을 알아본다.

식 (3)에서 계수의 유한 비트 구현은 다음의 식 (4)와 같이 유한 비트 구현된 페이지 값 $\hat{X}_p(n)$ 에 대하여, 양자화된 진동계수 \hat{W}_N^{-n} 을 이용하여 기술할 수 있다.

$$\hat{X}_p(n+1) = \hat{X}_p(n) + \frac{2}{N} \hat{W}_N^{-n} \{x(n+N) - x(n)\} \quad (4)$$

이 때 페이지 오차 $E_p(n+1)$ 을 근사 DFT 값과 실제 DFT 값의 차이로 정의하여, 근사 페이지 측정 순환식 (4)를 대입하고 $E_p(n+1)$ 과 $E_p(n)$ 의 관계로 정리하면 (5)과 같은 오차방정식을 얻는다.

$$\begin{aligned} E_p(n+1) &= E_p(n) \\ &+ \frac{2}{N} (\hat{W}_N^{-n} - W_N^n) \{x(n+N) - x(n)\} \end{aligned} \quad (5)$$

이 오차방정식은 진동계수오차 $\hat{W}_N^{-n} - W_N^n$ 와 입력신호의 계측 오차에 따라 특성이 결정된다. 오차 전력의 유도에서 필요한 기하학적 해석을 위해 새로운 변수 δ_n 과 입력 항 $U(n)$ 을 도입하여 식 (5)를 (6)과 같이 다시 쓸 수 있다.

$$E_p(n+1) = E_p(n) + \frac{2}{N} \delta_n W_N^n U(n) \quad (6)$$

여기서, $\delta_n \triangleq \frac{\hat{W}_N^{-n} - W_N^n}{W_N^n}$, $U(n) \triangleq x(n+N) - x(n)$

을 나타낸다. 이 오차방정식은 입력이 $U(n)$ 인 1차 시스템 방정식 형태로 나타나며, 오차방정식의 특성을 결정하는 δ_n 는 계수 양자화 비트 수에 따라 결정된다.

본 논문에서는 순환 DFT의 오차특성을 나타내는 관계식을 얻기 위해 오차 전력을 구하였으며, 오차전력은 δ_n 의 기하학적 분포특성에 관계하는 비트 수 b 에 관한 식으로 나타낸다. 오차전력은 다음에 식 (7)과 같이 수행한 블록 수만큼의 오차 누적으로 유도할 수 있다.

$$E_p(n) = \frac{2}{N} \sum_{m=0}^{n-1} \delta_m W_N^m U(m) \quad (7)$$

오차의 평균전력밀도의 기대치 σ_E^2 은 (7)의 양변에 절대값 제곱을 취하고 앙상블 평균을 취하여 식 (8)과 같이 나타낼 수 있다.

$$\begin{aligned} \sigma_E^2 &\triangleq \varepsilon\{|E_r(n)|^2\} \\ &= \left(\frac{2}{N}\right)^2 \sum_{m=0}^{N-1} \varepsilon\{|\delta_m W_N^m|^2\} \cdot \varepsilon\{|U(m)|^2\} \quad (8) \\ &= \frac{8}{3N} \cdot \Delta^2 \cdot \sigma_U^2 \end{aligned}$$

여기서, $U(n)$ 의 전력은 잡음의 전력으로 나타낼 수 있다. 진동계수의 크기를 b 비트으로 근사화하면, 근사 계수 W_N^{-m} 는 복소수 평면상에서 2^{-b} 의 길이를 갖는 정사각형 격자점으로 표시할 수 있다. 이에 대해 계수 근사시 버림을 하는 경우를 가정하면 계수 근사 오차 $\delta_m W_N^m$ 은 한 변의 길이가 2^{-b} 인 사각형들로 구성된 형태의 평등분포(uniform distribution)라 가정할 수 있으며, 이를 토대로 계수 근사 오차에 대한 기대값을 구하면 식 (10)과 같다.

$$\begin{aligned} \varepsilon\{|\delta_m W_N^m|^2\} &= \varepsilon\{|\delta_m|^2\} \\ &= \frac{2}{3} \Delta_b^2 \end{aligned} \quad (10)$$

여기서, $\Delta_b = 2^{-b}$, $\Delta_b = \frac{1}{4\Delta_b^2}$.

식 (8)에서의 해석식을 통해 주파수 변화가 없는 입력 신호에 대해 잡음성분만이 있는 상황에서 대하여 입력 신호의 한주기를 N points로 샘플링한 후, 순환 DFT 알고리즘을 수행했을 때의 오차 전력이 일정한 상수로 수렴하는 특성을 알 수 있다. 이를 통하여 순환 알고리즘을 수행하는 경우 오차의 누적이 없어 이의 하드웨어 구현이 가능함을 알 수 있다.

III. 페이지 연산기의 곱셈기 공유 구조

본 장에서는 다 채널 페이지 연산 장치를 전용 하드웨어로 구현하기 위한 설계 구조에 대하여 기술하였으며, 이를 최소의 게이트의 수로 구현하기 위하여 비교적 많은 게이트를 차지하는 연산기인 곱셈기를 시분할에 의해 공유하는 구조를 제시하였다.

다 채널 페이지 연산기는 샘플링 주파수를 기본 주파수 60 [Hz]의 32배인 1.92 [KHz]로 하였으며, 동기 위상은 샘플링 주파수에 따라 연속적으로 들어오는 입력 데이터에 대하여 SDFT 순환 기법 적용하여 측정하였다. 페이지 연산 장치에서 한 채널의 출력 샘플을 얻기 위해서는 1번의 복소수 곱셈 연산과 2번의 덧셈 연산이 필요하게 된다. 각 채널별로 동일한 형태를 가진 구조를 구현할 때, 독립적으로 구현하여 병렬로 조합하는 방식은 시스템 타이밍 측면에서 구현이 단순하고 연산 지연이 없는 반면에 요구되는 게이트의 양이 많게 된다. 이에 본 논문에서는 순차적으로 채널별

출력 결과를 얻고 이를 각각 더하는 순차 구현 방식을 적용하였으며, 공통적으로 사용되는 연산 모듈중에 게이트의 소요량이 큰 곱셈기를 시간 구간별로 공유하여 구현에 필요한 게이트를 최소화할 수 있는 구조를 도출하였다.

곱셈기 공유는 하나의 입력으로 진동계수, W_N^n 을 순차적으로 입력시키고 또 다른 입력으로 각 채널 데이터 입력의 현재 시간 값과 지연 값의 차이 $\{x_i(n+N) - x_i(n)\}$ 을 순차적으로 입력하여 곱셈을 수행하고 이를 이전의 출력 값들과 각각 더함으로써 각 채널의 출력 샘플을 완성하는 방식으로 이루어진다. 본 논문에서 설계한 곱셈기 공유 구조의 입출력 타이밍 도를 그림 3에 나타내었다.

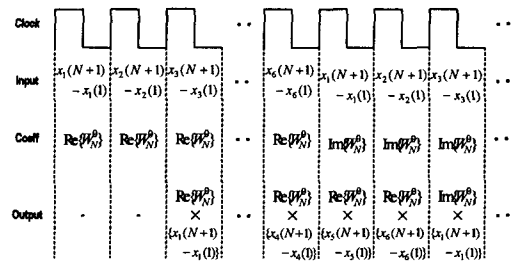


그림 2. 공유 곱셈기의 타이밍 구조도

본 논문에서 계수 및 입력 신호를 16 비트의 정밀도로 표현하는 경우를 고려할 때, 16×16 비트의 조합 회로 곱셈기는 Altera사의 FLEX10K FPGA에서의 합성을 대상으로 하여 131.1 [nsec]의 지연을 갖는 것으로 측정되었다. 하나의 곱셈이 클록지연 없이 완성되기 위해 필요한 시간은 1.92 [KHz] 샘플링을 기준으로 43.41 = 1/1920/12 [usec] 이므로 131.1 [nsec]의 지연은 이를 충족하는 충분한 지연 시간이다.

이러한 구조에 따른 페이지 연산 장치의 설계사양과 곱셈기에 대한 시뮬레이션 결과 및 FPGA 에 기초한 동작 시험 시스템과 오차 영향에 대한 해석식에 대한 시뮬레이션 결과를 4절에 제시하였다.

IV. FPGA에 기초한 시스템 구현 및 시뮬레이션 결과

본 장에서는 3절에서 설계한 페이지 연산 장치를 하드웨어로 구현한 결과와 동작 시험 결과를 제시하였다. 설계한 페이지 연산 장치를 VHDL로 기술하고 이에 대한 하드웨어 시뮬레이션을 수행하여 설계의 정확성을 확인하였다. 또한 오차 영향에 대한 시뮬레이션을 통해 해석식의 정확성을 확인하였다.

표 1. 구현한 다 채널 페이지 연산기의 설계 사양

사양	비트 수		Number 시스템	비고
입력 샘플	16		2's complement	ADC 출력
진동 계수	16		2's complement	W_N^n
Multiplier	입력	출력	signed magnitude	
	16	32		
Accumulator	입력	출력	2's complement	Guard bits
	32	32+3		
출력 샘플	16		2's complement	위상값

3절에서 공유 곱셈기를 적용한 페이지 연산 장치의 설계 사양을 표 1에 나타내었다. 그림 3에서는 설계한 페이지 연산 장치의 내부 동작을 보여주는 하드웨어 시뮬레이션 결과를 나타내었다. 이러한 시뮬레이션을 통해 설계한 페이지 연산 장치의 설계의 정확성을 확인하였다.

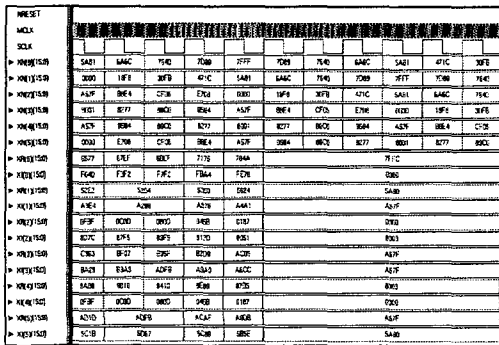


그림 3. 다 채널 페이지 연산 장치의 시뮬레이션 결과

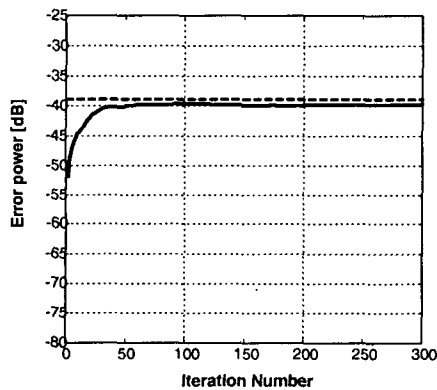


그림 4. 오차 전력의 해석식과 시뮬레이션 결과 비교

그림 4는 2절에서 구한 오차 전력의 해석식과 이에 대한 시뮬레이션 결과의 비교를 보여주고 있다. 계수의 근사 비트수는 4 비트, SNR은 10[dB]로 하였다. 그림에서 보듯이 알고리즘을 수행함에 따라 오차가 누적이 되지 않고 일정한 값으로 수렴함을 알 수 있다.

V. 결론

본 연구에서는 다 채널 페이지 연산 장치를 설계하고, 이를 FPGA로 합성한 결과와 이의 동작 시험 결과를 기술하였다. 이의 경제적 구현을 위하여 시분할에 의한 곱셈기를 설계하고 적용하였다. 곱셈기는 동일한 형태의 채널 구조를 구현하는데 있어서 게이트 수요가 많은 연산기로서, 이를 각각의 연산 시에 공유하여 사용함으로써 독립적인 병렬구현 시에 비하여 월등히 적은 게이트만을 사용하여 구현할 수 있도록 하였다. 또한 순환 알고리즘의 오차 영향 해석식을 유도하였으며 이에 대한 시뮬레이션을 통해 해석식의 정확성을 확인하였다. 이러한 오차 영향 해석을 기반으로 곱셈기 공유 구조를 적용한 위상 측정 장치를 내부 시뮬레이션을 수행하여 안정적인 성능을 나타내는 것을 확인하였다.

본 연구에서 설계한 위상 측정 장치는 비교적 적은 하드웨어로도 정밀하게 동기 위상을 측정할 수 있어 경제성 및 성능 측면에서 매우 경쟁력이 있을 것으로 기대한다.

Reference

- [1] Gabor Peceli, "A Common Structure for recursive Discrete Transforms," *IEEE Trans. on Circuits and Systems*, Vol. CAS-33, No. 10, pp. 1035-1036, Oct. 1986.
- [2] Frabcoise Beaufays, Bernard Widrow, "On the Advantages of the LMS Spectrum Analyzer Over Nonadaptive Implementation of the Sliding-DFT," *IEEE Tran. on Circuits and Systems-part I : Fundamental Theory and Applications*, Vol. 42, No. 4, pp. 218-220, April 1995.
- [3] A. V. Oppenheim and C. J. Weinsten, "Effects of finite register length in digital filtering and the Fast Fourier Transform," *Proceedings of IEEE*, vol.60, no. 8, pp. 957-976, Aug. 1972.
- [4] IEEE Std 1344-1995, IEEE Standard for Synchronphasors for Power Systems.