

1)2차원 이산 웨이블릿 변환을 이용한 실시간 영상압축 코덱의 FPGA 구현

서영호, 김왕현, 김종현, 김동욱
광운대학교 반도체 및 신소재 공학과
전화 : 02-940-5167 / 핸드폰 : 017-361-0530

FPGA Implementation of Real Time Image Compression CODEC Using Wavelet Transform

Young-Ho Seo, Wang-Hyun Kim, Jong Hyun Kim, Dong Wook Kim
Dept. of , Kwangwoon University
E-mail : axl@explore.kwangwoon.ac.kr

Abstract

This paper presents a FPGA Implementation of wavelet-based CODEC, which can compress 2-dimensional image. For real-time processing, a scheduling method of input image data is proposed and a new structure of MAC(multiplier-accumulator) is proposed for wavelet transforms. Also this study proposes global pipelining structure of wavelet CODEC and efficient buffering method at interfaces between each module with different clock frequency.

I. 서론

현재 VLSI 설계기술의 빠른 발전에 따라 영상 및 음성 신호처리를 위한 많은 프로세서들이 개발되고 있다. 이러한 연구들에 있어 이산 웨이블릿 변환(Discrete Wavelet Transform : DWT)[1]을 이용한 신호의 처리에 많은 관심이 모아지고 있고 영상압축을 비롯한 컴퓨터 그래픽 처리, 워터마킹, DVR 시스템, 레이더 시스템 등 여러 분야에서 사용되고 있다. 뿐만 아니라 JPEG-2000 영상압축 표준에 핵심 알고리즘으로 채택이 되어 응용범위를 확대해 가고 있다[2~4]. 웨

이블릿 변환은 DCT를 적용할 때 나타나는 블록 효과(block effect)가 발생하지 않고 웨이블릿 변환 후 각 부대역(subband)를 다양하게 처리할 수 있다. 또한 압축률의 조정이 용이하며 응용분야에 따른 웨이블릿 변환 계수의 처리에 유연성을 가지는 특징을 보인다. 하지만 웨이블릿 변환을 위한 수많은 데이터량의 처리와 2차원 영상처리를 위한 수평/수직 필터링은 2차원 영상의 실시간 처리에 많은 어려움을 준다. 따라서 실시간 영상처리를 위해 효율적인 전체 하드웨어 구성과 웨이블릿에 적합한 필터링 모듈, 시간 손실이 없는 동작순서 및 데이터 흐름의 제어는 필수적이라 할 수 있다.

본 논문은 웨이블릿 변환을 이용하여 2차원 동영상을 실시간으로 압축할 수 있는 하드웨어를 구현하고자 한다. 본 논문에서는 동영상이 실시간으로 처리될 수 있게 입력되는 영상데이터들을 스케줄링하는 방식과 하드웨어 블록들의 구성을 제안한다. 그리고 웨이블릿 변환에 적합한 MAC(Multiplier-Accumulator)의 구조를 제안하고 웨이블릿 변환 후 생성된 각 부대역 처리 및 전체 과정에 대한 파이프라인 방식을 나타낸다. 또한 클럭 주파수가 다른 각 블록 및 코덱 외부와의 인터페이스에서 데이터의 효율적인 버퍼링을 제안한다.

II. 웨이블릿 코덱의 구조

이산 웨이블릿 변환(Discrete Wavelet Transform, DWT)은 Mallet tree 방법을 이용하여 영상신호의 에

1) 본 연구는 2001년도 중소기업청 산하연 공동기술개발 컨소시엄 사업에 의해 지원되었음.

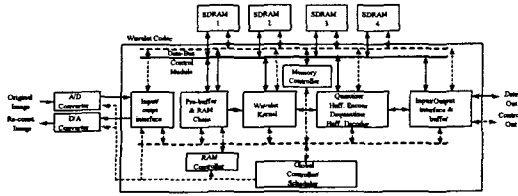


그림 1. 웨이블릿 코덱의 전체 블록 다이어그램

너지를 저주파 대역으로 합축시키고 여러 부대역으로 분해하여 고압축율과 고품질을 제공한다. 영상은 DWT(Wavelet Kernel), 양자화(Quantizer) 및 허프만 부호화(Huffman encoder)를 수행하여 압축되며, 허프만 복호화(Huffman decoder), 역양자화(De-quantizer) 및 역 DWT(Wavelet Kernel)를 수행하여 복원된다. 이들과 더불어 그림 1에서 보이는 것처럼 웨이블릿 코덱과 A/D 컨버터 및 D/A 컨버터 사이의 데이터 인터페이스를 위한 입/출력 인터페이스 블록, 외부 메모리와의 인터페이스를 위한 메모리 제어기, 시간 손실이 없이 DWT가 가능하도록 픽셀 데이터를 처리해주는 버퍼 및 RAM, 저장장치와 인터페이스를 연결해주는 입/출력 블록, 각 블록 사이의 데이터 인터페이스를 처리하는 데이터-버스 제어 블록, 그리고 다수의 제어기에 의해 영상의 압축과 복원을 수행하게 된다.

2.1 웨이블릿 커널의 구조

웨이블릿 커널의 구조는 그림 2와 같다. Pre-buffer는 필터링 연산이 일어나는 동안 다음 계산을 위한 영상 데이터를 입력받고 웨이블릿 변환 레벨에 따라 선택되는 MUX에 의한 데이터 라인을 통해 연산 중에 RAM에서 이미 연산되어진 데이터의 위치에 저장되고 다음 필터링 연산을 기다린다. Pre-Adder에 의해 9번의 곱셈과정은 5번으로 줄여지고 MAC에 의해서 필터링 연산이 수행된다.

2.2 Dual-port RAM Chain의 구조

실시간으로 데이터를 처리하기 위해서는 시간의 소실

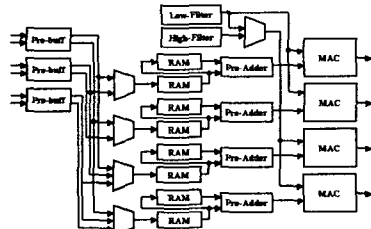


그림 2. 웨이블릿 커널의 구조

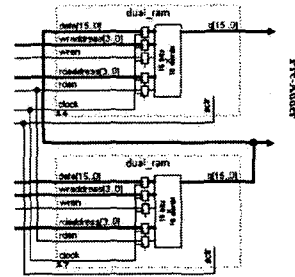


그림 3. ROM Chain 블록 다이어그램

RAM 1	RAM 2	RAM 1	RAM 2
0	1	0	1
1	2	1	2
2	3	2	3
3	4	3	4
4	5	4	5
5	6	5	6
6	7	6	7
7	8	7	8
8	9	8	9
9	10	9	10
10	11	10	11
11	12	11	12
12	13	12	13
13	14	13	14
14	15	14	15
15	16	15	16

(a) (b)

그림 4. RAM Chain의 주소에 따른 스케줄링 (a)Low-pass 필터링 (b)High-pass 필터링

이 없이 다음 과정을 위한 데이터가 준비되어 있어야 한다. 그리고 필터링에 따라서 입력되는 데이터는 연산에서 계속 사용이 되기도 하고 사용되지 않기도 한다. 또한 이 과정 중에 새로운 데이터의 입력도 필요로 한다. 따라서 MUX와 레지스터에 의한 데이터의 처리는 한계를 가지고 그에 대한 해결방안으로 RAM chain 구조가 적합하다. RAM chain 구조는 데이터가 어느 때든 입력되어 질 수 있고 chain을 통해 쉬프트 동작과 보유 동작을 구성할 수가 있다. RAM chain 구조의 내부적인 스케줄링을 그림 4에 예시하였다.

2.3 제안된 MAC의 구조

웨이블릿 코덱의 내부적인 수 체계는 16비트(정수:9비트, 소수:7비트)이고 필터는 Booth 인코딩을 고려하여 10비트로 하였다. 이러한 수 체계의 구성은 양자화 과정을 포함하고 있는 압축기에 있어서 16x16 곱셈과 유사한 성능을 가지면서 적은 하드웨어로 구현된다. 제안하는 MAC의 구조가 그림 5에 나타나있다. 누적 과정은 따로 누적기를 두지 않고 CSA Tree에서 이루어지게 하였다. 그래서 누적의 마지막 단계에서만 최종 덧셈기가 동작한다. 이는 크게 전력을 감소시킨다. 또한 필터를 미리 Booth 인코딩된 값을 저장하여 그에 따른 하드웨어 감소와 속도 향상을 가져왔다.

2차원 이산 웨이블릿 변환을 이용한 실시간 영상압축 코덱의 FPGA 구현

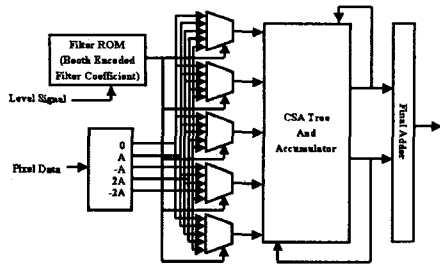


그림 5. 제안되는 MAC의 블록 다이어그램

2.4 커널 제어부의 구조

커널 제어부는 웨이블릿 코덱의 전체 제어부에 의해 구동되어 각각의 레벨에 따라서 웨이블릿 커널을 제어한다. 그 제어 관계를 그림 6에 나타냈다. 그림에서 호된 부분은 커널의 데이터 패스부를 나타낸다. 필터링 동작은 각 레벨의 초기단계에서 데이터의 처리하는 것을 제외하고는 반복적인 동작을 하기 때문에 제어 신호를 ROM에 저장하고 전체 제어부의 제어신호와 카운터에 의해 ROM의 주소를 생성한다. ROM에서 출력되는 값들은 인코더를 통해 웨이블릿 커널을 위한 제어 신호가 된다. 그리고 ROM의 내부구조를 그림 7에 나타냈다.

2.5 웨이블릿 코덱 내부모듈 인터페이스

웨이블릿 코덱 내부의 각 블록들은 사이에 인터페이스 블록을 두고 서로 데이터를 전달한다. 입력 인터페이스부와 메모리 사이에는 one-way data transfer 조건을 따르고 메모리와 Pre-Buffer 사이에는 request-operation 조건을 따른다. 그리고 커널과 메모리 사이에는 interface controller 조건에 따라서 버퍼링을 한다.

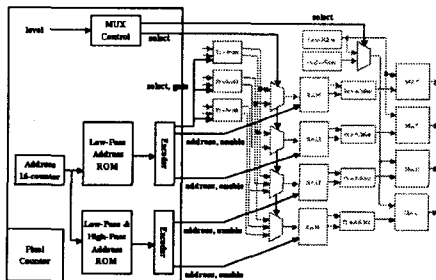
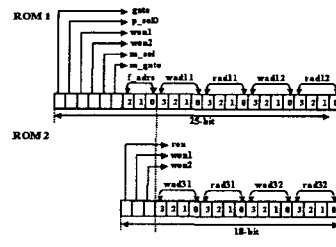
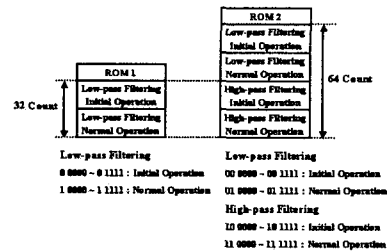


그림 6. 웨이블릿 커널 제어부에 의한 제어관계

III. 웨이블릿 코덱 동작 구성



(a)



(b)

그림 7. 커널 제어부의 ROM 구성
(a)ROM의 비트 할당 (b)주소에 따른 ROM의 구성

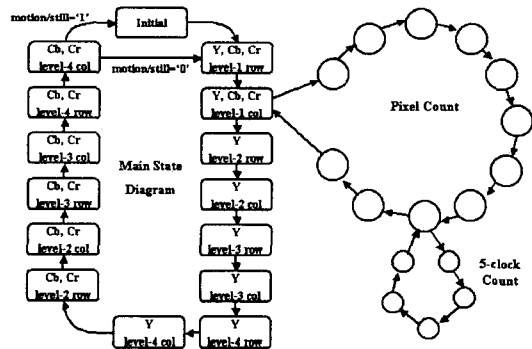


그림 8. 웨이블릿 코덱의 상태도

전체 제어부의 상태는 그림 8에 보이는 것과 같이 구성된다. 각 상태는 커널 제어부에 의한 한 레벨의 동작이 끝남을 확인하면 다음 상태로 넘어가고 커널 제어부는 영상 화소의 카운팅과 누적수에 따라서 상태 천이를 한다. 표 1은 각 레벨에 따른 MAC의 사용과 그때 처리되는 화소의 수를 나타내고 있다. row와 col은 각각 행방향 및 열방향 필터링을 나타낸다. 그리고 YCbCr은 NTSC 방식의 4:2:2 칼라 영상을 나타낸다.

IV. 하드웨어 구현 및 실험결과

본 논문에서는 Daubechies (9,7) 필터를 사용하고 10비트로 나타낸 후 미리 Booth 인코딩시켜 저장시켰고

표 1. 레벨에 따른 MAC의 사용 및 처리화소 수

State		MAC1	MAC2	MAC3	MAC4	# of Pixel
ready		Y	Y	Cb	Cr	0
initial		Y	Y	Cb	Cr	0
Level 1	row	Y	Y	Y	Y	38400
	col	Y	Y	Y	Y	19200
Level 2	row	Y	Y	Y	Y	9600
	col	Y	Y	Y	Y	9600
Level 3	row	Y	Y	Y	Y	2400
	col	Y	Y	Y	Y	2400
Level 4	row	Y	Y	Y	Y	600
	col	Y	Y	Y	Y	600
Level 2	row	Cb	Cb	Cr	Cr	4800
	col	Cb	Cb	Cr	Cr	2400
Level 3	row	Cb	Cb	Cr	Cr	1200
	col	Cb	Cb	Cr	Cr	600
Level 4	row	Cb	Cb	Cr	Cr	300
	col	Cb	Cb	Cr	Cr	150

영상 데이터는 16 비트로 나타내는 것으로 하였다. 다수의 영상에 대한 실험적 결과에 의해 Liner-scale 양자화기와 허브만 코더, 그리고 부대역별 할당 비트 수를 결정하였다. 실시간 처리를 위하여 웨이블릿 커널 내부에는 4개의 MAC을 사용하였으며, DWT 및 역 DWT 때 사용하는 동작메모리 및 저장메모리로 4개의 외부 메모리를 사용하였다. 메모리 제어기는 4개의 메모리가 4개의 MAC에 따라 동작하도록 스케줄링과 제어신호 발생을 담당한다. 영상압축 및 복원의 동작은 Global Controller/Scheduler에 의해 제어된다. 구현된 하드웨어는 전체 구조의 동작에 있어 파이프라인을 수행하며, 각 블록들 역시 내부적으로 파이프라인으로 구성되어 있어 실시간으로 동영상을 처리할 때 100%의 하드웨어 사용율을 보인다.

웨이블릿 코덱은 VHDL 행위-레벨로 설계하여 Altera의 FPGA에 매핑하였으며, 실시간 처리를 위하여 외부에 4개의 SDRAM(100MHz 512K×16비트×2bank)을 사용하였다. MAXPlusII에서 시뮬레이션을 수행하였으며, 그 결과의 성능은 640×480의 영상에 대해 초당 36 프레임 처리할 수 있어 실시간으로 영상의 압축 및 복원이 가능하였다. FPGA 자원의 사용에 있어서는 Altera의 EPF10K250AGC599-1 칩에 구현했을 때 83%(10048/12160)의 LAB와 90%(18/20)의 EAB를 사용하여 하나의 FPGA에 웨이블릿 코덱을 사상할 수 있었다. 또한 NTSC방식의 4:2:2(Y:Cb:Cr) 컬러형식을 처리할 때 30배의 압축률에서 약 30dB 정도의 PSNR을 보였다.

그림 9는 MAXPlusII에서 구현된 웨이블릿 커널을 보여주고 그림 10은 웨이블릿 커널의 시뮬레이션 결과 중 일부 신호에 대해 나타냈다.

V. 결론

본 논문에서는 실시간으로 2차원 동영상을 처리할 수 있는 웨이블릿 기반의 코덱에 대한 구조를 제안하고 구현하였다. 구현된 하드웨어는 기존의 M-JPEG

및 MPEG에 비해 간단한 하드웨어 구조를 가지면서도 우수한 성능을 보이고 있어 본 논문에서 구현된 웨이블릿 코덱은 추후 많은 응용분야에서 사용될 수 있리라 사료된다.

참고문헌

- [1] R. M. Rao and A.S. Bopardik, *Wavelet Transforms, Introduction to Theory and Applications*, Addison Wesley, Reading, 1998.
- [2] A. Grezeczak, et al., "VLSI Implementation of Discrete Wavelet Transform", *IEEE Trans. on VLSI Systems*, Vol.4, No.4, pp.421-433, Dec. 1996.
- [3] K. Paul, D. R. Chowdhury, and P. P. Chausuri, "Scalable Pipelined Micro-Architecture for Wavelet Transform", *Intl. Conf. on VLSI Design*, pp. 144-147, Jan. 2000.
- [4] O. M. Neilsen and M. Hegland, "A Scalable Parallel 2D Wavelet Transform Algorithm", *Technical Report TR-CS-97-21*, Dept. of CS, Australia Natl. Univ., Dec. 1997.

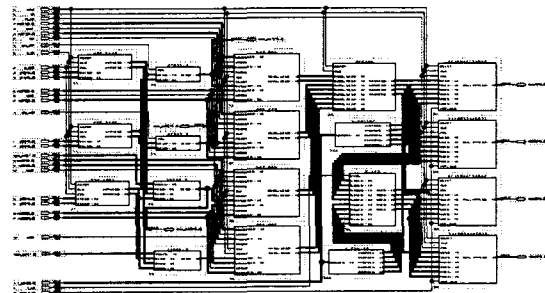


그림 9. 구현된 웨이블릿 커널

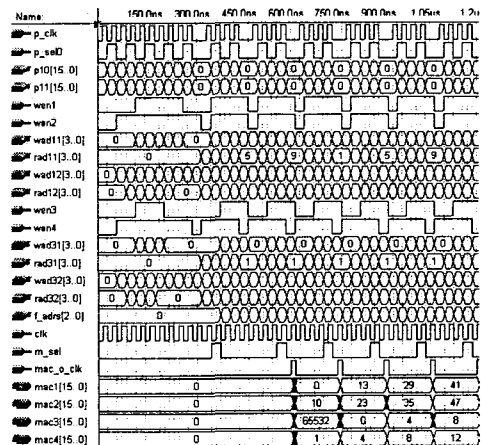


그림 10. 웨이블릿 커널 시뮬레이션결과 일부