

8GHz 대역 국부발진기 적용을 위한 Frequency Tripler 설계 및 제작

정미경 · 이운순 · 이희민 · 홍성용
충남대학교 전자공학과

Design and fabrication of the frequency tripler for 8GHz local oscillator application

Mi-Kyong Jung · Woon-Soon Lee · Hi Min Lee · Sung-Yong Hong
Dept. of Radio Science & Engineering, Chungnam National University

요 약

본 논문에서는 MESFET을 이용하여 2670MHz에서 8010MHz로 주파수를 체배하는 Frequency Tripler를 설계 및 제작하였다. A급에 동작점을 두어 3차 하모닉 성분을 발생시켰고, $\lambda/4$ 개방형 스타브와 대역통과 필터를 이용하여 기본주파수와 2차 하모닉 성분을 억제하였다. 측정결과 0dBm의 입력 신호에 대해 출력주파수인 8.16GHz에서 변환이득은 -0.33dB, -55dBc의 기본 주파수 억압, -38dBc의 2차 하모닉 성분의 억압을 얻었다. 2.5GHz~2.84GHz의 입력주파수에서 400MHz의 사용대역을 얻었다.

I. 서 론

오늘날 통신 정보량의 증가는 높은 주파수에서의 통신 수단을 요구하고 있다. 마이크로파 통신 시스템의 경우 고안정, 저잡음의 신호원을 필요로 하는데 고주파의 경우 이러한 신호원을 직접 만들기 어려우므로 높은 안정도와 저잡음 특성을 갖는 저주파 신호원을 체배하여 고주파 신호원을 만들고 있다.

주파수 체배기는 사용하는 소자에 따라 크게 다이오드를 이용한 체배기와 트랜지스터를 이용한 체배기가 있다. Varactor나 SRD(Step Recovery diode)처럼 다이오드의 reactive 비선형 요소를 이용하여 하모닉을 발생시키는 경우는 주

파수와 밀접히 연관되어 있기 때문에 동작범위가 좁은 단점이 있으나 저항성분이 없기 때문에 효율이 높은 장점이 있다. Schottky다이오드의 경우는 resistive 비선형 요소를 사용하는데 이 때 높은 차수의 체배 효율이 $1/n^2$ 로 낮아지기 때문에 보통 낮은 차수를 체배할 때 사용하며 저항 성분 때문에 효율은 낮지만 광대역 특성을 나타낸다.

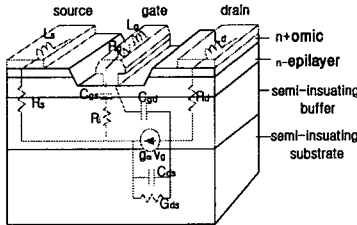
FET, HEMT, BJT 등 트랜지스터를 이용한 체배기의 경우는 낮은 차수 하모닉 체배의 경우 변환이득을 얻을 수 있으며, 입·출력 격리도가

좋아 정합이 수월하다. 또한 소자의 열 발생이 적기 때문에 다이오드 체배기에 비해 안정도가 높고 낮은 DC 전력 소모로 인해 효율도 높다. 그러나 다이오드 체배기에 비해 회로 구성이 복잡하고 크기가 증가하는 단점이 있다.

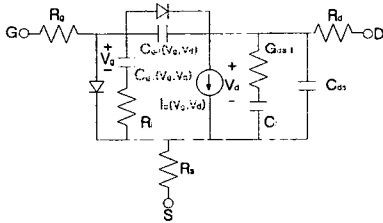
본 논문에서는 2.67GHz 신호를 3체배하여 8.01GHz 신호를 얻는 frequency tripler를 NEC사의 NE425S01 MESFET을 이용하여 설계 제작하였다.

II. 주파수 체배기 이론

GaAs FET의 단면도와 등가 모델은 그림 1과 같다.



(a) 단면도



(b) 등가모델

그림 1. GaAs FET의 단면도와 등가모델

그림 1의 GaAs FET에서 고조파를 발생시키는 비선형 요소들은 gate-source junction capacitor (C_{gs}), I_{ds} clipping, V_{gs} - I_{ds} 전달 특성, 출력 conductance(G_{ds}) 등이 있다.

이러한 비선형 요소들 중에서도 전류 소스는 하모닉 발생에 가장 큰 영향을 주는 요소이다.[2][3] 이 전류 소스는 출력 전류나 출력전압 파형이 비대칭적으로 왜곡된 경우에는 even 하모닉이 우세하도록, 대칭적으로 왜곡된 경우에는 odd 하모닉

이 우세하도록 하모닉을 발생시키며 이러한 효과는 바이어스에 의해 제어된다. 바이어스에 의한 하모닉 발생과정을 FET 모델을 간략화한 후 게이트전압과 드레인전류 사이 관계를 선형모델로 가정하여 설명하면 다음과 같다. 게이트에 식(1)과 같은 전압을 인가하면 출력 전류는 식(2)와 같다.

$$V_{gs}(t) = V_{GO} + V_g \cos \omega t \quad (1)$$

$$I_{ds}(t) = I_{D0} + I_{d1} \cos \omega t + I_{d2} 2\omega t + \dots = \sum_{n=0}^{\infty} I_{dn} \cos n\omega t \quad (2)$$

바이어스점을 A급에 둔 경우 출력 전류의 파형은 그림 2와 같이 대칭적인 사다리꼴 형태가 된다.

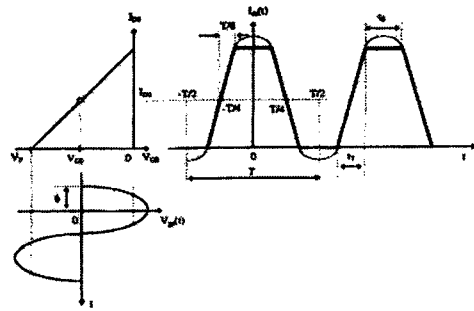


그림 2. 사다리꼴파형의 발생

이때 출력된 전류는 식(2)로부터 식(3)과 같이 구해진다.

$$I_{D0} = I_p \left[\frac{\tau_0 + \tau_1}{T} \right]$$

$$I_{dn} = 2 I_p \left[\frac{\tau_0 + \tau_1}{T} \right] \frac{\sin(n\pi \tau_1/T)}{n\pi \tau_1/T} \frac{\sin[n\pi(\tau_0 + \tau_1)/T]}{n\pi(\tau_0 + \tau_1)/T} \quad (3)$$

식(3)으로부터 출력 전류파형이 사다리꼴 형태로 왜곡된 경우 출력 전류는 오직 odd 하모닉만을 포함한다는 것을 알 수 있으며, 인가된 전압의 크기가 더욱 커져서 τ_1 이 0이 되면 출력 파형은 사각파형이 되고 이때가 odd 하모닉의 크기가 최대가 되는 조건이 되어 3체배기 또는 5체배기와 같은 odd 하모닉 체배기에 적합하게 됨을 알 수 있

다. 식(2)로부터 peak 드레인 전류로 정규화된 전도각과 체배비의 관계를 나타내면 그림 3과 같다.

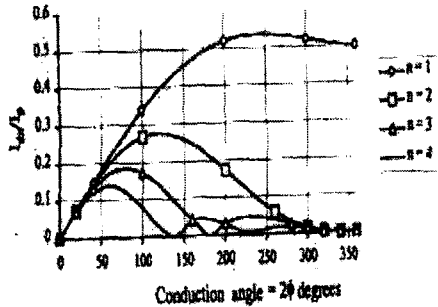


그림 3. 전도각에 따른 정규화된 하모닉 전류

그림 3으로부터 선형 모델에서 최적의 전도각은 $2\psi_{opt}=240^\circ/n$ 로 근사되므로, 주파수 3배배기의 경우 최적의 전도각은 80° 가 된다.

III. Frequency Tripler 설계 및 제작

본 논문에서 사용한 주파수 3배배기의 블록도를 그림3에 나타내었다.

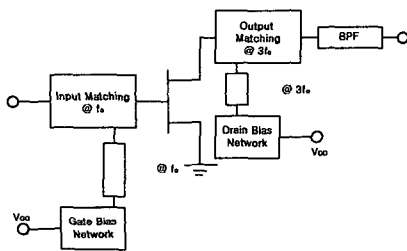


그림 4. 주파수 3배배기 블록도

그림 4에서 보는 것처럼 frequency tripler의 입력 바이어스 필터는 frequency doubler와 유사하게 generator에서 gate로의 결합과 반사된 모든 하모닉을 흡수하도록 하는 목적으로 사용된다. 드레인단은 드레인의 출력 reactance와 병렬공진하여 기본주파수에서 드레인이 높은 임피던스를 갖도록 하는 phase shifter, 3차 하모닉을 막고 1,2차 하모닉은 통과 시키는 바이어스 network으로 구성된다.

Frequency tripler를 설계하기 위해서는 odd 하모닉이 우세한 출력파형을 만들어야 한다. 우선 device를 도체각이 80° 인 C급에 바이어스점을 두거나, negative swing에서는 pinch-off로 인해, positive swing에서는 gate conduction으로 인해 clipping이 일어나도록 device를 A급에서 과동작시켜 3차 하모닉에서 우세한 전류 파형을 얻는 방법이 있다. 또한 device를 A급에 두고 기본주파수에서 드레인단이 높은 임피던스가 되도록 하여 3차 하모닉에서 우세한 전압 파형을 얻는 방법도 있다. 각각의 효율을 비교하면 전압 왜곡이 더 높은 odd하모닉 전류를 제공한다[2]. 그러므로 frequency tripler의 경우 대부분 전압 왜곡이 발생하도록 바이어스점을 A급에 두며, 큰 입력 전력을 인가하여 pinch-off에서 zero gate 전압까지 swing하도록 한다. 또한 이 왜곡된 전압 파형이 가능한 대칭이 되도록 하여 even 하모닉이 최소가 되도록 해야한다. 그림 5는 설계된 3배배기의 전체 회로도이다.

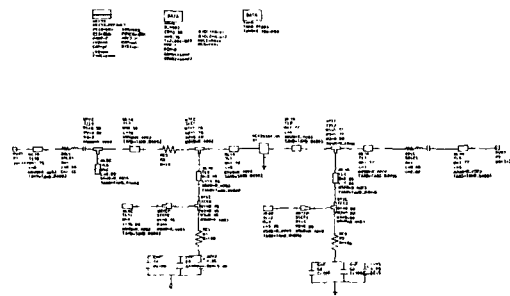
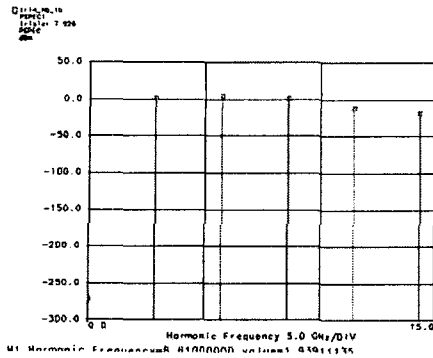
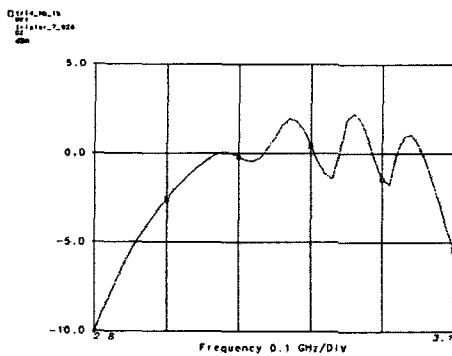


그림 5. 주파수 3배배기 회로도

설계된 3배배기는 여러번의 제작 측정결과 주파수가 200MHz 정도 낮아지는 현상으로 인하여 입력 신호의 주파수를 200MHz 높여 설계하였다. 설계된 주파수 3배배기는 0dBm의 입력 신호에 대해 8.61GHz의 3차 하모닉에서 1.9dBm의 출력과 약 300MHz 정도의 사용대역을 얻었다. 주파수 3배배기의 출력 고조파 특성과 변환이득대역 시뮬레이션 결과를 그림6에 나타내었다. 원하는 3차 하모닉의 성분들을 제거하기 위하여 평행결합선로를 이용한 3단 대역통과 여파기도 설계하였다.



(a) 출력 고조파 특성



(b) 변환이득 대역

그림 6. 주파수 3체배기시물레이션 결과

주파수 3체배기는 유전율 3.38, 높이가 0.762 mm 인 로저스사의 기판위에 제작되었으며, 전체 크기는 65(mm)×40(mm)이다. 제작된 주파수 체배기를 그림 7에 나타내었다.

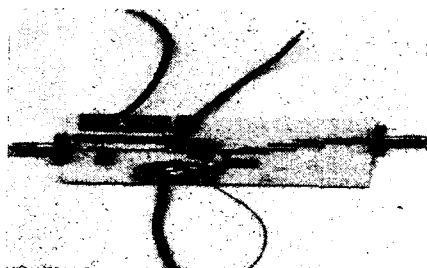
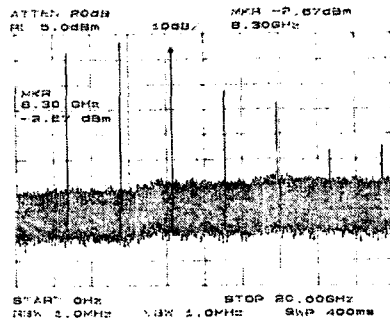
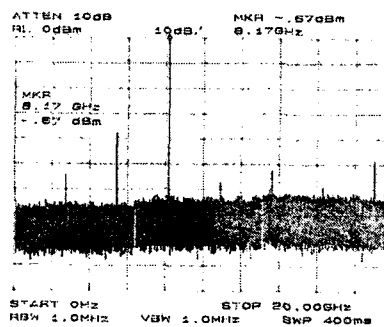


그림 7. 제작된 주파수 2체배기

측정결과 8.16GHz의 3차 하모닉에서 -0.33dBm의 출력과 -55dBc의 기본 주파수 억압과 -38dBc의 2차 하모닉 억압을 얻었다.



(a) 주파수 3체배기의 출력 특성



(b) 여파기를 사용한 주파수 3체배기의 출력특성

그림 8. 제작된 주파수 체배기의 특성

8.16GHz 출력파형은 10kHz offset 주파수에서 위상잡음이 -90.17 dBc/Hz로 측정되었다. 이는 -98.83dBc/Hz의 위상잡음을 갖는 2.72GHz 입력 신호에 대해 2차 하모닉의 위상잡음 특성이 이론적으로 계산한 것보다 4dB 정도 더 나빠진 결과를 보였다.

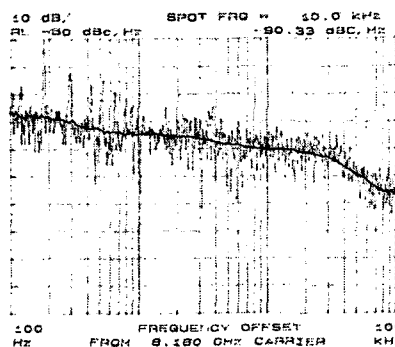


그림 9. 주파수 체배기의 입, 출력신호의 위상잡음 특성

2.50GHz에서 2.84GHz까지의 기본주파수대역에서 제작된 주파수 3배배기의 변환이득을 측정하여 결과를 그림 9에 나타내었다. 기본주파수 입력 신호는 0dBm의 입력전력을 사용하였다.

측정결과 제작된 주파수 3배배기는 제작시 최대 변환이득을 갖는 입력 신호의 주파수가 낮아지는 것을 고려하여 높은 주파수에서 설계하였으나 3배배기의 뒷단에 여파기를 삽입하면서 부하의 조건이 변하면서 60MHz정도 높아진 2.73GHz의 입력신호에 대해 0dB의 가장 큰 변환이득을 가졌다. 제작된 3배배기의 사용대역은 약 400MHz다.

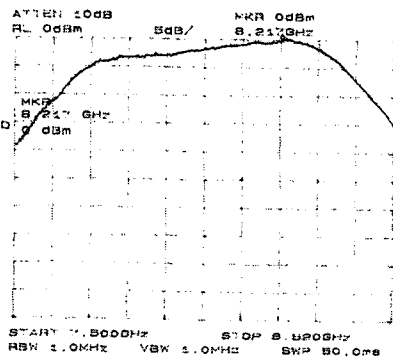


그림 9. 입력 주파수에 따른 3차 하모닉 전력

제작된 frequency tripler의 측정 결과를 표 1에 정리하였다.

구분	설계규격	측정결과	단위
전원전압	5	5	V
소모전류	25	26.5	mA
고조파억압	-45	-38	dBc
최대변환이득	2	0	dB
사용대역폭	300	400	MHz

표 1. Frequency Tripler 측정 결과

IV. 결 론

본 논문에서는 주파수 3배배기에 대한 기본적인 이론을 고찰하고 NEC사의 NE425S01 MESFET

을 이용하여 2.67GHz의 신호를 입력하여 8.01GHz를 출력하는 Frequency Tripler를 제작하였다. 제작된 주파수 3배배기는 2.72GHz에서 0dBm의 전력을 갖는 입력신호에 대해 8.16GHz에서 -0.33dBm의 출력과 -55dBc의 기본 주파수 억압특성을 얻었다. 제작된 주파수 3배배기의 사용 대역폭은 400MHz였다. 대역통과 여파기를 삽입하기전 3배배기의 사용대역이 정확히 여파기와 일치한다면 대역내의 변환손실이 적어질 것으로 예상되며 여파기의 삽입으로 인한 부하의 영향을 고려하여 설계와 제작 과정을 충분히 되풀이하면서 그 오차를 줄여야 할 것으로 보인다. 또한 주파수 3배배기의 위상잡음 저하가 이론치보다도 4dB가량 더 떨어진 결과를 보였는데 우선적으로 측정 과정에서 발생한 잡음의 영향과 제작시 grounding이 충분히 이루어지지 않아 발생한 저항성분들에 의한 영향으로 보여진다. 향후 주파수 3배배기의 사용대역을 넓히면서 변환손실이 최소가 될 수 있는 방안과 위상잡음의 저하가 최소가 되도록 충분한 고찰이 필요하다.

참 고 문 헌

- [1] Edmar Camargo, *Design of FET Frequency Multipliers and Harmonic Oscillators*, Artech House, 1998
- [2] Anand Gopinath, "Single-gate MESFET FET frequency doublers", *IEEE Trans. Microwave Theory and Tech*, vol. MTT-30, no. 6, pp. 869-874, Jun., 1982.
- [3] Guohao Zhang, Roger D. Pollard, "A novel technique for HEMT tripler design", *IEEE MTT-S Digest*, 1996.
- [4] Ofira Von Stein, Jim Sherman, "Odd order MESFET multipliers with broadband, efficient, low spurious response", *IEEE MTT-S Digest*, 1996.
- [5] Francisco Madriz, "Design of pHEMT frequency triplers with conversion gain at 6 GHz", *Applied Microwave & Wireless*