

# 심벌동기와 반송파동기를 가진 버스트 수신기의 설계

남옥우

창원전문대학 전자통신과

## Design of burst receiver with symbol timing and carrier synchronization

Ock-woo Nam

Changwon College Dept. of Electronic and Telecommunication

### ABSTRACT

In this paper we describe the design of symbol timing and carrier synchronization algorithms for burst receiver. The demodulator consists of digital down converter, matched filter and synchronization circuits. For symbol timing recovery we use modified Gardner algorithm. And we use decision directed method for carrier phase recovery. For the sake of performance analysis, we compare simulation results with the board implemented by FPGA which is APEX20KE series chip for Alter. The performance results show it works quite well up to the condition that a frequency offset equal to 0.1% of symbol rate.

### I. 서론

전세계적으로 급속히 늘어나는 정보통신 수요와 인터넷 시장의 급성장으로 인하여 빠른 전송속도와 많은 정보의 이용에 대한 요구가 계속 높아지고 있다. 이러한 요구에 대하여 24 ~ 28GHz대의 준밀리미터파를 사용하는 광대역 무선가입자망(Broadband Wireless Local Loop : BWLL)이 초고속통신 매체에 대한 새로운 대안으로 부상하고 있다. BWLL이란 26GHz 대역 주파수를 이용하여 하나의 기지국에서 음성, 초고속 인터넷, 데이터, 영상전화, 주문형 비디오 등 다양한 멀티미디어 서비스를 복합적으로 전송할 수 있는 차세대 통신망이다. 미국에서는 스탠포드 텔레콤과 뉴브리지 주도로 DAVIC LMDS규격[1]이 완료됐으며 노텔과 모토로라는 CATV 규격을 보완한 MCNS 규격[2]을 채택하였다. 유럽은 ACTS 프로젝트로 다양한 광대역 무선접속기술을 연구중이며, ETSI 산하에 BRAN 프로젝트를 추진하고 있다. 한국에서는 TTA에서 표준을 제정[3], ETRI를 중심으로 연구개발에 박차를 가하고 있다. TTA표준에 의하면 BWLL은 TDMA 버스트 변조에서 채널 대역폭에 따라 다른 심벌 전송률과 QPSK 변조방식을 지원해야 하며, 각 변조 포맷은 대역 효율성을 위하여 펄스성형을 해야 한다[3]. BWLL의 경우와 같이 TDMA방식으로 디지털 데이터를 버스트 전송할 경우 수신기에

서는 동기가 무엇보다도 중요하다. 동기는 크게 심벌 타이밍 동기와 반송파 동기로 나눈다. 본 논문에서는 TTA 잠정표준을 바탕으로 BWLL 상향링크에 적용할 수 있는 버스트 수신기의 동기알고리즘을 설계하였다. 본 논문의 구성은 다음과 같다. 먼저, 1 장의 서론에 이어, 전체적인 수신기 구조와 각 구성요소를 2 장에서 설명한다. 3 장에서는 설계된 수신기를 컴퓨터 시뮬레이션에 의하여 평가한 결과 제시하고, 마지막으로 4 장에서 본 논문의 결론을 맺는다.

### II. 기지국용 수신기 구조

그림 1은 본 논문에서 제안한 버스트 수신기에 대한 블록도이다. 수신기는 디지털 다운컨버터와 정합필터 그리고 동기회로로 구성되어 있다. 전체적인 구조를 살펴보면, 먼저, 수신된 IF 신호는 중심주파수가 5 MHz이고 대역폭이 5 MHz인 IF 필터를 거친 후, 고정클럭의 ADC를 사용하여 샘플링된다. 이 때 한 심벌 당 4 번의 샘플링을 함으로써 심볼율은 2.5 Msymbol/sec가 되게 하였다. AD 변환된 수신신호와 발진기의 복소출력을 곱하여 down-conversion을 한 후 roll-off가 0.25인 25탭 square root raised cosine 필터로 구성된 정합필터를 거치고, 이 과정을 통하여 만들어진 복소 기저대역신호(I/Q 성분)가 동기 회로의 입력으로 들어온다.

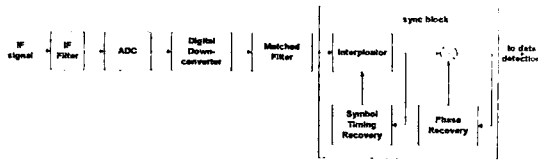


그림 1. 제안된 BWLL 기지국용 상향링크 수신기

1. 정합필터

수신기 필터 출력 샘플의 주파수 특성을 위하여 roll-off가 0.25인 raised-cosine 함수를 사용하는데, 최적의 전송을 위하여 square root raised cosine (SQRC) 필터를 사용한다. 송신기의 경우에는 다소 많은 탭의 SQRC 필터를 사용하지만[1], 수신기는 상대적으로 적은 탭 수의 필터를 사용한다. 본 논문에서는 25탭의 FIR 필터를 사용하였다.

2. 심벌 타이밍 복구(Symbol Timing Recovery)

심벌 동기란 수신된 아날로그 신호로부터 심벌 복원을 위해 송신 심벌을 또는 천이시점 및 그 정수배의 클럭에 동기화를 정확하게 추정하는 것을 말한다. 즉, 기저대역 신호의 클럭펄스를 추출해 내는 과정으로 디지털 통신에 공통적으로 요구되는 필수사항이다.

디지털 복조기에서는 다른 동기 요소들이 모두 심벌 동기 회로에서 선택된 최적의 샘플지점에서 동작하므로 심벌 동기는 아주 중요하고 정확하게 이루어져야 한다. 심벌 동기의 경우 효율적인 주파수대역 사용을 위해 별도의 파일럿 신호를 사용하지 않고, 수신된 신호로부터 직접 타이밍 정보를 얻는 것이 일반적이고, 제곱기와 미분기와 같은 비선형 회로를 구현하기에는 비용이 많이 들고 만족할 만한 성능을 기대하기 어렵기 때문에 현재는 디지털 적으로 구현하고 있다[4,5].

디지털 수신기를 구현하기 위해서는 오버샘플링 방법[6]도 가능하나, 처리속도에 대한 부담을 줄이기 위해 심벌 동기 회로에서 요구되는 샘플 수를 최소화하여 디지털 보간기를 사용하는 방법[7]을 사용하며, 반송파 동기 회로와는 독립적으로 동작하는 것이 바람직하다[8].

본 논문에서 제안한 동기 회로의 경우 최적의 ML 수신기를 위하여 그림에서 보듯이 타이밍복구 후 위상 복구가 수행된다[8]. 타이밍복구가 위상 복구 이전에 이루어지기 때문에 타이밍추정 알고리즘은 임의의 반송파 위상 오차나 주파수 오프셋이 존재하는 상태 하에서도 잘 동작을 해야 한다. 이를 위하여 심

벌 타이밍 복구회로는 NDA방법으로 타이밍 오차를 검출하고 디지털 보간기를 이용해서 타이밍을 조절하는 Gardner 알고리즘을 사용하였다[9]. 그림 2는 심벌 타이밍 복구회로의 기능적인 블록도를 나타낸 것이다.

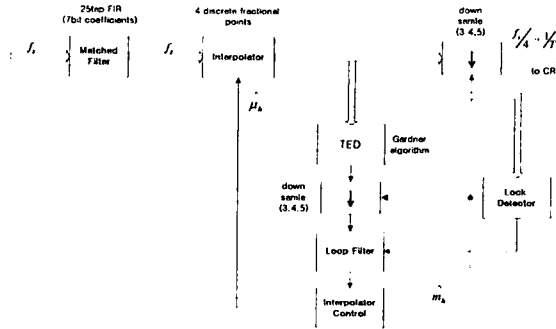


그림 2. 심벌 타이밍 복구회로의 블록도

가드너 알고리즘은 아날로그-디지털 변환 시 I 채널과 Q 채널에서 한 심벌에 두 샘플씩을 취한다. 이 값이 타이밍 오차 검출기(timing error detector : TED)의 입력이 된다. 가드너 알고리즘의 타이밍 오차값  $x_{NDA}(n)$ 은 식 (1)과 같다.

$$\begin{aligned}
 x_{NDA}(n) &= Re\{z(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad [z^*(nT + \hat{\epsilon}T) - z^*((n-1)T + \hat{\epsilon}T)]\} \\
 &= z_I(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad [z_I^*(nT + \hat{\epsilon}T) - z_I^*((n-1)T + \hat{\epsilon}T)] \\
 &\quad + z_Q(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad [z_Q^*(nT + \hat{\epsilon}T) - z_Q^*((n-1)T + \hat{\epsilon}T)]
 \end{aligned}
 \tag{1}$$

여기서,  $z$ 는 정합 필터 출력이고,  $I$ 와  $Q$ 는 각각  $I$ 와  $Q$ 채널 값이며  $Re(\cdot)$ 는 실수 값을 나타낸다. 그리고  $z_I(nT + \hat{\epsilon}T)$ 와  $z_Q(nT + \hat{\epsilon}T)$ 는 심벌의 중앙에서 취한 값이며,  $z_I(nT - T/2 + \hat{\epsilon}T)$ 와  $z_Q(nT - T/2 + \hat{\epsilon}T)$ 는 심벌의 천이(transition) 지점에서 취한 값이다.

본 논문에서는 하드웨어 구현을 고려하여 가드너 알고리즘을 수정하여 사용하였다. 즉, 식 (1)에서 각 심벌의 중앙에서 취한 샘플 값의 실제 값 대신 부호 값만을 이용하였다. 이 경우 타이밍 오차는 식(2)와 같이 표현될 수 있다.

$$\begin{aligned}
 x_{NDA}(n) &= z_I(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\{sgn[z_I(nT + \hat{\epsilon}T)] - sgn[z_I((n-1)T + \hat{\epsilon}T)]\} \\
 &\quad + z_Q(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\{sgn[z_Q(nT + \hat{\epsilon}T)] - sgn[z_Q((n-1)T + \hat{\epsilon}T)]\}
 \end{aligned} \quad (2)$$

식 (2)에서 구한 타이밍 오차값을 심벌 타이밍 복원에 이용하면 잡음의 영향이 줄어들어 개선된 심벌 타이밍의 추적 성능을 얻을 수 있고, 곱셈 계산이 줄어들어 하드웨어의 부담을 덜어 줄 수 있다. 그림 3에 수정된 가드너 알고리즘의 구현을 위한 블록도를 나타내었다.

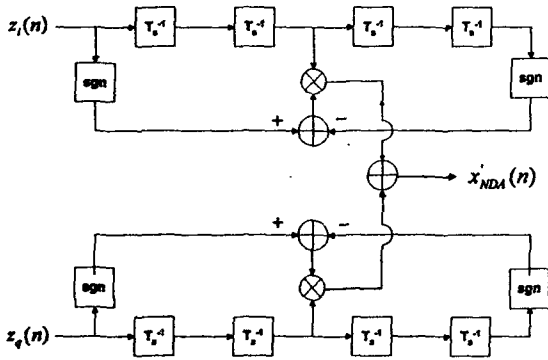


그림 3. 타이밍 오차 검출기

타이밍 오차 검출기로부터 나온 오차값은 루프필터로 들어가서 오차값에 대한 평균치가 계산된다.

가드너 알고리즘과 같은 궤환 동기기는 오차 검출기를 사용하기 때문에 동기가 이루어 졌는지(lock) 아닌지에 대한 신뢰할만한 지시가 필요하다. 이를 위하여 락 검출기(Lock Detector : LD)를 사용하였다 [10].

마지막으로 보간기 제어 블록에서는 루프필터의 출력을 받아 오버플로의 발생여부에 따라 오버플로가 발생하면 새로운 입력 심벌을 받아들이고 기준점( $\hat{m}_k$ )이 한 심벌 이동(이를 데시메이션(decimation)이라 함)하게 되고, 그렇지 않을 경우에는 작은 간격의 지연( $\hat{\mu}_k$ )에 따라 보간기의 샘플 위치를 조절(이를 보간(interpolation)이라 함)한다. 이를 그림 4에 나타내었다.

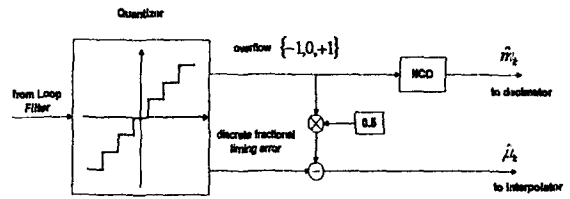


그림 4. 보간기 제어 블록

### 3. 반송파 위상 복구(Carrier Phase Recovery)

본 논문에서 제안한 동기 알고리즘은 심벌 타이밍 복구가 위상 복구보다 먼저 이루어지기 때문에 만약 타이밍을 알고 있다면, 정합 필터 출력샘플 값을 경판정하여 사용하는 DD알고리즘을 사용할 수 있다. 위상 복구의 경우는 down-conversion 후 남아있는 모르는 반송파 위상에 의하여 복소 데이터심벌이 일정 각 만큼 회전하게 되는데, 본 논문에서는 이러한 위상 오차를 이론상 최적의 성능을 나타내는 DD알고리즘을 사용하여 추정한 후 정합 필터 출력에 위상의 추정값을 곱해 위상을 회전(phase derotation)시키는 궤환 방법을 사용하였다[8]. 주파수 동기 회로가 없더라도 아주 작은 잔류 주파수 오차(대략 심벌율의 0.1%내외)는 이러한 시변 위상추정 방법만을 통해서도 해결할 수 있다. 그림 5는 본 논문에서 사용한 DD 위상 복구회로의 블록도를 나타낸 것이다.

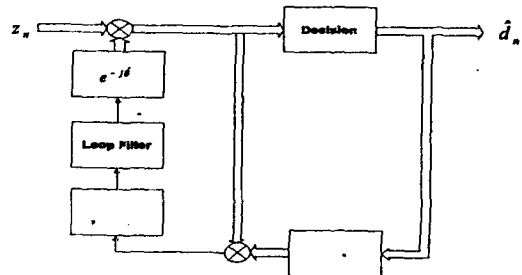


그림 5. 위상 복구회로

n 번째 데이터 심벌을 수신했을 때 위상 오차 검출기의 출력 값 즉, 오차 신호는 다음과 같다.

$$x_o(k; \hat{\theta}) = Im[\hat{a}_n^* z_n \exp(-j\hat{\theta})] \quad (3)$$

여기서,  $\hat{a}_n^*$ 는 결정(decision)된 값의 복소공액을 나타내고,  $\hat{\theta}$ 는 올바른 반송파 위상  $\theta_0$ 의 추정값을 나타낸다. 이 오차 검출기 출력 값이 루프필터를 통과하여, 다음과 같은 디지털 적분기에서 위상 추정값의 갱신이 수행된다.

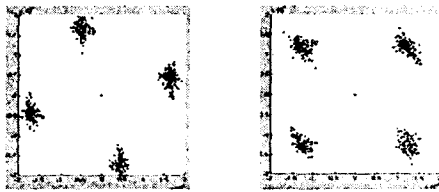
$$\hat{\theta}_{n+1} = \hat{\theta}_n + K_1 e_n \quad (4)$$

여기서,  $K_1$ 은 상수이고  $e_n$ 은 루프필터의 출력 값이다.

### III. 시뮬레이션 결과

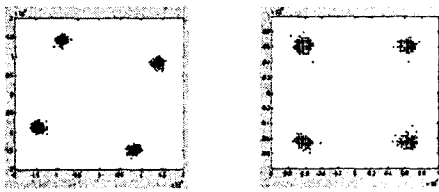
본 장에서는 제안한 동기 알고리즘을 이용하여 설계한 BWLL 상향링크 수신기의 성능을 컴퓨터 시뮬레이션에 의하여 평가한 결과와 실제 구현된 모델의 결과를 비교, 분석하고자 한다. 본 논문에서의 시뮬레이션은 실제 하드웨어로의 구현을 위하여 부동소수점(fixed-point)방식으로 수행하였다. 수신기의 ADC를 통해 샘플링된 IF 신호를 down-conversion 한 뒤 로직 분석기(logic analyzer)를 이용하여 캡처한 후 시뮬레이션 데이터로 사용하여 성능을 평가하였다[11].

그림 6과 7은 각각 초기 위상 오차가 1/16[rad]이고, 주파수 오프셋은 존재하지 않는 경우의 시뮬레이션 결과와 실제 구현된 모델의 신호 성상도 결과를 나타낸 것이다.



(a) 위상 복구 전 (b) 위상 복구 후

그림 6. 시뮬레이션 결과



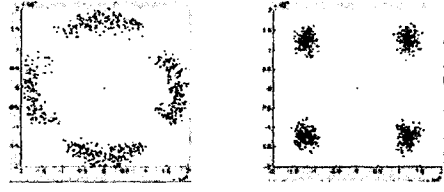
(a) 위상 복구 전 (b) 위상 복구 후

그림 7. 실제 구현된 모델의 신호 성상도

비록 주파수 오프셋은 없다고 가정하였만 송·수신기 간의 클럭오차로 인하여 약 25ppm (125Hz) 정도의 오프셋이 존재한다. 반송파 위상 복구 후의 결과 파형을 보면 반송파 위상 동기 알고리즘이 잘 동작하고 있음을 알 수 있다.

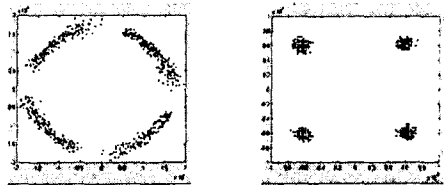
그림 8과 9는 각각 주파수 오프셋=1KHz, 심볼율=2.5Msymbol/sec인 경우에 대한 시뮬레이션 결과와 실제 구현된 모델의 신호 성상도 결과를 나타내고,

그림 10과 11은 각각 주파수 오프셋=2KHz, 심볼율=2.5Msymbol/sec인 경우에 대한 시뮬레이션 결과와 실제 구현된 모델의 신호 성상도 결과이다.



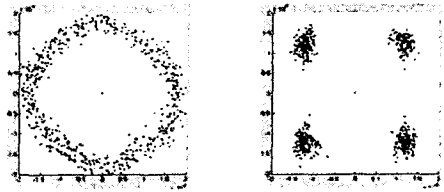
(a) 위상 복구 전 (b) 위상 복구 후

그림 8. 시뮬레이션 결과(주파수 오프셋=1KHz)



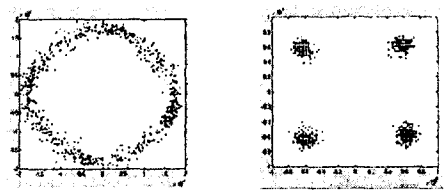
(a) 위상 복구 전 (b) 위상 복구 후

그림 9. 실제 구현된 모델의 신호 성상도 결과(주파수 오프셋=1KHz)



(a) 위상 복구 전 (b) 위상 복구 후

그림 10. 시뮬레이션 결과(주파수 오프셋=2KHz)



(a) 위상 복구 전 (b) 위상 복구 후

그림 11. 실제 구현된 모델의 신호 성상도 결과(주파수 오프셋=2KHz)

그림에서 보듯이 위상 복구 전에는 주파수 오프셋으로 인하여 신호 성좌점이 회전하고 있다. 반송파 위상 복구 후의 성좌점을 보면 복구가 잘 됨을 알 수 있는데, 본 논문에서 사용한 DD 반송파 위상 복구 알고리즘의 경우, 주파수 동기 회로가 없더라도 작은 잔류 주파수 오차(대략 심볼율의 0.1%내외)는 이러한 시변 위상추정 방법만을 통해서도 해결할 수 있다.

#### IV. 결 론

본 논문에서는 BWLL 시스템의 핵심부품인 기저대역 모뎀에 적용가능한 버스트 수신기의 동기알고리즘 설계에 관하여 연구하였다. 수신기는 정합필터와 디지털 다운 컨버터, 그리고 동기회로로 구성되어 있다. 수신된 IF 신호는 IF 필터를 거친 후, 고정클럭의 ADC를 사용하여 한 심벌 당 4 번 샘플링된다. 수신기의 정합필터는 roll-off가 0.25인 25탭 SQRC 필터로 구성하였다. 동기회로의 경우 심벌 타이밍 복구회로는 NDA방법으로 타이밍 오차를 검출하고 디지털 보간기를 이용해서 타이밍을 조절하는 Gardner 알고리즘을 수정하여 사용하였고, 반송파 위상 복구의 경우는 DD알고리즘을 사용하였다. 성능 분석을 위하여 제안된 알고리즘에 대한 시뮬레이션 결과와 VHDL로 코딩되어 FPGA에 구현된 실제회로의 결과를 비교, 분석하였다. 실험에 사용된 칩은 Alter사의 APEX20KE 시리즈의 60만 게이트 칩이다. 성능분석 결과 주파수 옵셋이 없는 경우에는 수신기가 잘 동작하였고, 주파수 옵셋이 있는 경우에도 약 심벌율의 0.1% 내외까지는 동기기가 잘 동작 하였다.

#### 참고문헌

[1] DAVIC 1.3 Specification Part 8, "Lower Layer Protocols and Physical Interfaces", Digital Audio-Visual Council, 1997.

[2] MCNS DOCSIS, "Radio Frequency Interface Specification", SP-RFI v1.1-I01-990311, Cable Television Laboratories, 1999.

[3] 광대역무선가입자망 무선접속규격 잠정표준, 한국정보통신기술협회, 1999.

[4] G. Ascheid, et.al., "An All Digital Receiver Architecture for Bandwidth Efficient Transmission at High Data Rates", IEEE Trans. on Commun., vol. 37, no. 8, pp.804-813, Aug. 1989.

[5] R. Morawski, et.al., "Data-Aided Fast Symbol Timing Recovery for TDMA/TDM Point-to-Multipoint Radio Communication Systems", Proc. IEEE CCECE '99, pp.73-78, Alberta, Canada, May 1999.

[6] R. Morawski, et.al., "Data-Aided Fast Symbol Timing Recovery for TDMA/TDM Point-to-Multipoint Radio Communication Systems", Proc. IEEE CCECE '99, pp.73-78, Alberta, Canada, May 1999.

[7] L. Erup, et.al., "Interpolation in digital modems-Part II : Implementation and Performance", IEEE Trans.Commun., vol. 41, pp.998-1008, June 1993.

[8] H.Meyr, M. Moeneclaey and S.A.Fechtel, "Digital Communication Receivers", Wiley-Interscience, 1998.

[9] F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers", IEEE Trans. on Commun., vol. COM-34, pp.423-429, May 1986.

[10] G.Karam, et.al., "Lock Detectors for Timing Recovery", IEEE, pp.1281-1285, 1996

[11] O.Nam, "A study on the design and implementation of synchronization algorithms for BWLL base station modem", a doctoral dissertation, Changwon Nat'l. Univ. 2001.