

CSA를 이용한 Booth-recoding적용 16x16-bit
High-radix 승산기의 구현과 분석
(Implementation and Analysis of Booth recoding-based
16×16-bit High-radix Multiplier with CSA)

최정필, 한강룡, 정희균, 송호정, 송기용
충북대학교 컴퓨터공학과
{welcomerain, hankang, harnle, hjsong}@archi.chungbuk.ac.kr,
gysong@chungbuk.ac.kr

Jeong-Pil Choi⁰, Kang-Ryong Han, Hoi-Gun Jeong, Ho-Jeong Song, Gi-Yong
Song
Dept. of Computer Engineering, Chungbuk National University
충북 청주시 흥덕구 개신동 산48번지
Tel +82-43-261-2452, Fax +82-43-262-2449

키워드 : High-radix 승산기, Booth recoding, Carry Save Adder, 배열 승산기

요약

본 논문에서는 처리속도 개선과 회로규모 최소화를 목표로 high-radix 기반 16×16-bit 승산기와 Booth recoding 적용 high-radix 기반 16×16-bit 승산기를 최소 개수의 CSA로 구현, 시뮬레이션 하였으며 이들을 배열승산기와 비교하여 분석하였다

Multiplication은 신호 처리와 과학의 응용분야에서 빈번하게 사용되는 중요한 산술 연산으로 high-radix multiplication을 통해 얻을 수 있는 피연산자 수의 감소에 따른 multi-operand 계산에서의 속도향상은 multiplication의 중요 관심 대상이다. 또한 다른 기준으로 실리콘 면적에 따르는 비용과의 관계도 중요한 관심 사항이다. 본 논문에서는 high-radix와 Booth recoding을 이용하여 속도와 회로규모의 측면에서 우수한 성능을 나타내는 승산기를 구성하고, 이를 FPGA에 구현하였다.