

**Baugh-Wooley 알고리즘을 이용한 파이프라인 방식
승산기의 구현**
(Implementation of the Pipelined Multiplier with Baugh-Wooley
Algorithm)

한강룡, 최정필, 이재진, 송호정, 송기용
충북대학교 컴퓨터공학과
{hankang, welcomerain, ceicarus, hjsong}@archi.chungbuk.ac.kr,
gysong@chungbuk.ac.kr

Kang-Ryong Han, Jeong-Pil Choi, Jae-Jin Lee, Ho-Jeong Song, Gi-Yong Song
Dept. of Computer Engineering, Chungbuk National University
충북 청주시 흥덕구 개신동 산48번지
Tel +82-43-261-2452, Fax +82-43-262-2449

요 약

본 논문에서는 Baugh-Wooley 승산 알고리즘을 '8x8-bit 15 stage 파이프라인 배열 승산기', '8x8-bit 2 stage 파이프라인 배열 승산기', '순수 조합 논리 배열 승산기'의 방식으로 FPGA상에서 구현하였으며, 각 구현방식의 성능을 비교 분석하였다.

필터링, 변조, 비디오 프로세싱 등에서의 승산은 대부분 DSP 프로세서를 사용하여 하드웨어적으로 처리되며, 하드웨어 승산 기능을 포함하는 DSP 프로세서는 반도체 제작사로부터 공급되어 대부분의 하드웨어 엔지니어가 사용하고 있다. 그러나 몇몇 디자인에서는 특정 목적의 DSP 프로세서를 구하기가 쉽지 않은 경우도 있다. 이 경우 하드웨어 설계 엔지니어는 DSP 프로세서 대신에 FPGA를 대안으로 채택하여 여러 가지 이점을 동시에 얻을 수 있다. 예를 들면, DSP 프로세서의 주변회로 구성에 필요한 추가 비용을 절감할 수 있으며, DSP 프로세서가 자체적으로 보유하는 명령어들 때문에 소비되는 전력소모를 줄일 수 있으며 FPGA를 사용함으로써 완벽한 유연성과 높은 성능, 이미 시판된 DSP 프로세서의 사용에 비해 저렴한 비용으로 기능을 수행 할 수 있는 이점이 있다.

본 논문에서는 FPGA상에 구현한 고성능 승산기로 Baugh-Wooley 승산 알고리즘을 기반으로 하는 '8x8-bit 15 Stage 파이프라인 배열 승산기', '8x8-bit 2 Stage 파이프라인 배열 승산기', '순수 조합 논리 배열 승산기'를 설계, 구현하고 이들의 성능을 분석하였다.