

실리사이드 제조공정에 따른 CMOS의 전기적 특성 비교

김종채, 김영철, 김기영, 서화일*, 김노유**

한국기술교육대학교 신소재공학과

*정보기술공학부 **메카트로닉스 공학부

Abstract

DRAM과 Logic을 하나의 칩 위에 제조하기 위한 EDL (Embedded DRAM and Logic) 기술에 코발트 실리사이드가 접촉저항을 낮추기 위해 사용된다. 본 연구에서는 코발트 실리사이드 제조에 사용되는 보호막이 CMOS 소자의 전기적 특성에 미치는 영향을 조사하였다. EDL 제조공정이 완전히 진행된 소자에 적용된 실리사이드가 누설전류에 미치는 영향을 비교하였다. 또한 실리사이드 보호막이 전기적 신호의 delay에 미치는 영향을 평가하기 위해, 99개의 CMOS 인버터가 직렬연결되어 있는 평가패턴을 사용하였다. 이상의 결과로 TiN 보호막이 pMOSFET의 전류전달 능력과 그 결과로 생기는 속도지연 측면에서 Ti 보호막보다 우수함을 알 수 있었다.

1. Introduction

초고집적회로에서 소자의 크기가 미크론 이하로 작아지고 금속배선의 길이가 늘어남에 따른 시간지연 (time delay)을 해결하기 위해, 접합이나 전극물질로 사용되고 있는 금속 실리사이드 (metal silicide)에 대한 연구가 활발하게 진행되어 왔다.¹⁾ 코발트 실리사이드 (cobalt silicide) 제조공정은 그 대표적인 예로써 코발트 (Co)를 실리콘 (Si) 위에 증착한 후 외부 노출없이 실리사이드를 형성²⁾하거나, 타이타늄(Ti)³⁾ 또는 질화 타이타늄(TiN)⁴⁾을 보호막(capping material)으로 사용하여 실리사이드를 형성하는 방법으로 나눌 수 있다. 최근에 DRAM과 LOGIC을 하나의 칩 위에 제조하기 위한 EDL (Embedded DRAM and LOGIC) 기술의 요구가 급속히 증가⁵⁾하고 있는데, 이는 저전력, 고성능 소자의 필요성 때문이다. 가장 대표적인 EDL 기술은 메모리 기반 접근방식 (memory-based approach)⁶⁾으로 공정 집적(process integration)이 용이하고 저 비용의 장점이 있는데 반하여, capacitor 형성을 위한 고온공정을 견딜 수 있어야 한다는 문제점이 있다.

본 연구는 코발트 실리사이드가 적용되고 EDL 공정이 완전히 진행된 CMOS 소자에서 보호막으로 사용된 Ti와 TiN이 전기적 특성에 미치는 영향에 관한 것이다. TiN 보호막이 Ti 보호막보다 전류특성과 전기적 속도 면에서 우수한 것으로 평가되었다.

2. Experimental

기판으로 9 - 12 Ωcm 사이의 비저항(resistivity)을 가지며 직경이 200 mm인 p-type (001) Si 웨이퍼를 이용하였다. Shallow trench isolation(STI)을 구현하여 격리구조를 형성한 후에 P와 붕소(B)를 이온 주입하여 n과 p-well을 형성하였다. 소자제작을 위하여 n과 p-채널(channel)에는 문턱전압(V_{TH}) 조절용 이온주입을 각각 실시하였다. 게이트 식각 후에 재산화를 실시하고 LDD (Lightly doped drain) 이온주입을 진행하였다.

전기적 활성화(electrical activation)를 위한 rapid thermal annealing(RTA)을 실시하였다. 반응할 Co를 증착하기 전에 소스/드레인 영역을 희석 불산(HF) 용액으로 세정하여 공기 중의 산소와 반응하여 생긴 산화막을 제거하였다. 연속진행으로 Co와 Ti를 DC 마그네트론(magnetron) 장비를 이용하여 증착하였다. 보호막의 영향을 조사하기 위해 Ti나 TiN 막을 Co 박막 위에 증착하였다.

후속공정으로 1차 RTA를 600°C, 60초 동안 N₂ 분위기에서 실시하였다. 미반응 Ti와 Co 금속을 SC1과 SC2 세정용액으로 각각 제거한 후, 750°C, 30초 동안 2차 RTA를 실시하였다. 이후 각각의 소자에 capacitor 형성을 위한 후속 열처리를 실시하였다.

3. Results and Discussion

Fig. 1은 DRAM 공정이 적용된 EDL 소자의 접합 누설전류에 보호막 유무, 그리고 보호막 종류가 미치는 영향을 비교하였다. 누설전류는 면적위주의 패턴 (area-dominant pattern)과 측면위주의 패턴 (edge-dominant pattern)에서 85°C, 4V 드레인-소스 전압 조건으로 각각 측정되었다. TiN 보호막이 사용된 경우의 누설전류는 실리사이드가 적용되지 않은 경우와 비슷한 우수한 특성을 보였으나, Ti 보호막을 사용한 경우에는 큰 누설전류와 전류값의 분포가 관찰되었다.

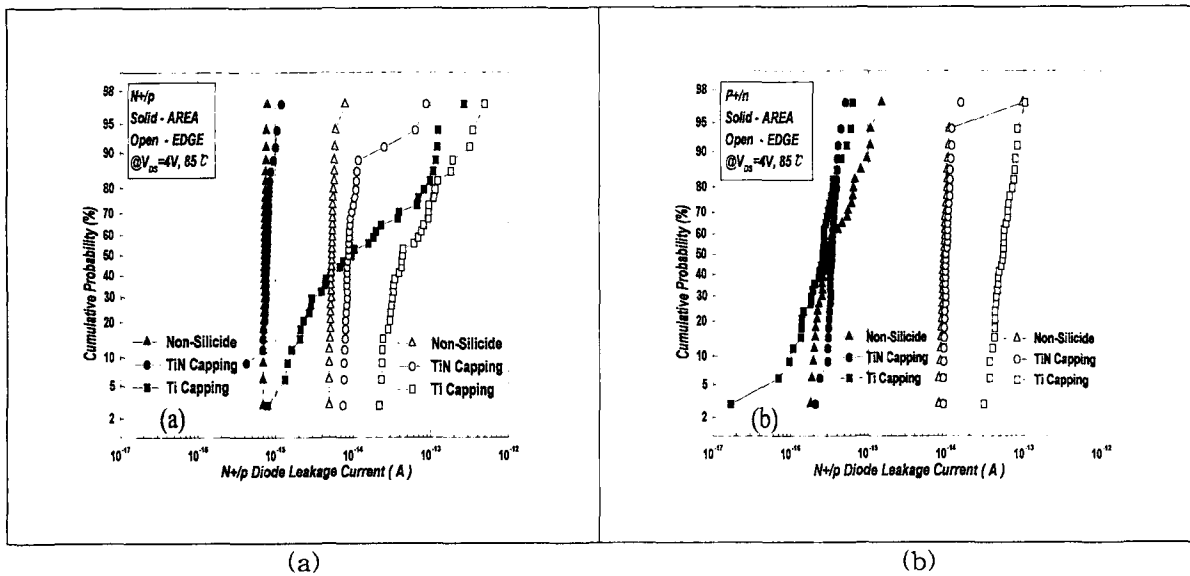


Fig. 1. Cumulative probability of junction leakage currents in (a) N+/p and (b) P+/n junction diodes at 4V and 85°C after the full EDL processes.

Fig. 2는 EDL 공정을 거친 nMOS와 pMOS의 드레인 전류-전압특성을 보여준다. nMOS의 경우 보호막의 종류가 특성에 거의 영향을 주지 않으나, pMOS의 경우에는 큰 전기적 특성차이가 관찰되었다. Ti보호막을 사용한 경우 pMOS의 드레인 전류는 TiN 보호막을 사용한 경우보다 크게 감소되었다.

드레인 전류가 감소한 pMOS가 CMOS 인버터의 전달속도에 미치는 영향을 살펴보기 위해 CMOS 인버터가 99개 직렬연결되어 있는 패턴을 이용하여, CMOS 인버터의 속도지연을 측정하였다. Fig. 3은 입력신호와 출력신호 사이에 나타나는 속도지연을 보여주는 그림으로, TiN 보호막의 경우 71 picosec/stage이고 Ti 보호막의 경우 91 picosec/stage로 측정되었다. 참고로 실리사이드가 적용되지 않은 CMOS 소자의 경우 167 picosec/stage의 지연시간을 보여준다.

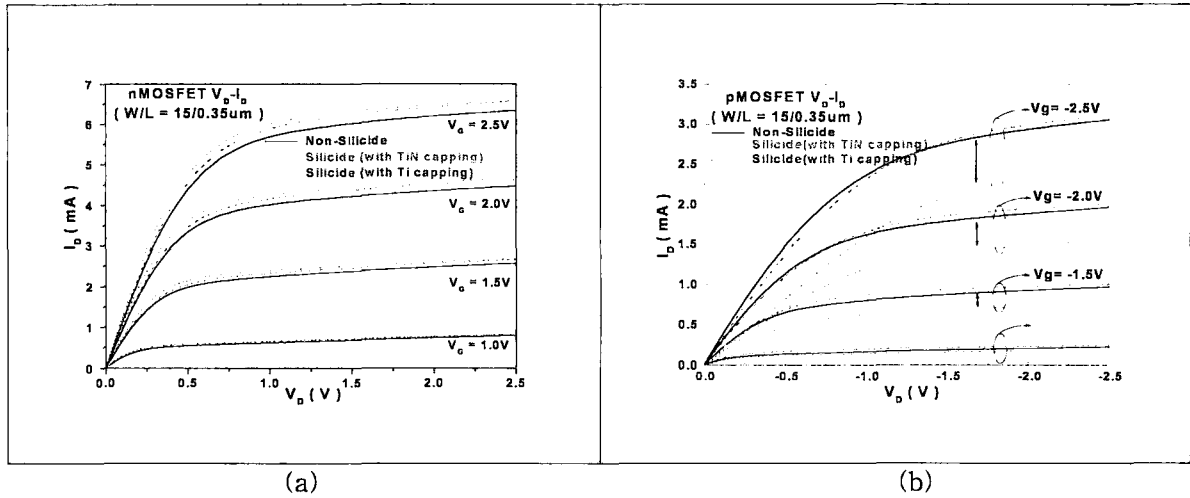


Fig. 2. I_D - V_D characteristics of (a) nMOSFET and (b) pMOSFET.

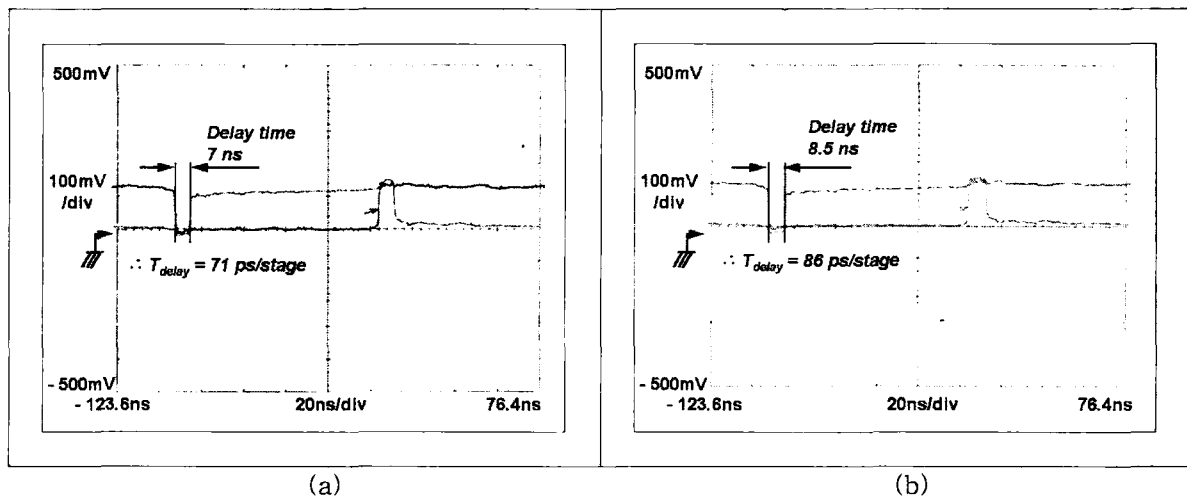


Fig. 3. Propagation delay time of CMOS inverter chains with (a) TiN capped silicided and (b) Ti capped silicided source/drain regions.

4. Conclusion

코발트 실리사이드가 적용된 CMOS 소자의 전기적 특성에 보호막이 미치는 영향을 조사하였다. DRAM공정이 포함된 EDL 집적공정이 적용되었을 때, TiN 보호막이 pMOS의 전류특성과 CMOS의 속도지연 특성에 있어 Ti 보호막에 비해 우수함을 알 수 있었다.

References

- [1] K. Maex, Mat. Sci. Eng. Rep., R11, p.53 (1993).
- [2] E. G. Colgan, J. P. Gambino and Q. Z. Hong, Mat. Sci. Eng. Rep., R16, p.43 (1996).
- [3] Y-C. Kim, J. Kor. Ceram. Soc., vol. 7, p.70 (2001).

- [4] J-U. Bae, D. K. Sohn, J-S. Park, B. H. Lee, C. H. Han and J. J. Kim, Tech. Dig. Int. Symp VLSI Tech., p.53 (1999).
- [5] J. C. Kim, W. H. Lee, J. G. Kim, S. Y. Chung, J. S. Nam, J. R. Lee, H. Kim and D. Song ESSDERC99 Proc., p.228 (1999).
- [6] H. Ishiuchi, T. Yoshida, H. Takato, K. Tomioka, K. Matsuo, H. Momose, S. Sawada, K. Yamazaki and K. Maeguchi, IEDM Tech. Dig., p.33 (1997).