

Au 스테드 범프와 Cu 패드사이의 SnAg 솔더 접합부에서의 금속간 화합물 형성과 칩 전단력에 관한 연구

신무섭, 김영호, 도원철 *, 하선호 *, 민병열 *
한양대학교 재료공학과, * AMKOR Technology Inc.
(E-mail: torrent@ihanyang.ac.kr)

1. 서론

전자 패키지에서 고속화, 고집적화의 경향은 플립 칩 기술의 사용을 증가시키고 있다. [1,2] 이 기술에서 칩은 기판 위에 마주보는 상태로 접속되며 전기적 신호 연결은 금속이나 전도성 물질을 통해 이루어진다. [3] 그러나 기존에 사용되어왔던 플립 칩 기술은 값비싼 장비와 높은 공정비용을 필요로 하기 때문에 공정비용을 낮추는 것이 중요한 문제로 대두되어지고 있다.

최근에는 스테드 범프 본딩(Stud Bump Bonding, SBB) 기술이 저가의 플립 칩 본딩 기술로서 제안되어졌다. [4-6] 스테드 범프 본딩 공정의 순서는 다음과 같다. 와이어 본딩 기술을 이용하여 칩의 Al 패드 위에 Au 스테드 범프를 형성한 후 코이닝(coining) 과정을 통해 높이를 균일하게 형성한다. Au 스테드 범프가 형성된 칩은 솔더 페이스트가 프린팅된 기판 위에 정렬되고 리플로 과정을 통해 솔더 접합부를 형성하게 된다. 그 후 칩과 기판 사이의 공간은 underfill 물질로 채워진다. 이 기술은 UBM(Under Bump Metallurgy) 형성 공정이 불필요하고 미세 피치와 chip level bumping이 가능하다는 등의 장점을 가지고 있다.

최근의 플립 칩 기술에서는 저가의 미세화로 구현이 용이한 플라스틱 기판을 사용함에 따라 저용점의 솔더에 대한 요구가 늘어났다. 이에 따라 저용점을 가진 공정조성의 PbSn 솔더가 가장 널리 사용되어 왔으나 최근에는 환경에 대한 유해성 문제로 인하여 전자 제품에서 납(Pb) 성분을 배제시키는 경향이 널리 퍼져 있다. [6-9] 공정조성의 SnAg 솔더는 이러한 요구를 충족시킬 수 있는 물질 중의 하나이다.

플립 칩 공정에서 솔더 접합부는 본딩 과정 중 underfill curing과 같은 가열공정뿐만 아니라 3~4회의 리플로 과정을 거치게 된다. 반복된 리플로 과정은 솔더 접합부의 미세구조에 영향을 미치고 미세구조의 변화는 솔더 접합부의 신뢰도에 영향을 미치게 된다. [7] 그러므로 리플로 회수의 함수로서 솔더 접합부의 미세구조를 연구하는 것은 매우 중요하다.

본 연구에서는 Au 스테드 범프와 SnAg 솔더 페이스트를 이용하여 플립 칩 솔더 접합부를 형성하였다. 솔더 접합부에서의 미세구조 변화는 SEM, EDS, 그리고 X-ray mapping 방식을 이용하여 분석하였으며 이러한 미세구조의 변화가 솔더 접합부의 기계적 신뢰도에 미치는 영향 또한 연구하였다.

2. 실험방법

시편은 Si 칩과 PCB 기판으로 구성되었다. 칩은 7000Å 두께의 Al 패드로 이루어져 있으며 기판은 솔더 마스크와 함께 Cu 패드로 이루어져 있다. Au 스테드 범프는 일반적인 와이어 본딩 장비를 이용하여 각각의 Al 패드 위에 형성되었다. Au 스테드 범프와 기판 위의 Cu 패드를 연결하기 위하여 96.5Sn3.5Ag 솔더를 사용하였으며 SnAg 솔더 페이스트는 기판 위의 Cu 패드 위에 마스크를 이용하여 프린팅 방법으로 도포하였다. 칩과 기판을 본딩하기 전에 Au 스테드 범프는 솔더 페이스트가 프린팅된 기판의 Cu 패드와 정렬되었으며 본딩은 최적화된 온도 프로파일을 이용한 리플로 과정을 통해 형성되어졌다. 최대 온도는 솔더 용점(221°C)보다 30도 높게 설정되었으며 용점 이상에서 약 69초간 유지되었다. 리플로 과정은 플립 칩 본딩과 몇몇 rework 과정을 포함한 실제 공정에 근사하게 하기 위하여 1, 2, 3, 그리고 5회 실시하였다. 플립 칩 솔더 접합 후, 칩과

기판사이의 공간을 채우기 위해 underfill 공정이 적용되었다. 솔더 접합부에서의 금속간 화합물 형성과 미세 구조를 알아보기 위하여 솔더 접합부의 단면을 광학현미경과 SEM을 이용하여 분석하였으며 계면에서 형성된 금속간 화합물은 EDS를 이용하여 규명하였다. 솔더 접합부에서의 금속간 화합물 성장과 미세구조는 리플로 회수의 함수로서 조사되었다.

금속간 화합물의 형성이 솔더 접합부의 신뢰도에 미치는 영향을 알아보기 위하여 underfill 공정이 적용되기 전의 플립 칩 접합된 칩을 HMP Soldermatics社의 1750 die shear tester를 이용하여 전단 시험을 실시하였다. 이 실험에서 칩은 칩의 한쪽 방향으로 힘을 가하였으며 칩과 기판을 분리하기에 충분한 힘이 가해졌다. 전단력은 칩과 기판을 분리하기 위해 가해진 최대한의 힘으로 표시되며 접합부에서의 평균 전단력은 칩의 전단력을 칩에서의 솔더 접합부의 개수로 나눔으로서 계산되어졌다. 리플로 회수에 따른 솔더 접합부의 평균 전단력을 구하였으며 전단 시험 후의 파괴면은 SEM을 이용하여 분석하였다. 파괴 면에서의 금속간 화합물은 EDS를 이용하여 규명하였다.

3. 결과 및 고찰

솔더 접합부의 미세구조 관찰

그림 1은 솔더 접합부의 단면 BEI(Backscattered Electron Image)이다. 칩의 Au 스테드 범프와 기판의 Cu 패드를 솔더를 이용하여 연결하고 있으며 칩과 기판 사이의 공간은 underfill로 채워져 있다. 실험 결과 각각의 접합부에서의 솔더 페이스트의 부피는 약간씩 차이가 있었으나 솔더 접합부의 형성에는 문제가 없었다. 1회의 리플로 후 Au는 SnAg 솔더 내부로 확산되어 두꺼운 금속간 화합물 층을 형성하였으며 솔더는 띄엄띄엄 발견되었는데 이는 Au의 SnAg 내부로의 빠른 용해로 인한 반응 때문이다. 그림 2에 1회의 리플로 후 솔더 접합부에서의 화학적 조성 분포를 나타내었다. 이 결과에 의하면 1회의 리플로에서조차 Au는 접합부 전체로 확산되었다는 것을 알 수 있었다. Au의 Sn내부로의 확산도가 Sn의 Au 내부로의 확산도보다 훨씬 더 크다는 사실은 이미 잘 알려져 있다. [9] 따라서 리플로 과정에 의해 솔더는 Au-Sn 금속간 화합물로 전환되었다고 추정할 수 있다. 그림 3에 Au 스테드와 솔더, Au 스테드와 Al 패드, 그리고 Cu 패드와 솔더의 계면을 각각 나타내었다. 그림 3 (a)는 Au 스테드와 솔더의 계면을 나타낸 것으로서 EDS 분석결과 Au 스테드와 SnAg 솔더의 상호확산으로 인해 Au 스테드로부터 차례로 불규칙적인 모양의 AuSn, AuSn₂, 그리고 AuSn₄ 금속간 화합물이 형성되었다는 것을 확인할 수 있었다. 그림 3 (b)는 Au 스테드와 Al 패드의 계면을 관찰한 것으로서 리플로 후 단지 하나의 금속간 화합물 층이 형성되었으며 EDS 분석결과 이 금속간 화합물 층은 AlAu₄로 판명되었다. AlAu₄층의 두께는 여러 번의 리플로 후에도 거의 일정하였다. 이 결과로서 Al 패드는 1회의 리플로 후 완전히 소모되었던 것으로 생각되어진다. 그림 3 (c)에서는 Cu 패드와 솔더의 계면을 나타내었으며 조가비 모양의 연속적인 Au-Cu-Sn 금속간 화합물 층이 발견되었다. 이 금속간 화합물 층은 평균적으로 33 at% Cu, 22 at% Au, 그리고 45 at% Sn으로 구성되어 있었으며 (Au+Cu)/Sn의 값은 대략 1.2였다. 이 결과로부터 이 금속간 화합물 층이 Cu₆Sn₅와 비슷한 상이라는 것을 추정할 수 있었다. 그림 4에 측정된 AuSn, AuSn₂, AlAu₄, 그리고 Au-Cu-Sn의 두께를 나타내었다. 리플로 회수의 증가에 따라 금속간 화합물 층의 두께도 증가하였으나 AlAu₄의 경우는 두께가 거의 일정하였다. 이는 Al 패드가 1회의 리플로 과정 중에 거의 모두 소모되어졌기 때문으로 판단된다.

전단 시험 결과

그림 5는 리플로 회수에 따른 평균 전단력의 변화를 나타낸 그림이다. 전단력은 리플로 회수에 관계없이 거의 일정하게 유지되었으며 급격한 감소나 증가는 관찰되지 않았다. underfill을 적용하지 않은 접합부의 평균 전단력은 약 8 gf로 매우 낮았다. 그림 6에 전단 시험 후에 분석한 파괴모드를 나타내었다. 그림 6 (a)에 보여진 모드 A는 AlAu₄와 SiO₂의 계면에서 파괴가 발생한 경우이

며 칩 쪽에 SiO₂의 표면이 드러나 있고 기판 쪽에서는 AlAu₄가 드러나 있다. 그림 6 (b)는 모드 B를 나타내고 있으며 이 경우는 SiO₂와 AlAu₄의 계면에서 파괴가 발생하면서 동시에 Si 내부에서도 부분적으로 파괴가 발생한 경우이다. 그림 6 (c)에 나타내어진 모드 C는 Au-Sn 금속간 화합물 층 내부에서 파괴가 발생한 경우로서 주 파괴 경로는 AuSn₄ 내부였다. AuSn₄는 상당히 취성이 큰 물질로 잘 알려져 있다. [6] 그림 6 (d)는 Cu 패드 위의 Au-Cu-Sn 금속간 화합물 층 내에서 파괴가 발생한 경우로서 기판 쪽을 확대한 이미지에서 Cu 패드의 표면에 약간의 Au-Cu-Sn 금속간 화합물이 잔류해 있는 것을 확인할 수 있었다. 모드 E는 SiO₂/AlAu₄의 계면과 Au-Cu-Sn 금속간 화합물 층에서 동시에 파괴가 발생한 경우로서 그림 6 (e)에 나타내었다. 그림 7은 이러한 각각의 파괴 모드별 비율을 백분율로 나타낸 것으로서 1회의 리플로 후 파괴 모드 C가 가장 많이 발생하였으나 주된 파괴 모드는 없었으며 리플로 2회 이후에는 모드 A가 주된 파괴 모드로 나타났다.

지금까지의 실험 결과로서 1회의 리플로 후 대부분의 솔더가 접합부 전체에 걸쳐 금속간 화합물을 형성하는 데 소모되어졌다는 것을 알 수 있었다. 금속간 화합물이 전체에 걸쳐 형성되어 파괴시 취성이 큰 파괴 형태로 나타났으며 솔더 접합부의 전단력 값도 매우 낮게 나타났다. 솔더 접합부 전체에 걸친 취성이 큰 금속간 화합물의 형성과 솔더의 소모로 인한 솔더 접합부의 낮은 접합 강도는 솔더 접합부의 신뢰도에 상당히 심각한 문제를 야기할 수 있다.

4. 결론

Au 스타드 범프와 SnAg 솔더 페이스트, 그리고 Cu 패드를 이용하여 플립 칩 솔더 접합부를 형성하였다. 솔더 접합부에서의 금속간 화합물 형성을 규명하였으며 이러한 금속간 화합물의 형성이 솔더 접합부의 전단력에 미치는 영향을 알아보았다. 주요 결론을 아래에 요약하였다.

1. 1회의 리플로 후에서조차도 Au의 SnAg 솔더 내부로의 빠른 용해로 인해 Au가 접합부 전체로 확산되어 Au-Sn 금속간 화합물을 형성하였다.
2. Au 스타드와 SnAg 솔더의 반응의 결과로서 AuSn, AuSn₂, AuSn₄가 형성되었으며 솔더와 Cu 패드의 계면에서는 조가비 모양의 연속적인 Au-Cu-Sn 금속간 화합물 층이 형성되었다.
3. 1회의 리플로 후 대부분의 Al 패드가 소모되었으며 AlAu₄가 형성되었다.
4. 반복된 리플로 후에도 솔더 접합부의 미세구조는 큰 변화가 없었다.
5. 리플로 회수에 따른 솔더 접합부의 전단력은 매우 낮았으며 거의 일정했다. 이러한 솔더 접합부의 낮은 강도는 솔더 접합부에서의 취성이 큰 금속간 화합물의 형성과 솔더의 소모를 원인으로 들 수 있다.

Acknowledge

본 연구는 과학기술부, 산업자원부 주관으로 추진되었던 시스템 집적반도체 기반기술 개발사업의 일환으로 AMKOR Technology사와 수행하였으며 관계자 분들께 감사드리는 바입니다

Reference

- [1] Shinichi Terashima, Tomohiro Uno, Eiji Hashino and Kohei Tatsumi, "Improvement in Thermal Reliability of A Flip Chip Interconnection System Joined by Pb-Free Solder and Au bumps", Materials Transactions, Vol. 42, No. 5 (2001), pp. 803-808.
- [2] John H. Lau, Flip Chip Technologies, McGraw-Hill (New York, 1996), pp. 1-82.
- [3] W. Reinert, T. Harder, "Performance of the stud bump bonding (SBB) Process in

- Comparison to Solder Flip Chip Technology” , Proc. IEEE 2000, pp. 136-140.
- [4] Frederic Ferrando, Jean-Francois Zeberli, Philippe Clot, and Jean-Marc Chenuz, “Industrial approach of a Flip Chip method using the stud bumps with a non-conductive paste” , Proc. IEEE 2000, pp.205-211.
- [5] CL Wong and James How, “Low Cost Flip Chip Bumping Technologies” , 1997 IEEE/CPMT Electronic Packaging Technology Conference, pp. 244-250.
- [6] Toru Ishida, “Advanced Substrate and Packaging Technology” , Proc. 1998 IEMT/IMC, pp. 18-24.
- [7] Ho-Cheol Jang, Chul-Won Jee, Young-Ho Kim, In-Baek Park, Sung-Min Seo, and Byung-Yul Min, “A study on the reliability of stencil printed solder bumps” , 2000 IEEE/CPMT International Electronics Manufacturing Technology Symposium, pp.288-293.
- [8] Satoru Zama, Daniel F. Baldwin, and Toshiya Hikami, “Flip Chip Interconnect System Using Wire Stud Bumps and Lead Free Solder” , 2000 IEEE/Electronic Components and Technology Conference, pp. 1111-1117.
- [9] B. F. Dyson: J. Appl. Phys. 37 (1966), pp.2375-2377.



그림 1. Backscattered electron images of cross section around the solder joints.

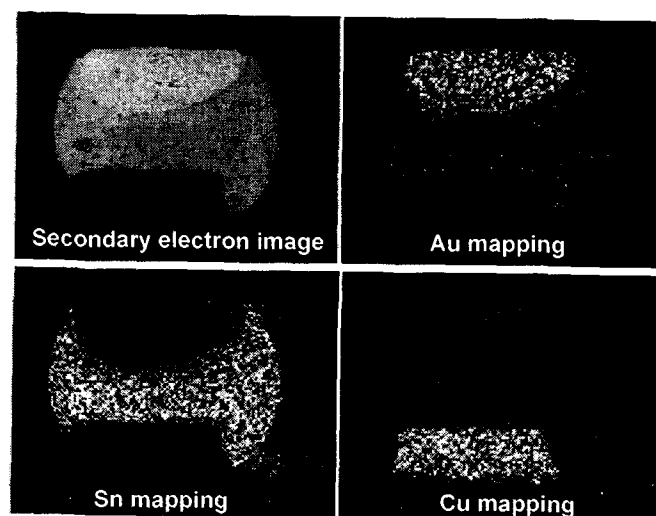


그림 2. X-ray mapping of the solder joints after the first reflow.

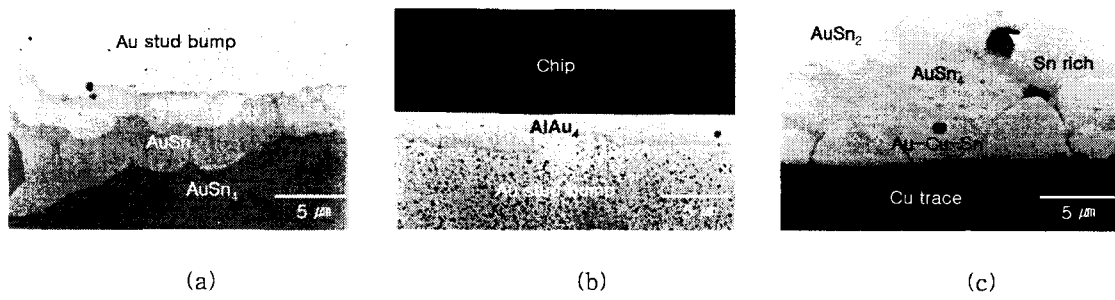


그림 3. Backscattered electron images of cross section around (a) the Au stud/solder interface, (b) the Au stud/Al pad interface, and (c) the Cu pad/solder interface.

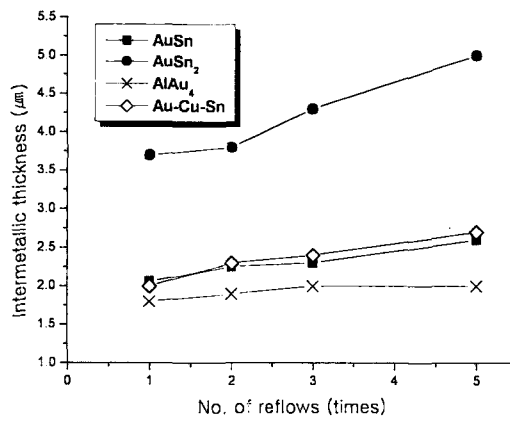


그림 4. The thickness of intermetallic layers at various number of reflows.

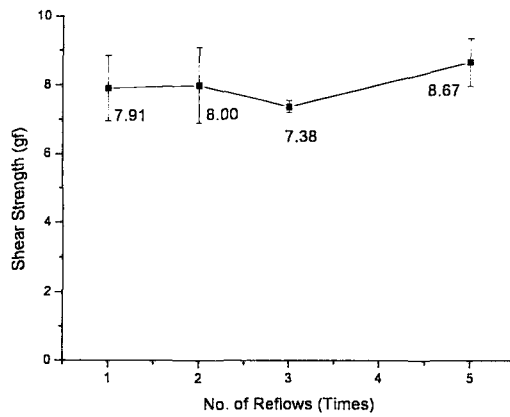
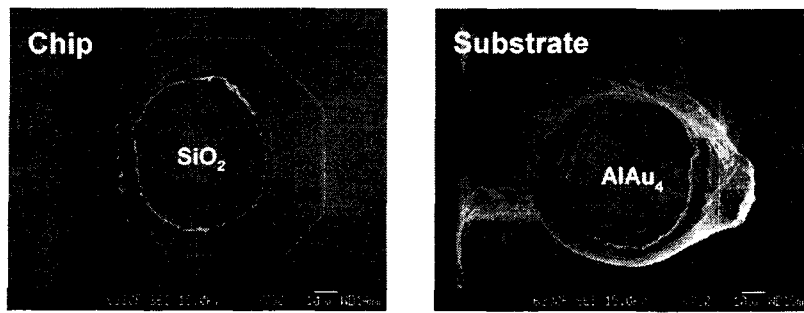
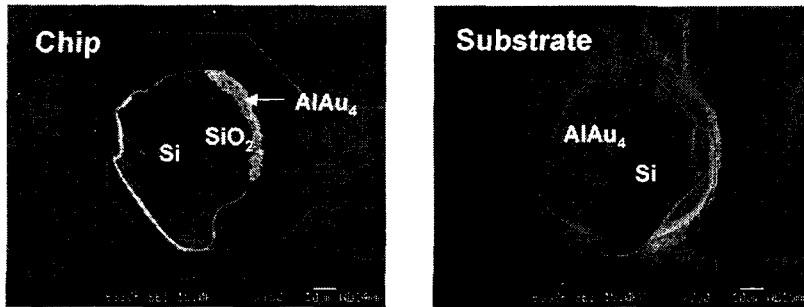


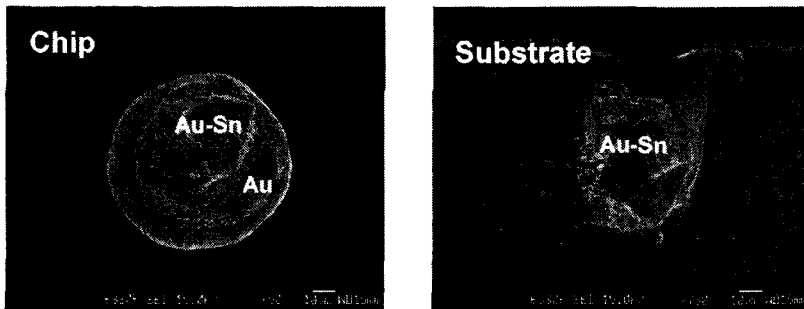
그림 5. The average shear force of the solder joints as a function of the number of reflows.



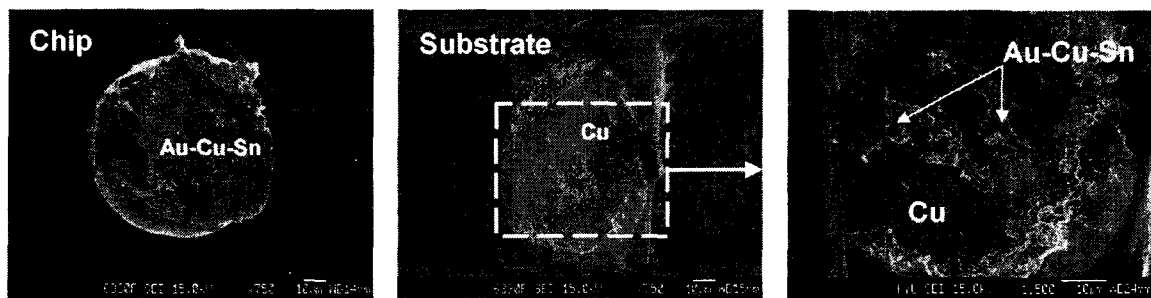
(a) Mode A



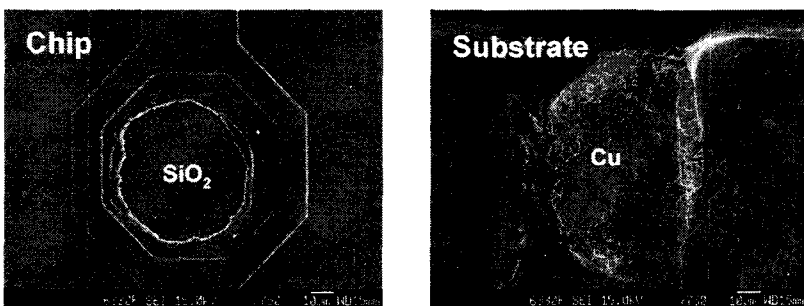
(b) Mode B



(c) Mode C



(d) Mode D



(e) Mode E

그림 6. Secondary electron images of the fracture Modes after die shear test.

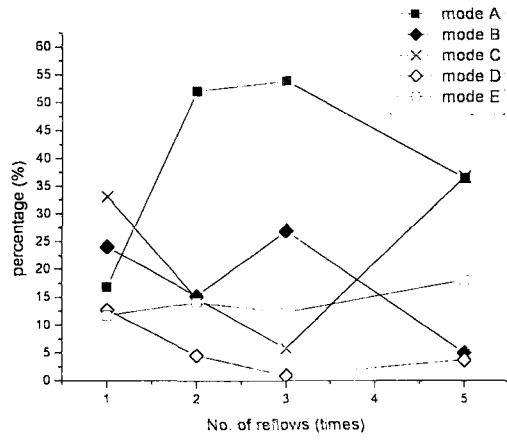


그림 7. The percentage of fracture Mode as a function of the number of reflows