

플라즈마 디스플레이 패널의 방전 AND gate에 관한 연구

(A Study on the Discharge AND Gate of Plasma Display Panels)

손현성, 채승엽, 임성낙*

(Hyunsung Son, Soungyeop Chae, Jeongduk Ryeom)

경주대학교 컴퓨터 전자공학부

Abstract

The plasma display panel with the electrode structure of new discharge AND gate was developed and the driving system for experiment was developed. And discharge AND gate operation was verified. Discharge AND gate operated by the operation speed of $8\mu\text{s}$ and the operation margin of 20V. It was known to be able to control the discharge of the adjoining scan electrode accurately. Because this method uses the DC discharge, the control of the discharge can be facilitated compared with conventional discharge AND gate. Moreover, because the input discharge and the output discharge of AND gate are separate, the display discharge can be prevented from passing AND gate. Therefore, it is possible to apply to the large screen plasma display. And the decrease of contrast ratio does not occur because the scanning electrical discharge does not influence the picture quality.

1. 서 론

현재 플라즈마 디스플레이는 화면 대각크기 기준으로 인치(inch)당 30만원 수준으로 고가이다. 이 가격적인 측면이 플라즈마 디스플레이를 대중화시키는 데 가장 큰 장애가 되어왔다. 현재 일본의 선진 업체들은 인치당 10만원 이하가 되어야만 플라즈마 디스플레이의 수요가 늘어날 것으로 보고있다. 이러한 저가격화 측면에서 본다면 플라즈마 디스플레이는 비교적 높은 전압으로 구동되므로 고전압 구동부품이 많이 사용되는 회로부분의 가격절감을 무시할 수 없다. 현재는 플라즈마 디스플레이의 재료비 중 공정 재료비와 회로 재료비의 비율이 50:50 정도로 알려져 있다. 그러나 양산화가 진행되면 공정 재료비는 대량생산이라는 특성상 그 비율이 줄어들 것이다. 그러나 회로부분은 부품 부품들을 주로 쓰기 때문에 양산화가 되어도 재료비의 감소 폭이 크지 않아 그 비중이 상대적으로 증가하게 된다. 결국 공정 재료비 대 회로 재료비의 비율이 20:80 정도가 될 것으로 전문가들은 예상하고 있다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는 PDP의 시장확대 측면에서 아주 큰 의의를 갖는다고 할 수가 있다.

플라즈마 디스플레이 패널에서 어드레스 기능을 수행하기 위하여 교류 기체방전 패널의 특성을 활용한 기술이 방전로직 구동기술이다. 이것은 다른 디스플레이에는 없는 플라즈마 디스플레이의 장점으로서 방전을 사용하면 AND gate, OR gate, NOR gate 등 기본적인 논리회로를 구성하는 것이 가능하다. 그러므로 이러한 논리 gate를 이용하면 플라즈마 디스플레이 패널의 구동회로 수를 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다.[1]

본 연구는 기존 연구결과에 대한 분석 및 기체방전에 대한 해석을 통하여 자기 주사형 플라즈마 디스플레이를 구현하는데 필수적인 방전 AND logic 구조를 제안하고 그 특성 실험결과를 통하여 이의 타당성을 검증하였다.

2. 방전의 논리기능

2.1 기본원리

플라즈마 디스플레이 패널에서의 기체방전 논리기능은 기체 방전이 성장할 때 발생하는 풍부한 공간전하에 의한 방전의 확산을 이용한다. 그림 1의 (a)에서와 같이 방전 셀 안에 3개의 전극을 설치하고 제1양극에는 스위치A를 통하여 직류전압

을 인가한다. 음극은 스위치 B를 통하여 접지한다. A와 B 양쪽이 ON 된 때에만 음극과 양극의 사이에서 방전이 발생한다. 그러면 방전 공간 안에는 많은 양의 하전입자가 발생하여 높은 전기전도도를 나타내게 된다. 그러므로 제1양극과 제2양극은 단락상태가 되고 제1, 제2 양극과 음극사이에는 저항값이 매우 낮아진다. 그러므로 제2양극은 제1양극과 대개 같은 전압이 되어 단자 C에는 이 전압이 나타난다. 즉, 유일하게 두 개의 전극들이 모두 선택된 경우에만 완전한 셀의 방전이 이루어진다. 이것이 플라즈마 디스플레이에서의 기체방전을 이용한 AND 로직의 원리이다.[1]

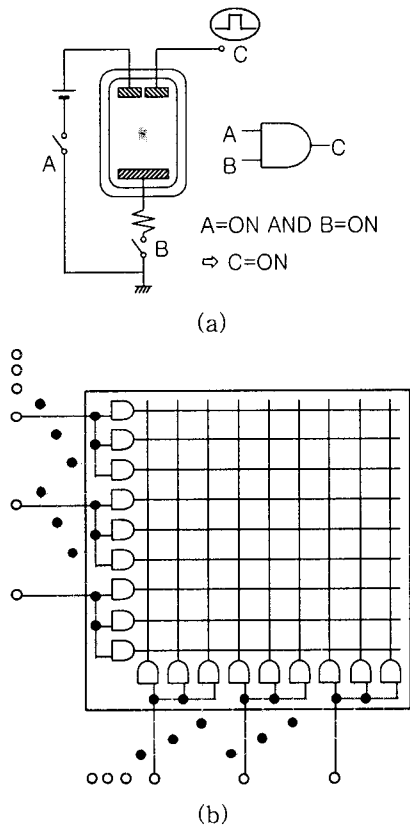


그림 1. 기체방전을 이용한 AND gate 논리소자
 (a) 논리소자의 모델
 (b) AND gate를 이용한 패널 구조
 Fig. 1 AND gate logic device using gas discharge
 (a) Model of logic device
 (b) Panel structure using the AND gate

그림 1의 (b)는 종래기술의 한 예로써 9×9화소의 매트릭스 배열 플라즈마 디스플레이 패널에 기체방전 AND gate를 적용한 것이다. X, Y 직교되는 각각의 디스플레이 전극은 고전압 기체 방전

AND gate에 의해 구동된다. 이러한 AND gate들은 플라즈마 디스플레이 면적 주위에 설치된 특별한 구조를 가지는 방전공간들로 이루어진다. 종래의 매트릭스 구동방법은 X, Y 모두 18개의 구동회로가 필요하다. 그러나 이 기술을 적용하면 단지 12개의 구동회로 만으로 패널을 동작시킬 수가 있다. 예를 들어 512×512 화소의 패널에 이 방전 로직 시스템을 적용하면 48×48 즉, 96개의 구동회로로 패널을 동작시킬 수 있다. 이것은 통상적인 결선인 1024 구동회로를 필요로 하는데 비해 약 10분의1 수준이다.[2]

2.2 종래의 연구결과 및 문제점

1974년 Owens-Illinois사의 Jerry Schermerhorn이 플라즈마 디스플레이에서 방전 소거의 AND 기능을 사용한 구동방식에 대해 제안하였다. 이 방식은 각각 수직, 수평으로 교차되는 두개의 평행 전극 쌍을 설치하고 이 두 쌍의 전극들에 의한 4개의 방전이 모두 동시에 소거되어야만 방전이 소거된다는 사실에 착안하여 각 화소가 4 입력 AND gate의 논리기능을 가지도록 한 기술이다. 이 방식은 어드레스 구동에 요구되는 구동회로를 단순화 할 수 있어 패널에 대한 물리적 접촉을 약 10분의 1정도로 줄일 수 있다는 특징을 가진다. 그러므로 구동회로의 대폭적인 가격 절감이 가능하다고 하였다.[3]

그러나 이 기술은 소거에 대한 AND 기능이므로 셀의 점등상태를 전도시키는 소거 어드레스 기법을 적용하여야 한다. 이러한 소거 어드레스 기법은 배면광 휘도 증가에 따른 명암비(contrast ratio) 저하를 피할 수가 없다. 또한 이 방식은 AND 로직 기능이 패널의 디스플레이 영역에서 이루어지므로 패널의 전극 구조가 복잡해지고 공정이 복잡해진다. 그리고 많은 수의 디스플레이 전극들을 함께 묶어서 버스로 만들기 때문에 구동회로의 임피던스는 매우 낮아야만 한다.[2]

이 Schermerhorn의 교류방전 AND gate는 그 특성상 고 임피던스를 가지므로 직접 AND gate를 통한 디스플레이 방전에는 무리가 있다. 이의 해결책으로 Weber는 1986년에 직류방전의 비선형성을 이용한 AND gate[2]와 어드레스 과정을 디스플레이 과정으로부터 분리시키고 구동회로의 수를 10분의 1이상 줄일 수 있는 교류형 플라즈마 디스플레이 패널의 구동 기술 (ISA: Independent Sustain and Address)을 제안하였다. 이 기술의

핵심은 플라즈마 디스플레이에 결합시킬 수 있는 새로운 기체방전 AND gate 전극 구조물의 배열을 패널 둘레에 설치하는 것이다. AND gate 부분의 유전체층이 없어 패널 제조 공정이 복잡해지지 않고 AND gate의 고 임피던스 입력들만 공통의 버스로 함께 결선되므로 저 임피던스 구동회로를 필요로 하지 않는다.[4]

이 기술은 작은 패널을 디스플레이 하는 데에는 문제가 없다. 그러나 방전 펄스가 AND gate를 통하여 직접 인가되므로 대각선 화면크기 40인치 이상의 디스플레이에 적용하면 임피던스가 증가하여 인가 전압의 왜곡이 심해진다. 구동방식이 복잡하여 응답 속도가 늦어지는 결점이 있다. 또한 ISA 기술은 한 화소당 집적되는 전극 수가 많아지므로 해상도가 높아질 경우 화소 설계에 어려움이 예상된다.

플라즈마 디스플레이의 가격절감 연구 중 가장 최근 발표된 연구로는 상용화되어 있는 3전극 면방전 교류 플라즈마 디스플레이의 수평주사(scan)용 고전압 구동회로의 개수를 저감시키는 구동방식 연구가 있다.[5] 이 방식은 방전 AND 로직에 의해 발생된 공간전하의 프라이밍 효과로 인해 어드레스 방전이 개시된다는 점에서 기존의 연구결과와 차별화 된다. 이 기술은 또한 패널 구조상 주사방전, 어드레스 방전, 디스플레이 방전을 각각 독립적으로 발생시켜 디스플레이 기간에 임피던스가 높아지지 않고 풍부한 하전입자에 의한 고속 어드레싱이 가능하다. 이것은 대면적 패널에의 AND 로직의 적용 가능성을 한층 높여주는 결과라고 할 수가 있다. 이 기술 역시 수평주사용 고전압 구동회로수를 NTSC 기준 종래의 1/10 수준으로 저감할 수 있다.

그러나 이 방식 역시 AND 로직 기능이 패널의 디스플레이 영역에서 일어나므로 불필요한 방전들을 야기하게 되어 배면광 휘도가 높아지고 그 결과 명암비가 현저히 나빠지는 결점이 있다. 또한 구동 펄스의 구조상 구동전압의 상승도 문제로 남아있다.

3. 새로운 방전 AND Logic

3.1 방전램프의 시동기술을 적용한 AND gate 구조

일반적으로 고압 방전램프의 시동방법은 그림 2의 (a)에 나타난 것과 같이 전원에 병렬로 연결되는 한류 저항을 삽입한 시동전극을 사용하여 기동

시킨다. 음극과 시동전극 사이는 음극과 주양극 사이에 비해서 전극간격이 매우 좁으므로 방전개시 전압이 낮다. 그러므로 최초에 전원이 인가되면 음극과 시동전극 사이에서 먼저 방전이 시작된다. 이 방전에 의해 풍부한 양의 공간전하가 생성되어 프라이밍 효과가 증대되면 주방전의 방전개시전압이 낮아지게 되고 그 결과 낮은 전원전압으로도 방전이 개시될 수 있게 된다. 일단 주방전이 개시되면 시동전극에 직렬로 삽입되어 있는 저항에 걸리는 전압강하가 증가하고 그 결과 시동전극에서의 방전이 소거되어 주방전만이 지속적으로 진행되게 된다.

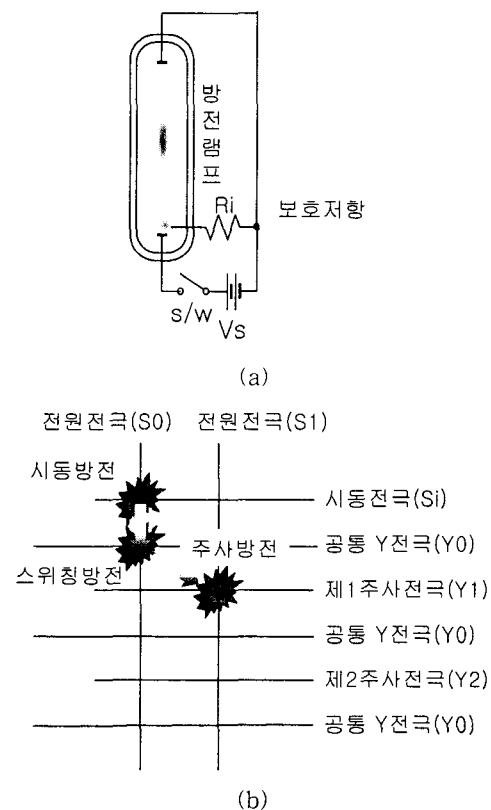


그림 2. 방전램프의 시동기술을 응용한 방전 AND gate
 (a) 방전램프의 시동기술
 (b) 제안된 방전 AND gate의 기본 개념
 Fig. 2 Discharge AND gate by which method of starting discharge lamp is applied
 (a) Ignition method of discharge lamp
 (b) Basic concept of new discharge AND gate

그림 2의 (b)는 위에서 서술한 방전램프의 시동방법을 적용한 플라즈마 디스플레이 패널의 기체방전 AND gate의 개념도이다. 수평전극으로는 시동전극Si와 공통Y전극Y0, 주사전극Yn이 있고 이

에 수직한 전극으로는 두 개의 전원전극 S0, S1을 설치한다. 최초에 시동전극과 전원전극S0사이에서 방전이 개시되면 방전이 천이되면서 공통Y전극과 전원전극S0 사이에서 스위칭 방전이 일어난다. 이 스위칭 방전에서 생성된 공간전하는 프라이밍 효과에 의해 주변의 방전개시전압을 크게 낮추고 그 결과 전원전극S1과 주사전극Y1사이에 주사방전을 유도한다. 이 주사방전은 스위칭 방전이 존재할 때만 유도되므로 시동전극Si와 공통Y전극Y0의 펄스 여부에 의해 제어될 수 있고 이것이 방전 AND gate의 기능을 수행한다. 본 연구에서는 제안된 새로운 방전 AND gate를 실제 플라즈마 디스플레이 패널에 적용하여 구동시키고 그 동작특성을 측정 평가하는 것을 그 내용으로 하였다.

3.2 실험방법

본 연구에서 제안한 기체 방전 AND gate 플라즈마 패널의 구조는 그림 3과 같다. 패널의 좌측에 주사영역을 별도로 설치하고 우측에는 디스플레이 영역을 두어 격벽으로써 분리한다. 주사영역의 상판과 하판에는 그림 2의 (b)에서 설명한 것과 같이 AND gate용 전극들을 설치한다. 이러한 주사영역의 방전공간은 직류방전의 4전극 구조를 가진다. 디스플레이 영역은 유전체와 MgO로 도포된 일반적인 3전극 교류 면방전 플라즈마 디스플레이 패널과 동일한 구조를 가진다. 내부에는 Ne+4%Xe이 500Torr의 압력으로 봉입되어 있다. 각각의 Y0 전극들은 패널 종단에서 전류가 패널 밖으로 나가는 방향으로 다이오드와 연결하여 주사방전시 플로우팅 전극의 전류 역류를 방지한다.

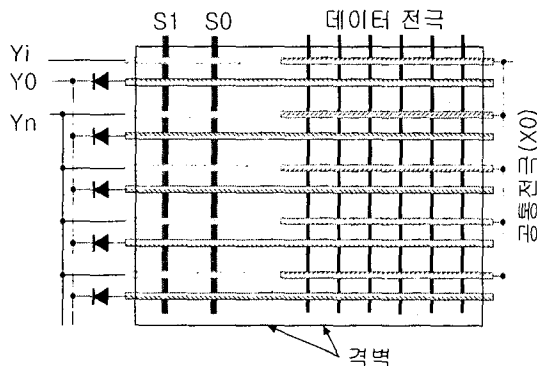


그림 3. 새로 고안된 플라즈마 디스플레이 패널의 전극 구조

Fig. 3 Electrode structure of plasma display panel newly designed

그림 4는 실험을 행하기 위한 전압인가 타이밍도이다. 이 실험에서는 시동전극Si를 양극으로하고 전원전극S0를 음극 그리고 공통 Y전극Y0을 양극으로 하였다. 또한 전원전극S1은 양극이며 이와 동기시켜 주사전극Y1에는 음의 펄스를 인가하였다. 펄스 전압의 타이밍은 주기가 1ms, 주사방전 펄스폭이 8 μ s로 설계하였다.

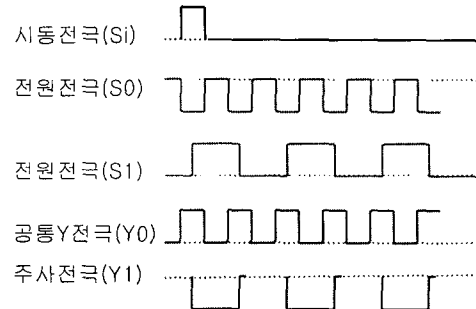


그림 4. 제안된 방전 AND gate의 구동 타이밍도
Driving timing chart of proposed discharge AND gate

그림 5의 사진은 전체 시스템을 보인 것으로 전원부는 300V의 가변직류전원, 12V의 보조전원, 5V의 로직전원으로 구성된다. 로직부는 디지털 시스템 설계용 s/w를 사용하여 로직설계, 시뮬레이션 및 EPLD 프로그래밍을 하였다. 고전압 펄스발생용 스위치는 n채널과 p채널의 전력용 MOSFET를 한쌍으로 하여 구성하였다. 방전전류 제어용 저항관은 FET 출력 하나당 1k Ω 저항기 5개를 직렬로 연결하여 구성하였으며 각 저항의 접속점을 바꿈으로써 1k Ω 부터 5k Ω 까지의 가변저항 값을 얻었다.

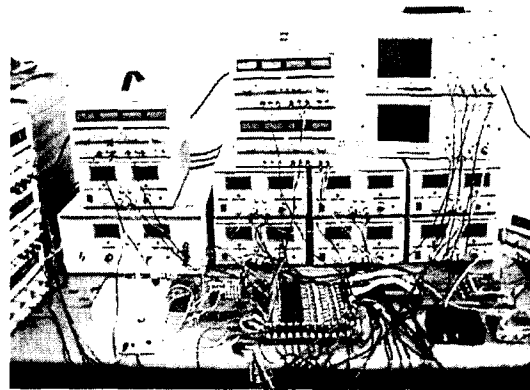


그림 5. 실험에 사용된 플라즈마 디스플레이 구동장치
Fig. 5 Plasma display drive system used to experiment

3.3 실험결과 및 검토

그림 6은 시동전극(Si)의 전압 변화에 의한 전원전극(S0)의 최대 및 최소 방전 개시전압의 변화를 나타낸 것으로써 시동전극(Si)은 5kΩ의 저항을 직렬로 삽입하고 전원전극(S0)에는 3kΩ의 저항을 삽입하여 전류를 제한하였다. 그림에서 전원전극(S0)의 최대방전개시전압은 시동전극(Si)의 전압이 증가하여도 거의 변화하지 않는데 이는 최대방전개시전압이 전원전극만으로 방전이 개시될 수 있는 전압을 나타내기 때문이다. 그러나 최소방전개시전압은 시동전극의 전압과 전원전극의 전압의 차에 의해 정의되므로 시동전극의 전압이 증가할수록 낮아지는 특성을 보이고 있다. 여기에서 보면 시동전극의 전압이 높을수록 넓은 동작마진을 얻을 수 있으나 시동전극의 전압이 높아지면 방전개시 초기의 과방전에 의해 전극이 손상을 입는다는 것을 알았다. 실험결과 시동전극(Si)의 전압은 160V 정도에서 100V정도의 동작마진이 얻어졌으며 가장 안정된 방전을 하였다.

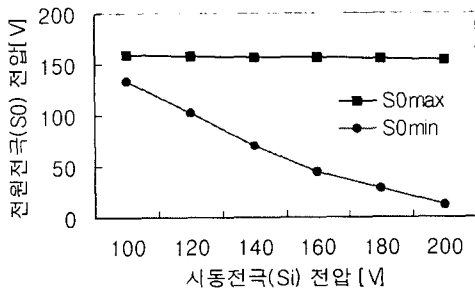


그림 6. 시동전극(Si)의 전압에 대한 전원전극(S0) 전압의 동작마진

Fig. 6 Operation margin of voltage of power electrode (S0) to ignition electrode (Si)

그림 7은 음극인 전원전극(S0)의 전압에 대한 공통 Y전극(Y0)의 전압마진을 측정하는 것이다. 이때 시동전극전압(Si)의 전압은 160V, 저항은 5kΩ이고 공통 Y전극(Y0)의 저항은 100Ω, 전원전극(S0)의 저항은 3kΩ이다. 그림에서 동작마진은 20V 정도로 일정하고 전원전극의 전압이 감소하면 이에 따라서 공통 Y전극의 전압이 증가하는 것으로 보아 시동방전에 의해 생성된 공간전하는 방전개시전압에 영향을 주지만 일단 스윗칭방전이 일어나면 스윗칭방전의 유지조건은 공통 Y전극과 전원전극간의 전압에 대한 의존성이 강함을 알 수 있다.

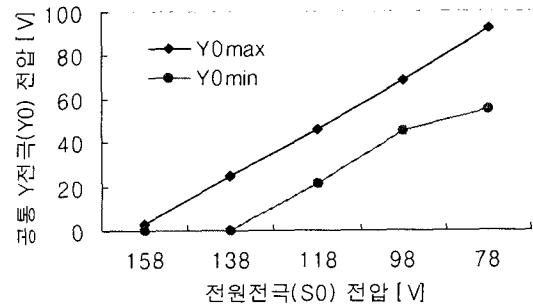


그림 7. 전원전극(S0) 전압에 대한 공통 Y전극에 의한 공통 Y전극(Y0) 전압의 동작마진

Fig. 7 Operation margin of voltage of common Y electrode (Y0) to power electrode (S0)

그림 8은 주사전극(Y1)전압에 대하여 이와 대항 방전구조로 되어있는 전원전극(S1) 전압의 변화를 나타낸 것이다. 실험조건은 Si=160V, 5kΩ, S0=-110V, 3kΩ, Y0=51V, 100 Ω, S1=5kΩ, Y1=1kΩ이다. 그림에서 보면 전원전극(S1) 전압과 주사전극(Y1) 전압에 의해 생기는 전극간 전압차는 항상 비슷하다는 것을 알 수가 있다. 그러므로 일단 공간전하에 의해 방전개시전압이 낮아지면 주사방전 자체는 전원전극(S1) 전압과 주사전극(Y1) 전압 조건에 의존성이 강하게 나타난다고 생각할 수 있다.

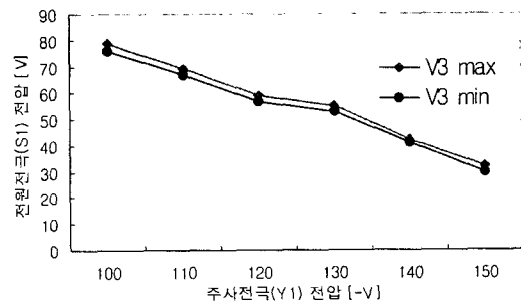


그림 8. 주사전극전압에 대한 전원전극(S1)전압의 변화
Fig. 8 Change in voltage of power electrode (S1) into voltage of scanning electrode

방전의 전이특성은 각 전극의 방전전류 제한 저항의 값에 대해 민감한 특성을 나타낸다. 실험결과 시동전극(Si)의 저항이 크고 전원전극(S0)의 저항이 작은 경우에 스윗칭방전으로의 방전이행이 원활하게 일어났다. 그림 9는 전원전극의 한류저항값에 대한 전원전극의 동작마진을 측정하는 것이다. 이

때 시동전극(Si)의 전압은 160V이며 한류저항값은 5k Ω 이다. 그림에서 보면 전원 전극의 한류저항이 시동전극의 한류저항 보다 낮기만 하면 방전전압에는 그다지 영향을 미치지 않는 것을 알 수가 있었다. 그러나 한류저항값이 높은 경우 상대적으로 전원전극의 최소방전개시전압이 높아져 동작마진이 다소 줄어드는 경향을 나타낸다. 이는 시동전극의 한류저항값과의 관계에 의한 방전의 이동이 어려워지는 것과 전원전극의 펄스전압 파형이 시정수에 의해 완만해져 가는 것이 원인으로 생각된다. 그러므로 전원전극(S0)의 직렬 한류저항값은 3k Ω 정도가 최적값이 됨을 알 수가 있다.

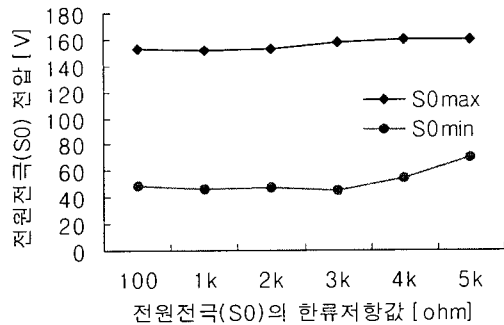


그림 9. 전원전극(S0)의 한류저항값에 대한 전원전극(S0) 전압의 동작마진
 Fig. 9 Operation margin of voltage to current limit resistance of power electrode (S0)

그림 10은 방전 AND 로직 기능을 실제 패널에서 동작시킨 결과를 보여준다. 시동방전에 의한 스위치방전이 일어난 경우에만 주사방전이 일어나므로 시동전극Si와 공통Y전극을 2입력으로 하고 전원전극S1과 주사전극의 방전을 출력으로 하는 AND gate가 제대로 동작하고 있음을 알 수가 있다. 이는 공간전하에 의한 방전의 AND 로직의 가능성을 검증한 결과라고 할 수 있다.

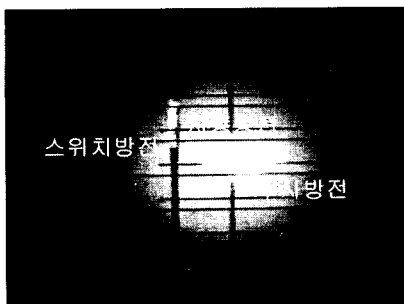


그림 10. 방전 AND gate의 ON 상태
 Fig. 10 ON State of discharge AND gate

4. 결론

본 연구에서는 새로운 방전 AND gate의 전극 구조를 가지는 실험용 패널을 제작하고 구동실험을 위한 시스템을 제작하였다. 이 구동실험 시스템을 활용하여 방전 AND gate가 제대로 동작함을 확인하였다.

이 방식은 직류방전을 사용하므로 기존의 방전 AND gate에 비해서 8 μ s 수준의 고속 구동이 가능하고 방전 AND gate의 동작마진은 en 입력방전이 각각 100V, 20V로 대화면 구동이 가능한 수준이었다.

본 연구에서 제안된 방전 AND gate의 구조는 공정측면에서 보면 패널의 상판은 기존의 방식과 제조 공정이 같으나 유전체를 일부 제거하므로 이에 대한 단차가 발생할 소지가 있다. 하판의 경우는 패턴으로 전원전극을 제작하므로 기존의 후막 기술을 그대로 적용 할 수 있다.

그러나 본 연구에서 제안한 방식은 복수개의 전극들이 시간적으로 서로 중첩된 펄스전압들을 가지므로 각 전극들의 용량성 결합에 의한 방전의 cross talk가 예측되며 이부분은 향후 더 많은 연구가 이루어져야 할 것으로 사료된다.

참 고 문 헌

1. 御子柴 茂生, "플라즈마디스플레이最新技術", ED 리サーチ社, 1996
2. Larry F. Weber, Carl N. Steiner, "Domains in ac Plasma AND Gates", SID Symposium Digest Technical Papers, pp.180-183, May 1984
3. Jerry D. Schermerhorn, "Internal Random Access Address Decoding in an AC Plasma Display Panel", SID Symposium Digest Technical Papers, pp.22-23, May 1974
4. Larry F. Weber, Richard C. Younce, "Independent Sustain and Address Technique for the ac Plasma Display Panel", SID Symposium Digest Technical Papers, pp.220-223, May 1986
5. M. Ishii, I. Aikawa, K. Igarashi, S. Mikoshiba, J. D. Ryeom, K. Y. Park, C. B. Park, "Reducing the Number of Scan Drivers in ACPDPs by an Order of Magnitude Using Gas-Discharge AND Logic", SID Symposium Digest Technical Papers, pp. 283-286, 1998.