

# 아리랑 위성2호의 향상된 프로세서간의 동기화 설계

최종욱<sup>1)</sup> 권기호 이재승 천이진  
 한국항공우주연구원  
 (jwchoi, khkwon, jslee, yjcheon)@kari.re.kr

## The Design of Enhanced Inter-processor Synchronization of KOMPSAT-2

Jong-Wook Choi<sup>1)</sup> Ki-Ho Kwon Jae-Seung Lee Yee-Jin Cheon  
 Space Division, Korea Aerospace Research Institute

### 요 약

일반적으로 위성에 장착된 GPS 수신기는 GPS 위성으로부터 항법 신호를 받아서 위성의 위치, 시간 및 속도 정보를 제공하는 것을 주요 목적으로 하고 있다. 또한 GPS 수신기에서 나오는 1pps 신호를 이용하여 위성체 각 프로세서의 기준시간으로 사용되어진다. 아리랑 위성2호에서는 3개의 프로세서가 탑재되며, 각 프로세서는 원격 측정 명령계, 자세 제어계 그리고 전력계 기능을 담당한다. 3개의 프로세서간의 내부 및 GPS에 동기 시키기 위하여 FEP과 DPLL을 통한 동기화 방식을 사용하며, 위성탑재 소프트웨어에 의한 제어를 필요로 한다. 본 논문에서는 아리랑 위성2호에 동기화 방식과 향상된 1Hz Sync 구조에 대하여 설명한다.

### 1. 서 론

1999년 12월에 발사되어 현재 궤도상에서 운용되고 있는 KOMPSAT-1(아리랑 위성1호)은 원격 측정 명령계를 위한 탑재 컴퓨터(OBC, On-Board Computer), 전력 및 열제어를 위한 전력계 제어장치(ECU, Electrical Power Subsystem Control Unit), 그리고 센서의 정보를 받아들이고 위성 자세를 제어하는 원격 구동장치(RDU, Remote Drive Unit)로 3개의 80C186 프로세서로 구성되어있으며, GPS 수신기에서 나오는 1pps신호는 UTC(Coordinated Universal Time)와 동기된 시간으로서, 이것은 위성체 각 프로세서의 기준시간으로 사용되어지며 각 프로세서 및 위성전체의 시간 동기화를 위하여 Digital PLL(Phase Lock Loop)회로가 사용되었다.

아리랑 1호에 사용된 GPS 수신기의 운용결과 GPS 수신기의 1pps Jittering 문제 등으로 인하여 DPLL의 Fine Mode를 잃어버리는 경우가 있는 것이 확인 되었으며, 더 정확한 시간동기를 요구하는 KOMPSAT-2(아리랑 위성2호)에서는 이러한 Error요소를 반영한 DPLL 설계 변경이 필요해졌으며 또한 위성탑재 소프트웨어에 의한 제어가 필요해졌다.

본 논문에서는 아리랑 위성2호에서 사용될 DPLL의 구조, 역할 등에 대해 살펴보고, 위성용 GPS 수신기에서 제공되는 1pps 신호의 오차와 노이즈를 보상하여 좀 더 정확하고 안정적인 동작이 가능하도록 수정된 DPLL과 위성탑재 소프트웨어에 의한 제어에 대하여 설명한다.

### 2. 아리랑 위성2호의 동기화를 위한 변경된 하드웨어

그림 1은 GPS 수신기와 프로세서간의 동기화 흐름을 나타낸 것이다. GPS 수신기는 GPS 위성으로부터 궤도

정보 및 시간정보를 받아들이고 프로세서간의 동기화를 위해 1Hz 신호를 발생시킨다.

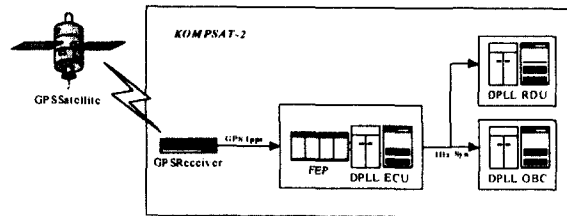


그림 1. GPS 1pps 수신기와 프로세서간 동기화

아리랑 1호기와 달리 2호기에서는 ECU가 GPS 수신기로부터 오는 1pps 동기화 신호를 FEP & DPLL의 입력으로 받아들이고 ECU내의 FEP & DPLL은 GPS 수신기의 출력인 1pps신호에 동기화 시키고 OBC와 RDU를 위해 1Hz 동기화 신호를 출력한다. OBC 및 RDU는 ECU와 마찬가지로 내부에 DPLL을 가지고 있으며 입력으로 ECU로부터 제공되는 1Hz 동기화 신호를 받아들인다.

#### 2.1 FEP(Front End Processor)

아리랑 위성 2호에서는 1호기에서 나타난 GPS 1pps Jittering 문제를 해결하기 위하여, 기존의 DPLL 전단에 FEP(Front End Processor)를 두어 기존 DPLL에서는 수용할 수 없었던, 높은 Jitter나 혹은 spike입력에 대하여 수용 가능하게 하였고, GPS 1pps와 내부 1Hz 사이의 에러 값을 측정하여 지상에 전송하는 기능도 수행한다.

FEP는 Phase Error Detector, Software Filter, Error Compensator 3부분으로 구성되어있다.

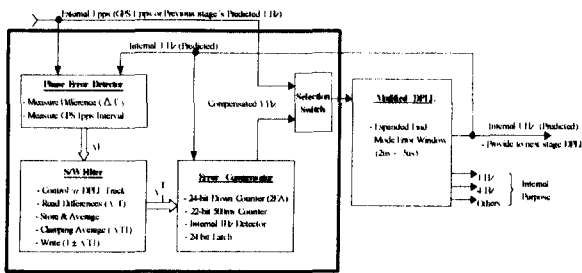


그림 2. FEP Block Diagram

DPLL이 Enable모드일 때, PED는 GPS 1pps와 프로세서 내부 1Hz 사이의 Phase Error 신호( $\Delta T$ , 24Bit), Lead/Lag상태 위하여 총 25Bit counter로 구성되어 있으며, 이 counter값은 지상국으로 전송되어 지상영상 보정에 활용된다.

SW Filter는 PED에서 계산된 Error( $\Delta T$ )를 RMS Filter기법을 이용하여 DPLL에 제공될 보상된 1pps의 Jitter량을 줄이는데 목적이 있다. SW Filter에서는 현재 시간 이전의 100개의 데이터를 저장하고, 이 값을 평균하는 기능과 평균값보다 큰 경우 기존의 DPLL에서 추적 가능한 예러값  $5\mu s$ 로 clamping하는 기능을 포함하도록 하였다. 최종 결과로 구해진  $\Delta T$ 값은 다음단(EC)으로 전달 되도록 제어한다.

EC에서는 SW Filter에서 필터링 된  $\Delta T$  값을 사용하여 내부 1Hz를 기준 신호로 하여 새로운 보상된 1Hz 신호를 생성한다. 또한 외부 GPS와 보상된 1Hz를 선택할 수 있는 기능을 가지고 있다.

2.2 아리랑 위성2호의 DPLL

아리랑 위성 2호에서는 1호기에서 사용된 DPLL구조와 동일하다. DPLL은 Control부분과 Divider부분으로 나뉘어지며, Control부분은 다시 Phase Detector, Loop Control, Main Control로 구성되어 있고, Divider 부분은 각 프로세서에서 필요한 클럭신호를 생성하는 부분이다.

Main Control부분은 Coarse Mode, Enable Loop, Hold Mode, Load Mode로 나뉘어지며, 각 Mode에 대한 State Diagram은 그림 3과 같다.

Coarse Mode는 내부 1초 신호를 외부 GPS 수신기의 1초 신호와 동기 시키기 위한 초기 동작 Mode로서 GPS 신호가 포착되고 Lock 명령이 있을 때 수행되며, Enable Loop는 Coarse Mode에서 Error의 양이 32ms 보다 적을 때 시작된다. Enable Loop에서 Error양이  $2\mu s$  이내이면 Fine Mode가 되고  $2\mu s$  이상이면 Compensation Mode를 유지한다. Enable Loop상태에서 GPS 포착신호나 Lock 명령이 없으면 Hold Mode상태가 된다.

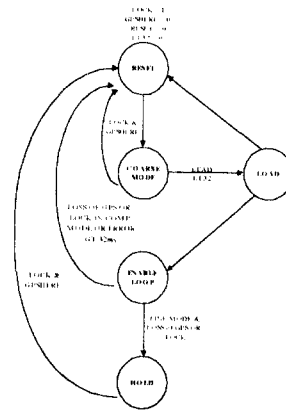


그림 3. Mode State Diagram

Divider부분은 Control 부분에서 생성된 기준 클럭을 사용하여 프로세서에서 필요한 클럭 신호를 생성하게 된다. 물론 이 신호에 1Hz신호도 포함되어 있다.

3. 아리랑 위성2호의 동기화를 위한 소프트웨어 제어

아리랑 위성 2호에서는 1호기와 달리 소프트웨어에 의한 DPLL제어를 통해 좀더 정확하고 안정된 동작을 보장한다. 소프트웨어에 의한 DPLL Mode 전이는 아래의 그림 4와같이 3가지로 나뉘어진다.

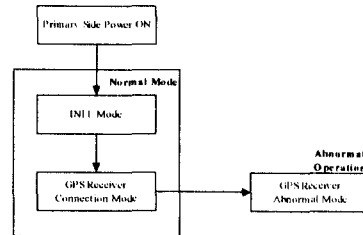


그림 4. Time Sync Operation mode transitions

3.1 INIT Mode

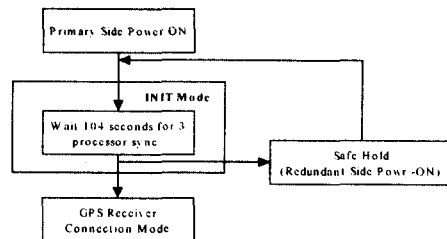


그림 5. INIT Mode

인공위성이 최초 발사 후 Primary 프로세서가 작동을 하게 되며, 시스템 초기화 하는 과정 중, OBC ECU RDU 내부에 있는 DPLL은 하드웨어 self-test를 하게

되고, ECU에서 나오는 1Hz 신호를 통해 3개의 프로세서는 내부 프로세서 동기를 맞추게 된다. 만약 104초내에 시스템 동기를 맞추지 못할 경우 시스템은 Safe Hold모드로 넘어가서 다시 Redundant 프로세서를 통해 다시 INIT Mode를 시도하게 된다.

### 3.2 GPS Receiver Connection Mode

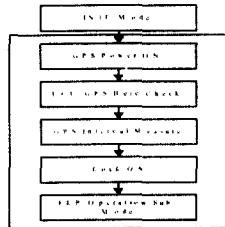


그림 6. GPS Receiver Connection Mode

GPSR Connection Mode에서는 지상국에서 GPS Receiver에 파워를 켜는 명령을 주게 되고, 지상국에서 GPS 1pps Test를 통해 ECU GPS Here를 체크하게 된다. 또한 지상국에서는 GPS 1pps Interval telemetry를 통해 GPS 1pps의 정확성을 검증하게 된다. 검증후 지상국에서 그림 1과 같이 GPS 1pps를 통한 프로세서간의 동기화를 이루기 위하여 ECU DPLL에 /Lock 명령을 내리게 되고, Mode는 FEP Operation Sub Mode로 들어가게 된다.

#### 3.2.1 FEP Operation Sub Mode

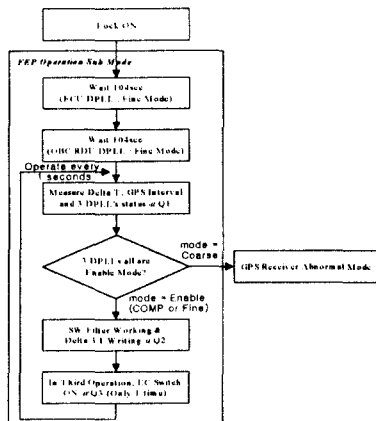


그림 7. FEP Operation Sub Mode

FEP Operation Sub Mode는 아리랑 위성2호기에 새롭게 추가된 FEP를 제어하는 모드로서, 위성탑재 소프트웨어는 VRTX(Versatile Real-Time eXecutive) 실시간 운영체제에서 운용되며 매 초마다 FEP Operation을 수행하게 된다. Q1(Quarter sec)사이클에서는 3개의

DPLL 모두가 Enable모드인지를 체크하고,  $\Delta T$ 와 GPS Interval, lead/lag bit을 구하게되며, Q2사이클에서는 SW Filter에서  $\Delta T$ 를 RMS Filter를 이용해서  $\Delta T1$ 을 구하게 된다. 3번의 테스트를 통과하였을 경우, Q3에서 EC 스위치를 작동시켜 보상된 1Hz가 시스템의 동기를 맞출 수 있도록 한다. FEP 동작중 3개의 DPLL이 Enable 모드를 유지 못하게 되면, GPS Receiver Abnormal Mode로 전환되게 된다.

### 3.3 GPS Receiver Abnormal Mode

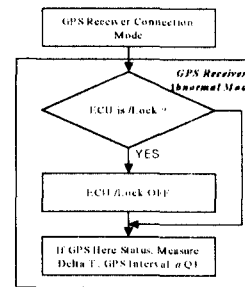


그림 8. GPS Receiver Abnormal Mode

GPS Receiver Abnormal Mode는 GPS와 연결을 끊어 버리고 내부 동기화를 위하여, 3개의 DPLL만을 이용하는 모드이다. 내부 동기화동안 지상국에서는  $\Delta T$ 와 GPS Interval을 telemetry를 통해서 받아보게 되며, 이 telemetry를 통하여 다시 내부 DPLL과 GPS와의 연결을 결정하게 된다.

## 4. 결론

본 논문에서는 아리랑 위성2호에 사용될 변경된 DPLL 구조와, 소프트웨어에 의한 DPLL 제어에 대하여 설명하였다. 저궤도 위성용 GPS수신기의 경우 초당 7km 정도의 이동 속도로 인해 지상에서 사용되어지는 DPLL 보다 좀더 강인하며, 신뢰성이 요구되어진다. 현재 진행 중인 아리랑 위성2호기에 향상된 DPLL 시스템이 사용될 예정이다.

## 5. 참고문헌

- [1] KOMPSAT-2 Equipment Specification for GPS Receiver, 2001
- [2] KOMPSAT-2 Equipment Specification for ECU, 2001
- [3] KOMPSAT On-Board Computer(OBC) Critical Design Audit(CDA) Volume I, 1996
- [4] 권기호, Phase Difference Measure를 통한 1Hz Sync Enhancement 구조설계, The KOMPSAT DPLL Design, 항공우주학회, 2000