

# 최대가중 독립집합을 이용한 글리치 감소 알고리즘

이형일                      정균락  
홍익대학교 컴퓨터공학과  
{hilee, chong}@cs.hongik.ac.kr

## Glitch Reduction Algorithm Using Maximum Weighted Independent Set

Hyeong-Il Yi                      Kyun-Rak Chong  
Dept. of Computer Engineering, Hongik University

### 요 약

휴대용 전자 제품의 수요가 증가함에 따라 전자 제품의 전력 소모를 감소시키는 문제가 중요하게 되었다. 예를 들면 현재 사용자가 급속도로 늘고 있는 개인 휴대 전화기나 노트북 컴퓨터는 소형화와 배터리의 사용시간 연장 등이 가장 중요한 기술적인 요소로 작용하고 있다. 전력소모를 줄이기 위해서 게이트 크기를 재결정하는 방법과 버퍼를 삽입함으로써 글리치를 줄이는 방법이 사용되고 있는데 최근에 버퍼의 위치를 결정하는 데 정수 선형 계획법이 제안되었다. 본 연구에서는 최대 가중 독립 집합을 찾는 알고리즘을 이용해 버퍼의 위치를 결정하는 방법을 제안하였고 실험을 통해 효율성을 입증하였다.

### 1. 서론

휴대용 전자 제품의 수요가 증가함에 따라 전자 제품의 전력 소모를 감소시키는 문제가 중요한 이슈로 떠오르게 되었다.

디지털 회로의 전력소모는 신호 전이에 의해 발생하는 동적 전력소모와 난락 회로 전류에 의해 발생하는 소모, 누설 전류에 의한 소모로 구성된다 [3][8]. 전력 소모 중에서 가장 큰 부분을 차지하는 동적 전력 소모의 경우는 각 노드의 용량성 부하와 신호 전이 횟수에 비례하며, 스위칭 확률이나 용량성 부하를 줄임으로써 전력 소모를 줄일 수 있다. 신호 전이는 기능성 전이와 기능에 영향을 미치지 않는 불필요한 전이인 글리치(glitch)로 나뉘며, 일반적으로 글리치에 의한 전력 소모가 전체 전력 소모의 20%-70%를 차지한다 [4].

이러한 전력 소모를 줄이기 위한 방법으로 게이트 크기 재결정(gate resizing)과 경로 균등화를 이용한 글리치 감소기법이 사용되고 있다. 게이트 크기 재결정 [1][2]은 회로가 만족시켜 주어야 하는 제한 시간을 초과하지 않는 한도 내에서 회로 내의 게이트들의 일부의 크기를 줄임으로써 전체 회로의 전력소모를 감소시키는 방법이다. [1][2]의 알고리즘들은 회로의 전력소모중 대부분을 차지하는 글리치에 대해서는 고려하지 않고 있다. M. Hashimoto는 [7]에서 글리치 전이에 대한 통계적 측정에 기초한 게이트 크기결정을 함으로써 글리치를 감소시키는 방법을 제안하였다. [5]에서는 게이트 크기 재조정과 버퍼를 삽입함으로써 경로를 균등화시켜 글리치를 감소시키는 방안을 제시하였다. 또 버퍼의 위치를 선택하기 위해 정수 선형 계획법을 사용하였는데 이 방법은 시간이 많이 소요되는 단점을 가지고 있다.

본 논문에서는 최대 가중 독립 집합을 찾는 알고리즘을 이용

해 버퍼의 위치를 결정하는 방법을 제안하였고, MCNC'91 벤치마크 회로를 가지고 실험을 통해 효율성을 입증하였다. 삽입된 버퍼 후보들로 이루어진 그래프에서 최대가중 독립집합은 다항시간(polynomial time)에 구할 수 있다 [6].

### 2. 게이트 크기 재결정

게이트 크기 재결정은 회로 전체의 시간 제한 조건을 만족시키면서, 논리적 기능은 같으나 크기가 작은 게이트로 대체하는 것을 말한다. 면적이 작은 게이트는 부하가 작으므로 전력 소모를 감소시킬 수 있다.

조합 회로는 비순환 방향성 그래프로 표현될 수 있고, 이를 지연 그래프(delay graph)  $D = (V, E)$ 로 나타낼 수 있다. 여기서  $V$ 는 노드들의 집합이고,  $E$ 는 에지들의 집합이다. 각 노드  $v \in V$ 는 회로내의 게이트  $v$ 와 1:1 대응한다. 게이트  $u$ 의 출력이 게이트  $v$ 의 입력핀에 연결되어 있다면 에지  $(u, v) \in E$ 로 나타낸다. 회로의 입력 신호를 주입력(primary inputs, PI), 출력 신호를 주출력(primary outputs, PO)라고 한다.

지연 그래프  $D$ 의 각 노드  $v \in V$ 에는 게이트  $v$ 의 지연시간  $d(v)$ 가 할당되어 있다. 게이트  $v$ 의 입력핀의 집합을  $input(v)$ 라 하면, 간단한 지연시간 모델을 이용하여 아래의 식과 같이 지연시간  $d(v)$ 를 계산할 수 있다.

$$d(v) = \max_{i \in input(v)} d_{i,v}$$

$d_{i,v}$ 는 게이트  $v$ 의 입력핀  $i$ 로부터 게이트  $v$ 의 출력까지의 고유 지연시간을 뜻한다. 그림 1에서 논리회로와 이에 대응하는 지연 그래프를 보여주고 있다.

그래프 D의 각 노드들은 조합회로의 각 게이트에 대응되는데 이 각각의 노드 v는 도착시간(arrival time)  $t_a(v)$ 와 요구시간(required time)  $t_r(v)$ , 두 개의 값을 가지고 있다. 여기에서 도착시간  $t_a(v)$ 는 주입력에서 게이트 v까지의 가장 느린 경로의 지연시간을 나타내고, 요구시간  $t_r(v)$ 는 신호가 정해진 제한 시간 이내에 최종 출력에 도달하기 위해 필요한 게이트 v의 최소한의 출력시간이다. 이들의 계산식을 보면 다음과 같다.

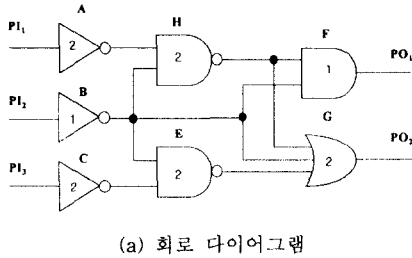
$$t_a(v) = \max_{u \in \text{Fanins of } v} (t_a(u) + d(v))$$

$$t_r(v) = \min_{w \in \text{Fanouts of } v} (t_r(w) - d(v))$$

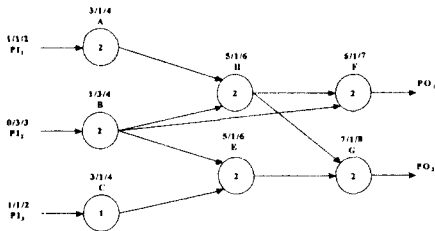
각 노드의 슬랙값 s(v)는 아래의 식과 같이 정의된다. 이 슬랙값은 각 노드에 대응하는 조합 회로의 게이트의 여유지연시간을 의미한다. 각 게이트에서는 최종 출력이 요구하는 시간까지 도착하기만 하면 되므로 여유지연시간만큼의 지연시간을 늘려줄 수 있다.

$$s(v) = t_r(v) - t_a(v)$$

그림 1(a)는 회로 다이어그램의 예이고, 그림 1(b)는 이에 대응되는 지연그래프이다. 각 노드 v의 위에 기재된 값은  $t_a(v)/s(v)/t_r(v)$ 이다.



(a) 회로 다이어그램

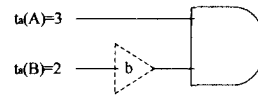


(b) 지연그래프와  $t_a/s/t_r$ 의 계산

<그림 1> 회로 다이어그램과 지연그래프의 예

### 3. 글리치 감소 알고리즘

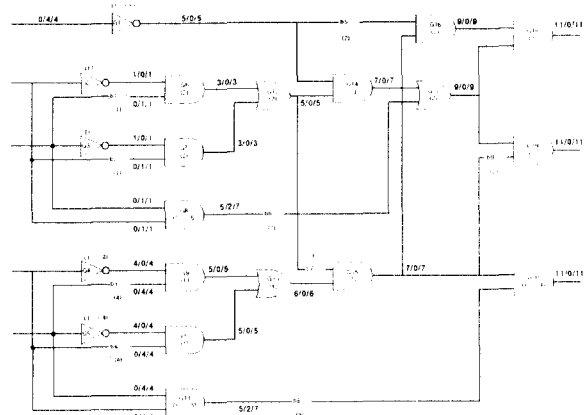
글리치에 의한 전력소모를 없애기 위해서 버퍼를 삽입하게 되는 데 그림 2에 그 예가 나타나 있다. 게이트 G의 입력 A의 도착시간은 3이고 입력 B의 도착시간은 2일 때 경로 균등화를 위하여 지연시간이 1인 버퍼 b를 삽입하게 된다.



<그림 2> 버퍼 삽입의 예

회로의 한 경로에 여러 개의 버퍼가 삽입될 경우 버퍼들의 상호 중속적인 성질 때문에 추가적인 전력 변화량이 생기게 된다. 이러한 모든 경우를 고려해서 버퍼의 최적 위치를 결정하는 것은 목적함수가 비선형식이 되어 그 해를 구하는 데 시간이 많이 소요된다.

그러므로 [5]에서는 한 경로에는 버퍼를 하나만 삽입한다고 가정하고 버퍼 위치를 결정하는 문제를 정수 선형 계획법을 사용하여 해결하였다.



<그림 3> 버퍼 삽입을 위한 회로의 예 [5]

### 4. 최대가중 독립집합을 이용한 버퍼 삽입 알고리즘

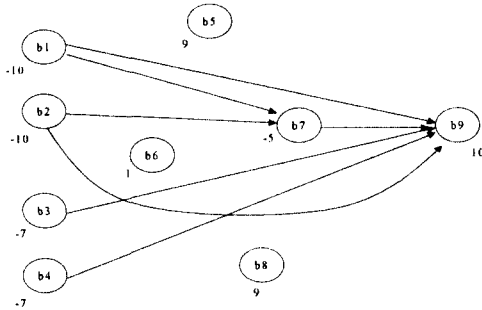
그래프가 주어졌을 때 독립집합(independent set)은 임의의 두 정점사이에 에지가 존재하지 않는 정점들의 집합을 말한다. 각 그래프의 정점에 가중값(weight)이 주어진 가중그래프에서는 이러한 집합을 가중독립집합이라 하고 최대가중 독립집합(maximum weighted independent set)은 가중독립집합에 속한 정점들의 가중값의 합이 최대가 되는 집합을 말한다.

게이트 크기 재조정을 위해 생성한 지연 그래프를 이용해서 버퍼 삽입 위치를 결정하는 알고리즘을 개발할 경우 시간적 효율성을 크게 높일 수 있다. 경로 균등화를 위한 게이트 크기 재결정을 수행하고 나면 게이트 크기 재결정만으로 경로 균등화를 이룰 수 없는 곳에 삽입 후보 버퍼를 생성한다.

여기서 삽입 후보 버퍼를 노드로 하는 그래프 G를 생성하고, G의 이행 폐쇄 그래프(transitive-closure graph) Gt를 만든다. Gt 상에서의 최대가중 독립집합은 정수 선형 프로그램의 제한 조건인 한 경로 상에서는 하나의 버퍼만 삽입한다는 가정을 자동적으로 만족한다. Gt에서 최대가중 독립집합은 최대 흐름

(max flow) 알고리즘을 사용하여  $O(n \log(n^2/e))$  시간에 구할 수 있다 [6]. 여기서  $n$ 은 정점의 수이고  $e$ 는 에지의 수이다.

[5]에서 사용한 회로의 예가 그림 3에 나타나 있으며 그림 4는 그림 3의 예제에서 버퍼 삽입 후부를 결정한 후, Gt를 생성한 것이다.



<그림 4> 삽입 후부 버퍼의 이행 패쇄 그래프

여기서 노드 아래의 가장값은 삽입에 따른 전력 변화량을 나타낸다. 이 가장값 부호를 반대로 하여 최대가중 독립집합을 구하면 삽입될 버퍼가 결정된다. 이 예에서 최대가중 독립집합은 버퍼 1, 2, 3, 4가 된다. 다음 이 버퍼들을 회로에 삽입시키고 나머지 버퍼들에 대한 전력변화량을 다시 계산한 후, 삽입이 결정된 버퍼 1, 2, 3, 4를 그래프에서 제외시킨 다음 다시 동일한 과정을 전력 감소량이 음이 되는 버퍼가 없을 때까지 반복한다.

5. 실험 결과

실험은 C언어로 구현되어 펜티엄 컴퓨터에서 MCNC-91 벤치마크 회로를 사용해서 검증되었다. 실험에 사용된 라이브러리는 NAND, NOR, INVERTER, BUFFER를 가지고 있다. 전력 예측은 [5]에서 사용한 simulator를 제공받아 신호 천이 밀도와 글리치를 예측하였다.

제안된 기법을 사용한 결과 평균적으로 전체 용량성 부하의 32.7%, 글리치 전력 소모의 58.1% 감소의 효과를 얻을 수 있었다. 표 1에 각각의 회로에 대한 실험 결과가 나타나 있다. 회로 tt2인 경우 게이트의 개수가 340인데 실행시간은 61.29초로 제안된 방법이 매우 우수함을 보여준다.

<표 1> 벤치마크회로에 대한 실험결과

	278	45.55%	47.34%	37.13%	46.15%	8.86
	225	14.82%	11.99%	28.28%	20.00%	11.79
	219	38.73%	36.12%	100.00%	100.00%	7.10
	170	40.62%	31.34%	100.00%	100.00%	6.29
	158	38.89%	32.54%	52.72%	45.00%	5.54
	340	17.83%	16.15%	30.45%	25.00%	61.29
		32.74%	29.25%	58.10%	56.03%	

6. 결론

본 논문에서는 게이트 크기 재결정과 버퍼 삽입을 이용하여 경로 균등화를 이룸으로써 글리치 감소 및 전체 회로의 저전력 설계를 위한 알고리즘을 제안하였다. 기존에 발표된 정수 선형 프로그램을 이용한 버퍼 삽입 기법을 개선할 수 있는 방법으로 최대가중 독립집합을 이용하였고 실험을 통해 제안한 방법이 효율적임을 보였다.

<참고 문헌>

[1] De-Sheng Chen and Majid Sarrafzadeh. "An exact algorithm for low power library-specific gate re-sizing", Proceeding of the 33rd Design Automation Conference, pp. 783-788, Las Vegas, Nevada, 1996.  
 [2] E. Cheng and S. Sahni, "Gate Resizing to Reduce Power Consumption", submitted, 1998.  
 [3] A. Ghosh, S. Devadas, K. Keutzer, and J. White, "Estimation of Average Switching Activity in Combinational and Sequential Circuits", Proceeding of 29th design Automation Conference, pp. 253-259, June 1992.  
 [4] A. Shen, A. Ghosh, S. Devadas and K. Keutzer, "On Average Power Dissipation and Random Pattern Testability of CMOS Combinational Logic Networks", Proceeding of the Int'l Conference on Computer Aided Design, pp. 402-407, November 1992.  
 [5] 양재석, 김성재, 김주호, 황선영, "저전력 CMOS 디지털 회로 설계에서의 경로 균등화에 의한 글리치 감소 기법", 정보과학회 논문지 제26권 제10호, 1999년 10월  
 [6] R.H. Mohring, "Graphs and Orders: the Role of Graphs in the Theory of Ordered Sets and Its Application", Published by D. Reidel Publishing Company, edited by I. Rival, New York and London, pp. 41-101, May 1984.  
 [7] M. Hashimoto, H. Onodera, and K. Tamaru, "A Power Optimization Method Considering Glitch Reduction by Gate Resizing", Proceeding of Int'l Symp. on Low Power Design, pp. 221-226, August 1998  
 [8] 김성재, 이형우, 김주호, "글리치 전력소모 감소를 위한 게이트 사이징과 버퍼삽입 혼합기법", 정보과학회 논문지 제28권 제8호, 2001년 8월