

ACE2000 MPLS 정합모듈에서의 622M SAR 성능 분석

최창식^o 최병철 정연패

한국전자통신연구원 네트워크연구소
(cschoi, bcchoi, ykjeong)@etri.re.kr

622M SAR Performance Analysis at ACE2000 MPLS Interface Module

Chang-Sik Choi^o Byeong-Cheol Choi Youn-Kwae Jeong

Electronics and Telecommunications Research Institute, Network Research Labs

요 약

초고속 국가망에 적용되는 ACE2000 ATM 교환기는 기존의 ATM 서비스 외에도 IP 기반의 인터넷트래픽을 처리하기 위해서 MPLS 기능을 탑재하게 된다. 이러한 MPLS 기능을 ATM 교환기에 적용하기 위해서 기존의 ATM 정합 모듈과 동일한 토폴로지를 유지하면서 IP 패킷을 처리할 수 있는 MPLS 정합 모듈과 MPLS 프로토콜을 포함한 다양한 제어기능을 수행하는 MPLS 프로세서 모듈을 추가하게 된다.

본 논문에서는 MPLS 정합 모듈의 전체적인 데이터 처리 구조와 하드웨어 기반의 IP 포워딩/머징 엔진의 구성을 살펴보고, 특히 IP 포워딩/머징 엔진은 하드웨어 기반의 고속 패킷 처리를 위해서 622Mbps ATM SAR 칩과 하드웨어 기반 룩업/포워딩 엔진으로 구성되어 있으며, 4개의 IP 포워딩/머징 엔진을 통해서 2.5G 용량의 MPLS 정합 모듈이 구성된다.

각각의 IP 포워딩/머징 엔진은 622M 트래픽을 처리하며 본 논문에서는 포워딩 엔진의 ATM 인터페이스를 담당하는 622M ATM SAR 칩을 중심으로 MPLS 정합 모듈의 전체적인 패킷 처리 구조와 메모리 구조 및 성능을 분석하였다.

1. 서 론

인터넷망의 급속한 고도화가 진행되면서 대부분의 네트워크상의 트래픽은 IP 기반으로 처리되고 있다. 이러한 현상은 기존의 이상적인 망으로서 개발되었던 ATM 기술에도 영향을 미치게 되었으며, 이로 인해 ATM 망에서 IP 패킷을 수용하는 기술에 대한 연구가 활발하게 진행되어왔다. 특히 멀티프로토콜 레이블 스위칭 기술(MPLS)은 ATM의 고속 스위칭 기능의 장점과 QoS, TE 등의 부가적인 장점들에 대한 효율적으로 적용이 가능하므로 ATM 기술의 새로운 발전방향으로서 활발하게 연구되어졌다[1].

이러한 관점에서 초고속 국가망에 적용될 ACE2000 ATM 교환기에도 MPLS 기능을 지원하기 위한 연구가 진행되고 있다. ACE2000 교환기에 적용될 MPLS 기능은 기존의 2.5G ATM 정합 모듈과 동일한 토폴로지를 가지는 MPLS 정합 모듈을 통해서 지원이 되고, MPLS 정합 모듈은 네개의 IP 포워딩/머징 엔진으로 구성되며, 각각의 IP 포워딩/머징 엔진은 네 개의 OC-3급 인터페이스 또는 한 개의 OC-12급 ATM 인터페이스를 지원하게 된다.

이러한 ATM 인터페이스에는 622M ATM SAR 기능을 지원하는 MXT4400 칩을 채택하고 있으며, 하드웨어 룩업 엔진과 UTOPIA 버스를 통해서 고속 데이터를 전송하게 된다. 그러므로 MPLS 정합 모듈은 이러한 622M SAR 칩과 하드웨어 룩업 엔진에 의해서 성능이 결정된다고 볼 수 있다.

본 논문에서는 ACE2000 교환기에 장착되는 MPLS 정합 모듈에서 전체적인 데이터 처리 구조와 패킷 메모리 구성에 대해서 알아보고, 특히 622M SAR 칩의 특성과 메모리 및 성능에 대해서 중점적으로 분석하였다.

2. MPLS 정합 모듈의 구조

MPLS 정합 모듈은 2.5G 용량을 지원하기 위해서 622M IP 포워딩/머징 엔진 4장으로 구성되어 있으며, ATM 정합 모듈의 622M ATM 칩인 APC와 일대일 대응으로 구성되어진다. 그림 1은 MPLS 정합 모듈의 전체적인 구성을 보여주고 있다.

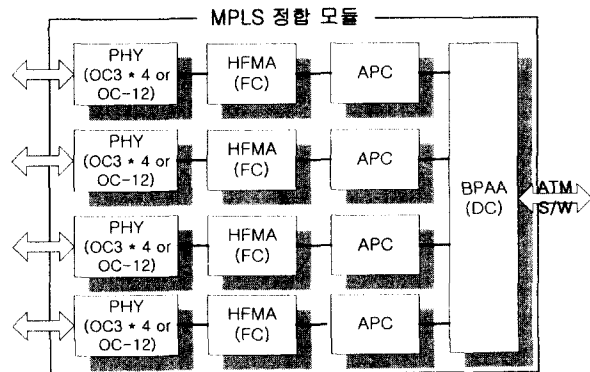


그림 1. MPLS 정합 모듈

그림1에서 알 수 있는 것처럼 각각의 IP 포워딩/머징 엔진(HFMA)은 622M 트래픽을 처리하게 되며, 자체에 CPU(FC:Forwarding Controller)를 장착하여 상위 제어 프로세서와의 IPC기능을 통해서 포워딩 테이블을 구축하게 된다. 특히 MPLS 정합 모듈에서 HFMA를 제외한 PHY/APC/BPAA모듈들은 기존의 ACE2000교환기의 ATM 정합 모듈에서 사용된 모듈들과 동일한 방식으로 구성되며, MPLS서비스를 위한 채널 외에도 Native ATM 서비스를 위한 bypass기능도 지원하게 된다.

3. IP 포워딩/머징 엔진의 구조 및 패킷 처리

앞서 살펴본 바와 같이 MPLS 정합 모듈은 기존의 ATM 정합 모듈에 IP 포워딩/머징 엔진을 추가함으로써 구성된다. IP 포워딩/머징 엔진은 622M Line Rate로 IP 데이터를 처리하기 위해서 622Mbps AAL-5 SAR 칩인 MXT4400(Conexant Inc.)을 채택하고 있으며 또한 하드웨어 기반 특업/머징 엔진을 장착하고 있다. 그림 2는 IP 포워딩/머징 엔진의 전체적인 구성을 보여주고 있다.

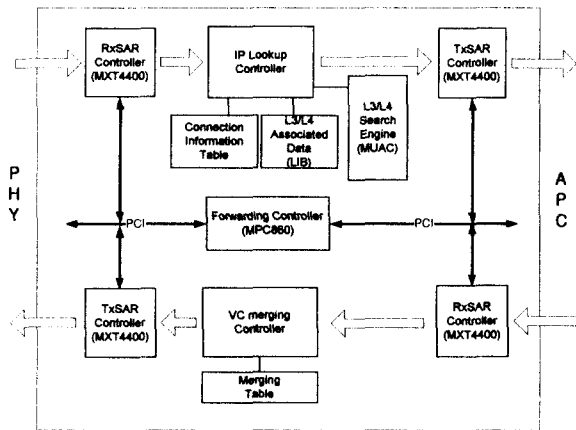


그림 2. IP 포워딩/머징 엔진

IP 포워딩/머징엔진은 ATM SAR 인터페이스를 위해서 포워딩용으로 2개의 SAR칩을, 머징용으로 2개의 SAR칩을 사용하며, 각각의 SAR칩을 Segmentation과 Reassembly 용도로 분리하여 사용하고 있다. 또한 SAR칩은 데이터 처리를 위해서 UTOPIA 인터페이스를 지원하며, 제어용으로 PCI 인터페이스를 지원하고 있다.

그림2에서 포워딩 엔진 모듈은 하드웨어 기반 특업 기능을 수행하게 되며, 목적지 IP 주소 외에도 VPN/TE 등의 부가적인 기능을 지원하기 위한 L4 포워딩 테이블과 채널 정보 테이블 정보들을 저장하기 위한 메모리를 추가로 장착하고 있다. 이러한 특업용 칩과 포워딩 테이블에 대한 초기화 및 포워딩 데이터는 Forwarding Controller에서 담당하며, 데이터 트래픽에 대한 헤더 분석 및 포워딩은 IP Lookup Controller에서 FPGA로 구현되어 622M Line Rate로 데이터를 처리하게 된다[2].

또한, 머징 엔진은 ATM VC 채널별 머징 기능을 제공하게 되며, 포워딩 엔진과 마찬가지로 머징 테이블 정보

는 Forwarding Controller에 의해서 구축되고, 데이터 트래픽들은 FPGA로 구현된 Merging Controller에서 Merging 테이블을 참조하여 해당 기능을 수행하게 된다.

4. 622M SAR 인터페이스 모듈에서 패킷 처리 구조

IP 포워딩/머징 엔진에서는 ATM 인터페이스를 통해서 전달된 IP 패킷을 처리하기 위해서 AAL-5 SAR 인터페이스를 지원하게 되며, 622Mbps Line Rate를 지원하는 MXT4400칩을 사용하고 있다.

하나의 MXT4400칩은 Segmentation 과 Reassembly 기능을 동시에 수용할 수도 있으나, 이 경우 PCI 버스를 통해서 데이터를 추출/삽입해야 하므로 IP 포워딩/머징 엔진에서는 UTOPIA 인터페이스를 통한 데이터 처리 구조를 채택하고 있으며, 따라서 Reassembly 와 Segmentation 기능을 별도의 MXT4400칩으로 할당하고 있다. 또한 PCI 버스는 초기화 및 상태/통계 모니터링 등의 제어 목적으로 사용하고 있다[3]. 그림 3은 MXT4400 칩의 전체적인 구성을 보여주고 있다.

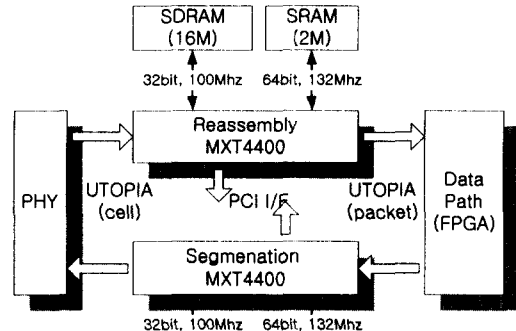


그림 3. MXT4400 구성도

그림3에서 알 수 있는 것처럼 하나의 MXT4400칩은 SDRAM과 SRAM 메모리를 각각 사용하게 되며, SDRAM 메모리는 주로 패킷 버퍼용으로, SRAM 메모리는 제어 코드용으로 사용된다. 표1과 표2는 SRAM과 SDRAM 메모리의 구성 및 용도를 보여주고 있다.

- 표1 - MXT4400 SRAM 메모리 구성

Data Structure	Reassembly	Segmentation
Initial code image	20K	28K
Channel ID table	256K	256K
Aux. channel context	256K	256K
Packet pointer counter	64K	N/A
Misc. data structure	64K	64K
Total	660K	604K

패킷 처리 성능과 관련하여 표 1에서 Reassembly Packet Pointer Queue는 UTOPIA 및 PCI Port로 패킷을 전송할 경우에 FIFO 역할을 담당하게 되며, Line Rate를 지원하

기 위해서 채널당 2개의 Entry가 할당되어야 하며, 또한 Default Queue Entry는 8192개이므로 $8192 / 2 = 4096$ 개의 Active Channel에 대한 Line Rate를 지원할 수 있다.

- 표2 - MXT4400 SDRAM 메모리 구성

Data Structure	Reassembly	Segmentation
Internal buffer	8M	8M
Free buffer stack	1M	512K
Channel descriptor	4M	4M
Total	13M	12.5M

표2에서 Internal Buffer는 64Byte 단위로 구성되어 패킷 데이터를 저장되는데 사용되며, Default로는 128K개의 buffer를 사용하고 있다. 이는 8K개의 Active Channel에서 Max Packet Length가 512Byte인 경우를 기준으로 Line Rate를 지원할 수 있는 용량이다. 즉, 필요한 SDRAM의 크기는 아래와 같은 수식으로 계산되어 질 수 있다[4].

$$* \text{Max \# of Buffer} = (\text{max \# of active channel}) * (\text{max pkt length}) * (2 \text{ pkts per channel}) / 64 \text{ bytes} \text{ ---- (수식 1)}$$

표1과 표2에서 MXT4400의 패킷 처리와 직접적인 관련이 있는 항목은 SRAM상의 Packet Pointer Queue와 SDRAM의 Internal Buffer의 용량이라고 볼 수 있는데, 패킷이 수신된 경우 MXT4400은 SDRAM에 위치한 Internal Buffer (128K개)가 Full이 되는 경우에 나머지 트래픽들은 폐기시키게 되며, NoBuffer Error Counter를 증가시키게 된다. 또한 Internal Buffer에 저장된 패킷을 Output Port(PCI/UTOPIA)를 통해 전송할 경우에는 SRAM에 위치한 Queue에 전송할 패킷의 포인터를 저장하게 되고, 이 Queue(8K개)가 Full인 경우에도 해당 패킷을 폐기시키며 OutQFull Error Counter를 증가시키게 된다. 그림 4는 Internal Buffer와 Output Queue와의 관계를 보여주고 있다.

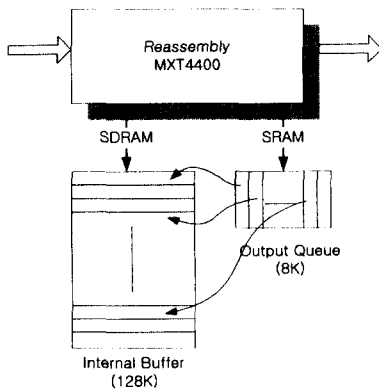


그림 4. Internal Buffer와 Output Packet Queue

그림4 에서 알 수 있는 것처럼 Queue와 Buffer의 비율은 1 : 16 정도이므로 $48\text{Byte} * 16 = 768\text{byte}$ 길이의 packet

을 기준으로 했을 때, 이것보다 짧은 길이의 패킷들 (16cell 이하)은 Buffer에는 여유가 있더라도 Output Queue에서 Full이 되어버리므로 OutQFull 에러가 발생하게 되고, 반대로 17cell 이상의 패킷들은 Queue에는 여유가 있으나 Buffer가 Full이 되어 NoBuffer 에러가 발생하게 됨을 알 수 있다.

기본 설정으로 구성된 SRAM과 SDRAM의 용량을 기준으로 했을 경우 MXT4400이 Output Port로 데이터를 전송하지 못하는 상황에서 Queue Full로 인한 패킷 폐기를 살펴보면 1-Cell 패킷에서,

$$* 8\text{K pkt/sec} \Rightarrow 8\text{K} * 48\text{byte/sec} \Rightarrow 3\text{Mbit/sec}$$

즉, 3Mbps의 트래픽 발생시 1초 후에 Queue Full로 인한 에러가 발생하기 시작하므로, Full Line Rate인 622Mbps 트래픽(1-cell)의 경우 1/207초 후에 발생함을 알 수 있다

또한, Internal Buffer로 인한 패킷 처리를 살펴보면 하나의 Buffer는 48byte 1Cell을 저장할 수 있으므로, 128K 개의 Buffer가 Full이 되는 시간을 계산하면,

$$* 128\text{K cell/sec} \Rightarrow 128\text{K} * 48\text{byte/sec} \Rightarrow 48\text{Mbps}$$

즉, 48Mbps 트래픽 발생시 1초 후에 NoBuffer Error가 발생하기 시작함을 알 수 있다. 그러므로 622M line rate에서는 1/12초 후에 발생함을 알 수 있다.

5. 결 론

2.5G MPLS 정합 모듈에 사용된 4개의 IP 포워딩/머징 엔진은 622M ATM SAR 인터페이스를 지원하기 위해서 MXT4400칩을 사용하고 있으며, MXT4400은 SAR 기능을 위해서 SRAM과 SDRAM을 각각 장착하고 있다.

622M line rate를 지원하기 위해서 MXT4400은 채널당 2개의 buffer를 할당하고 있으나, Output Port 로의 전송이 불가능한 상황에서는 내부 버퍼 및 Queue의 제약에 의해서 패킷 폐기가 발생하게 되며 이는 해당 패킷의 길이와 밀접한 관련이 있음을 알 수 있다. 그리고, 실제 사용되는 패킷의 패턴에 따라서 버퍼와 Queue의 비율을 조절함으로써 SDRAM 또는 SRAM의 용량을 효율적으로 사용 가능함을 알 수 있다. 그러나, IP 포워딩/머징 엔진에서는 버퍼링의 기능보다는 line rate로 패킷을 처리하는 기능이 우선이므로 active 채널에 필요한 buffer 용량(수식1)에 기준하여 메모리 용량을 고려하는 것이 더욱 효율적인 하드웨어 구조가 될 것이다.

참고문헌

- [1] A. Viswanathan et al., Evolution of Multiprotocol Label Switching, IEEE Communications Magazine, pp 165-173, May 1998.
- [2] Byeong-Cheol Choi et al, A High Speed IP Packet Forwarding Engine for Multi-Service Applications, AIC2001, pp201-209, July 2001.
- [3] Conexant Inc, "PortMaker AAL5-SAR Operations Guide", May, 2000.
- [4] Conexant Inc, "PortMaker AAL5-SAR Memory Consideration", May, 2000.