

# Clock 스캔 설계 법칙을 위배한 회로의 수정

김 인수\*, 민 행복\*\*  
성균관대학교 전기전자 및 컴퓨터공학부  
성균관대학교 석사과정\*, 성균관대학교 정교수\*\*

## Abstract

ASIC 설계에서 gated clock 으로 동작하는 clock 을 입력으로 받는 회로들은 스캔 테스트를 수행하기에 용이하지 않다. 이러한 회로들에 대하여 스캔 테스트기법을 적용하기 위한 설계변경기술을 제안한다. 제안하는 설계변경기술은 비동기 회로를 동기 회로로 변환함으로써 스캔 기법을 적용할 수 있는 회로로 변환하게 된다. 이로써 테스트를 좀 더 용이하게 수행할 수 있을 뿐 아니라 결함 시험도를 높이게 되는 효과를 가져올 수 있다.

## 1. 서론

Gated clock 은 디지털시스템에서 널리 쓰이는 기법이지만 스캔 테스트[1][4] 환경에서 결함 시험도(fault coverage)[1][4]를 낮추는 중요한 요인 중의 하나이다. 스캔 설계 환경에서는 회로내의 모든 플립플롭의 clock 핀들이 회로의 주입력인 clock 포트에 의하여 제어가능 해야 하기 때문에 gated clock 회로를 수정하여야 한다.

Gated clock[1][3]은 두가지 유형으로 분류할 수 있는데, 하나는 플립플롭의 출력핀이 다른 플립플롭의 clock 핀에 연결되는 경우이고, 또 다른 하나는 clock 신호가 gate 에 의하여 조합되어 플립플롭의 clock 핀에 연결되는 경우이다. 전자의 경우, multiplexer 와 테스트모드 입력을 이용하여 설계를 변경하며[2][3], 후자의 경우 또 다른 gate 와 테스트모드 입력을 이용하여 설계를 변경하는 것이 보통이다[2][3].

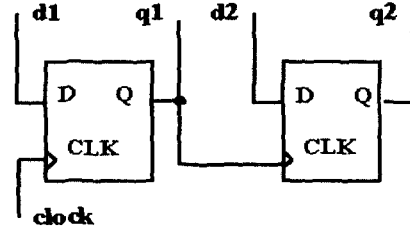
그러나 이 경우 테스트모드 포트의

constraint 로 인하여 시험할 수 없는 결함이 생겨나며, 경우에 따라선, 이런 결함의 개수를 무시할 수 없는 경우도 있다.

본 논문은 이러한 결함시험도의 저하를 방지할 수 있는 새로운 설계 변경 기법을 보여준다. 기존의 기술을 극복함으로써 스캔 설계 기법을 적용하여 테스트를 수행하고, 높은 fault coverage 를 얻는 것이다. 또한 설계변경 이전의 회로들과 본 논문에서 제안하는 기법을 이용하여 변경한 회로간에 있어서의 power estimation 을 수행한다

## 2. 기존의 기법

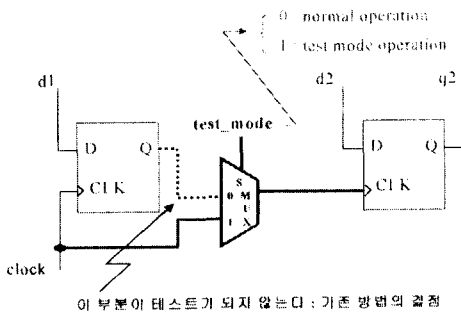
[그림 1]과 같이 비동기 clock 으로 동작하는 연속된 플립플롭에 있어서의 기존의 기법은 [그림 2]와 같이 두 플립플롭 사이에 multiplexer(MUX)를 추가하여 test\_mode 를 첨가하는 방식이었다



[그림 1]. 비동기 clock 이 인가되는 플립플롭 회로

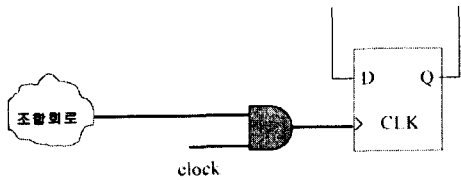
하지만 기존의 방법에 있어서의 결점은 test\_mode 로의 변경 시 [그림 2]의 점선으로 표시된 q 와 multiplexer 입력 간 path 가 테스트수행이 이루

어지지 않는다는 것이다.



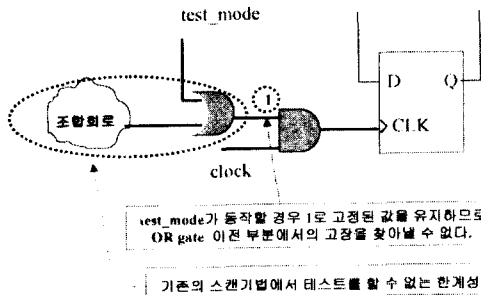
이 부분이 테스트가 되지 않는다 : 기존 방법의 결점

[그림 2]. [그림 1] 회로를 기존의 방법으로 테스트 수행 시 발생하는 문제점



[그림 3]. gated clock 이 인가되는 경우

[그림 3]과 같이 gated clock 이 플립플롭의 clock 으로 인가되는 경우 기존의 테스트기법은 [그림 4]와 같이 or gate 를 이용하여 test\_mode 를 첨가하는 방법이었으나 이 방법 역시 단점을 갖고 있다.



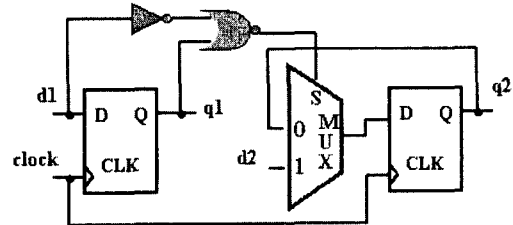
test\_mode가 동작할 경우 1로 고정된 값을 유지하므로 OR gate 이전 부분에서의 고장을 찾아낼 수 없다.  
기존의 스캔기법에서 테스트를 할 수 없는 한계성

[그림 4]. gated clock 이 인가되는 경우를 테스트하는 기존의 방법에 담겨있는 단점

test\_mode 를 위해 첨가한 or gate 의 이전 부분들에 대해서는 테스트 수행을 전혀 할 수 없다는 큰 단점을 갖고 있다. 본 논문에서는 이러한 기존 방법들의 단점을 극복하는 방안을 제안한다.

### 3. 새로운 설계변경기술

기존의 이러한 한계성을 극복하는 방안으로 본 논문에서는 새로운 설계변경기술을 제안한다. [그림 1]과 [그림 2]를 통해 살펴 본 비동기 clock 이 인가되는 회로의 경우에는 동기 clock 으로 동작하는 등가회로로 설계를 변경한다. 이로써 스캔 기법을 적용할 수 있는 환경으로의 변환이 가능하다. 그 결과는 [그림 5]에서 볼 수 있다.

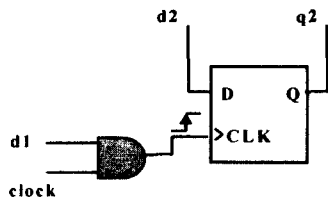


[그림 5]. [그림 1]의 회로를 동기회로로 설계를 변경한 회로

비동기 회로와 등가변환과정을 거쳐 얻은 동기회로의 기능적차이가 전혀 없음은 시뮬레이션 과정을 통하여 확인 가능하다.

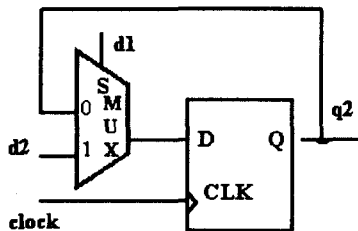
이로써 스캔 기법을 적용할 수 있는 회로로 설계변경이 이루어지며, 기존의 스캔 기법으로 테스트 수행 시의 단점을 보완할 수 있는 환경이 설정된다.

다음은 gated clock 이 인가되는 회로에 대하여 본 논문에서 제안하는 설계변경기술을 소개한다.



[그림 6]. gated clock 이 플립플롭의 입력 clock 으로 사용된 회로

[그림 6]에서와 같이 gated clock 이 플립플롭의 입력 clock 으로 사용되는 회로의 경우에 있어서 multiplexer 를 이용한 등가회로의 변환을 [그림 7]에서 보여준다



[그림 7]. [그림 6]의 회로를 스캔 테스트가 가능하도록 설계를 변경한 회로

. 두 회로간의 기능적차이가 전혀 없음은 시뮬레이션과정을 통하여 확인 가능하다.

#### 4. 연구결과

연속된 플립플롭에서 앞단 플립플롭의 출력인 q 가 뒷단 플립플롭의 clock 입력으로 인가되는 경우에 있어서 본 논문에서 제안하는 방안을 사용했을 경우 fault coverage 가 90.48%에서 100%의 수치를 얻을 수 있고, gated clock 회로의 경우에도 역시 92.31%에서 100%의 결과를 얻을 수 있다.

이러한 수치는 본 논문에서 제안하는 설계변경기

술이 기존의 방법을 사용한 테스트수행보다 우수한 것임을 입증해 보인다.

본 논문에서 제시한 예제 회로 또는 이와 유사한 경우의 회로에 있어서 테스트의 수행 시 난제로 작용했던 어려움을 해결하는 방안을 제시하는 연구결과이다.

#### References

- [1] M. Abramovici, M. A. Breuer and D. Friedman, "Digital Systems Testing and Testable Design", Computer Science Press, 1990.
- [2] "Synopsys manual-Synopsys DFT Compiler Scan Synthesis User Guide chapter 9", Synopsys, pp. 8-11, 2000.
- [3] "SynTest User's Guide chapter 6 (Using Pyramid-Test Logic Synthesis and Verification Tools)", SynTest, pp. 31-32, 1998.
- [4] Alexander Miczo, "Digital Logic Testing and Simulation", John Wiley & Sons, 1986.