

# 고속 무선 LAN을 위한 디지털 자동 이득 제어기 설계

이봉근, 이영호, 강봉순  
 동아대학교 전기전자컴퓨터공학부

## Design of Digital Automatic Gain Controller for the IEEE 802.11a Physical Layer

Bonggeun Lee, Youngho Lee, and Bongsoon Kang  
 School of Electrical, Electronic, and Computer Eng., Dong-A University  
 E-mail : bongsoon@daunet.donga.ac.kr

### 요약

본 논문에서는 5GHz 대역을 사용하는 무선 LAN의 표준안인 IEEE 802.11a-1999를 위한 디지털 자동 이득 제어기를 제안한다. 송수신간의 동기화를 위한 신호인 Training symbol을 이용하여 수신기에 입력되는 신호의 이득을 측정한다. 측정된 이득을 이상적인 이득과 비교하여 갱신할 이득을 구한다. 갱신 이득은 신호를 증폭하는 GCA(Gain Controlled Amplifier)의 입력 전압으로 변환되어 신호의 증폭도를 제어하게 된다. 본 논문에서는 하드웨어 부담을 줄이기 위해 부분 선형 근사방법을 이용하여, 갱신 이득을 GCA의 입력 전압으로 변환한다. 보다 정확한 제어를 위하여 이득 측정 및 제어 값의 갱신을 7회 반복하여 수행한다. 본 논문에서 제안한 디지털 자동 이득 제어기는 VHDL을 이용하여 설계하였으며, Xilinx CAD Tool을 이용하여 Timing Verification을 수행하였다.

### Abstract

In this paper, we propose the Digital Automatic Gain Controller for IEEE 802.11a High-speed Physical Layer in the 5 GHz Band. The input gain is estimated by calculating the energy of the training symbol that is a synchronizing signal. The renewal gain is calculated by comparing the estimated gain with the ideal gain. The renewal gain is converted into the controlled voltage for GCA to reduce or amplify the input signals. We used a piecewise-linear approximation to reduce the hardware size. The gain control is performed seven times to provide more accurate gain control. The proposed automatic gain controller is designed with VHDL and verified by using the Xilinx FPGA.

### I. 서론

무선 통신 시스템의 수신기에서는 입력되는 아날로그 신호를 디지털 신호를 바꾸기 위해 ADC(Analog-to-Digital Converter)를 사용한다. 이때 입력 신호의 이득을 제어하지 않고, 그대로 사용한다면 수신기의 성능이 크게 감소되므로 입력 신호의 이득을 제어하는 장치가 필요하다.

다[1]. 이를 위해서 사용되는 장치가 자동 이득 제어 시스템이다. 자동 이득 제어 시스템은 불확실한 변동 범위를 갖는 수신 신호를 일정한 범위 내에 존재하도록 신호의 크기를 조절하는 역할을 하며, 수신기의 성능에 가장 크게 영향을 주는 시스템이다. 일반적으로 자동 이득 제어 시스템은 그림 1과 같이 ADC 이전의 아날로그 회로로 설계된다[2]. 그러나, 아날로그 회로만을 이용하여 시스템을 설계할 경우는 디지털로 시스템을 구현하는 것보다 일반적으로 복잡하고 시스템 구현을 위해 보다 많은 시간을 필요로 한다.

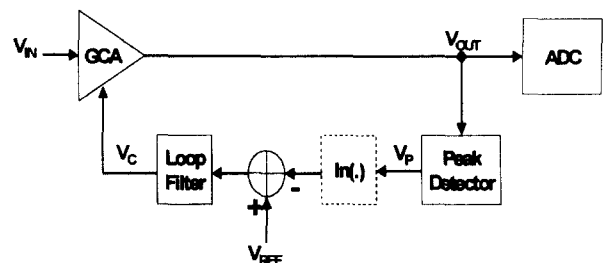


그림 1. 일반적인 아날로그 자동 이득 제어기

본 논문에서는 앞서 설명한 디지털 회로의 장점을 이용하여 고속 무선 LAN을 위한 디지털 자동 이득 제어기를 제안한다. 아날로그 이득 제어기 경우보다 쉽게 구현할 수 있으며, 또한 다른 시스템과 같이 하나의 칩으로

구현이 가능하다. 고속 무선 LAN의 표준안인 IEEE 802.11a-1999에서 송수신간의 동기화를 위해 할당된 Preamble의 short training symbol을 이용하여 이득 제어 값을 추정 및 생성하며, 최종 이득의 보상은 GCA(Gain Controlled Amplifier)를 이용한다[3].

본 논문의 II장에서는 이득 조절을 위한 알고리즘 및 동작원리를 설명하고, III장에서는 제어기의 하드웨어 구조를 IV에서는 시뮬레이션 결과를 제시하며, 마지막으로 V장에서 결론을 내렸다.

## II. 알고리즘

본 논문에서 제안하는 자동 이득 제어기는 고속 무선 LAN의 표준인 IEEE 802.11a-1999를 위한 것이다. 따라서 자동 이득 제어기를 설계하기 위해서는 IEEE 802.11a-1999에서 제안하는 송수신간의 신호의 형태를 알고 있어야 한다. 그림 2는 IEEE 802.11a-1999의 신호의 형태를 보여준다.

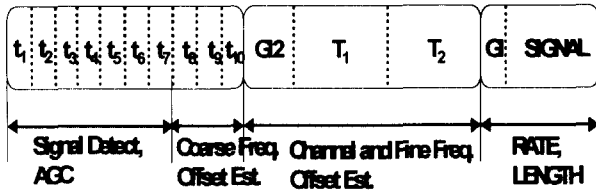


그림 2. IEEE 802.11a-1999 신호의 전송 형태

그림 3은 short training symbol을 나타낸 것이다. IEEE 802.11a-1999에서는 AGC(Automatic Gain Control)를 위해서 short training symbol의  $t_1 \sim t_7$  구간을 할당해 놓았다. Short training symbol은  $t_1 \sim t_{10}$ 까지 16 samples이 10회 반복된 형태를 가지고 있으므로  $t_1 \sim t_7$  구간에 대해서 16 samples를 단위로 평균 이득을 측정할 수 있으며, 수신기에서는 측정된 평균 이득의 디지털 값과 ADC 이후의 디지털 신호에서 측정된 이득을 이용하여 GCA의 이득 제어 값을 생성할 수 있다.

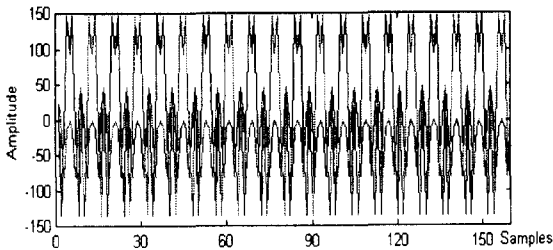


그림 3. IEEE 802.11a-1999의 Short Training Symbol

제안된 디지털 자동 이득 제어기는 수신기의 ADC 이후의 디지털 영역에서 측정된 이득과 송신기에 측정하여 미리 알고있는 이득을 비교하여 갱신할 이득을 구한다. 그리고 수신기에 입력되는 신호의 증폭을 담당하는 GCA의 특성에 맞도록 갱신할 이득을 변화 시켜 전송한다.

그림 4는 본 논문에서 제안한 자동 이득 제어기의 기능 구성도이다. 수신 신호의 크기를 증폭시키는 것은 아날로그 IC인 GCA에서 수행되며, 증폭기의 제어 값은 디지털 자동 이득 제어기에서 결정된다. 디지털에서 생성된 값을 GCA에서 사용하는 아날로그 형태의 제어 값으로 변화할 필요가 있는데, 고속 무선 LAN에서는 빠른 획득 시간 내에 정확한 획득이 필요하므로 DAC를 사용하였다.

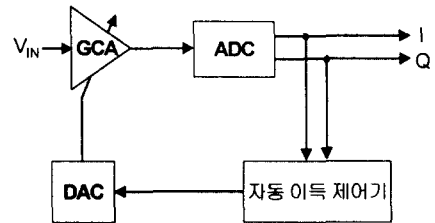


그림 4. 자동 이득 제어기의 기능 구성도

수신기에 입력되는 신호로부터 이득을 측정하기 위한 수식은 (1)과 같으며, 송신기에서 측정된 평균이득을 이용하여 갱신 이득을 구하기 위한 수식은 (2)와 같다.

$$P_{16}(n) = \sqrt{\sum_{i=1}^{16} |r_i|^2} \quad (1)$$

$$G(n)_{gain} = 10 \log_{10} \left( \frac{P_{REF}}{P_{16}(n)} \right) \quad (2)$$

여기서  $r_i$ 는 수신기에 입력되는 신호이고,  $G(n)_{gain}$ 은

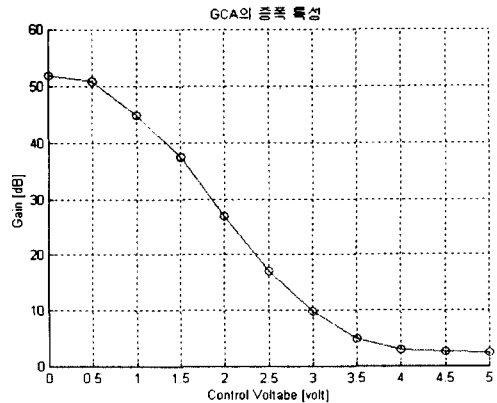


그림 5. GCA의 증폭 특성

갱신할 이득을 나타내며,  $P_{REF}$ 는 송신기에서 측정된 평균 전력이다. 위의 수식으로 계산된 이득은 GCA의 특성에 맞추어 변화되어야 한다. 그림 5는 GCA를 제작한 후 증폭 특성을 측정하여 그래프로 나타낸 것이다.

### III. 하드웨어 설계

본 논문에서는 제안한 디지털 자동 이득 제어기를 설계하기 위해서 위에서 정의한 수식 (1)과 (2)를 (3)과 같이 다시 정의하여 사용하였다. 수식 (3)에서  $G_{REF}$ 는 송신기에서 측정된 평균이득으로 20.625 [dB]이다. 수식 (3)을 이용하여 계산된 갱신 이득 ( $G(n)_{gain}$ )을 GCA의 제어 값으로 변화하기 위해서는 그림 5의 증폭 특성을 ROM의 형태로 구현하여야 한다. 그러나 ROM으로 구현하는 것은 큰 하드웨어를 요구하기 때문에 본 논문에서는 선형 근사방법을 이용하여 구현하였다.

$$\begin{aligned}
 G(n)_{gain} &= 10 \log_{10} \left( \frac{P_{REF}}{P_{16}(n)} \right) \\
 &= 10 \log_{10} (P_{REF}) - 10 \log_{10} (R_{16}(n)) \quad (3) \\
 &= G_{REF} - 5 \log_{10} \left( \sum_{i=n}^{n+15} |r_i|^2 \right)
 \end{aligned}$$

수식 (4)는 계산된 갱신 이득을 GCA의 제어 값으로 변환하기 위해 선형 근사방법으로 구한 수식이며, 그림 6은 측정된 GCA의 증폭 특성과 수식 (4)를 비교한 것이다.

$$\text{제어 값} = \begin{cases} -0.5322 * G(n)_{gain} + 27.5244 & G(n)_{gain} \geq 50.8750 \\ -0.0732 * G(n)_{gain} + 4.2529 & G(n)_{gain} \geq 37.4375 \\ -0.0488 * G(n)_{gain} + 3.3447 & G(n)_{gain} \geq 17.0625 \\ -0.0830 * G(n)_{gain} + 2.9443 & G(n)_{gain} \geq 4.8750 \\ -0.2588 * G(n)_{gain} + 4.7705 & G(n)_{gain} \geq 2.9375 \\ -1.8506 * G(n)_{gain} + 9.3896 & \text{Others} \end{cases} \quad (4)$$

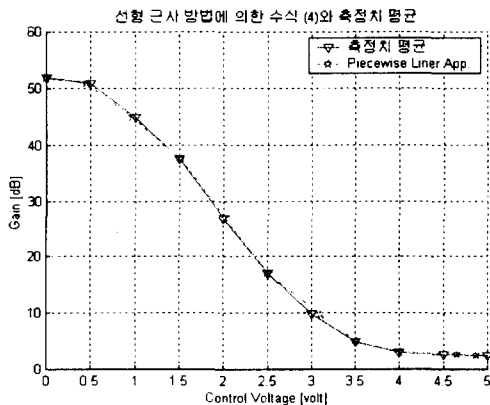


그림 6. 수식 (4)와 측정치 평균 비교 그래프

그림 7은 본 논문에서 제안한 디지털 자동 이득 제어기의 하드웨어 블록도이다. 수신 신호의 전력 측정 부분은 수식 (3)에서  $\sum_{i=n}^{n+15} |r_i|^2$ 을 구하는 부분으로 16 samples의 합을 구하기 위해 제한 회로로 구성하였으며, 갱신 이득 계산 및 GCA 특성 결합 부분은  $G(n)_{gain}$ 을 구하고, 수식 (4)를 계산하여 GCA의 제어 값을 구하게 된다. 그림 7의 블록도에서 start\_gain 신호는 신호의 입력이 확인된 후 이득 제어의 시작을 알리는 신호이다. Control 부분의 내부는 counter로 이루어져 있으며, 이 counter에 의해서 이득 제어 값의 출력 시점을 결정하도록 하였다. 한번의 이득 갱신으로는 완전한 이득 보상이 이루어지기 어렵기 때문에 설계된 하드웨어에서는 7회 반복하여 갱신할 이득을 구하고 보상하도록 하였다. 설계된 하드웨어의 최대 동작 주파수는 Xilinx VIRTEXE V2000E-6 BG560에서 31.530MHz이고 Synopsys<sup>1)</sup> Design Analyzer와 SAMSUNG 0.35um STD90 Library를 이용하여 회로 합성을 수행하였는데, 합성된 회로의 Gate Counts는 8566개이다.

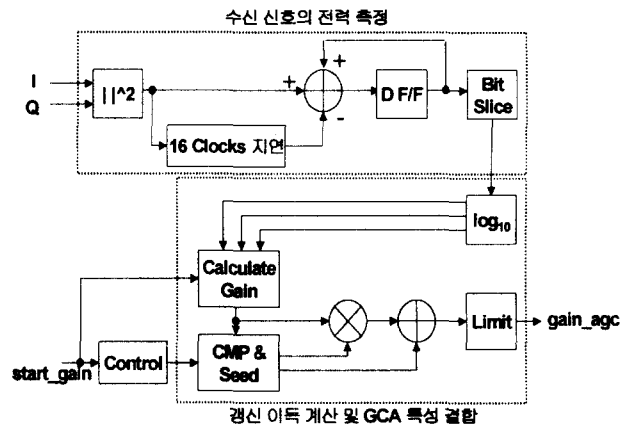
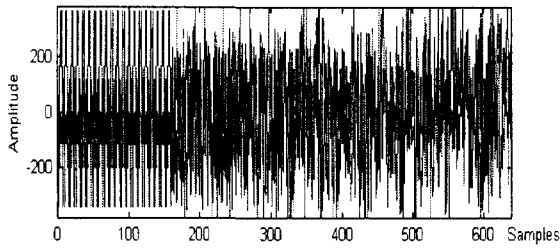


그림 7. 디지털 자동 이득 제어기의 블록도

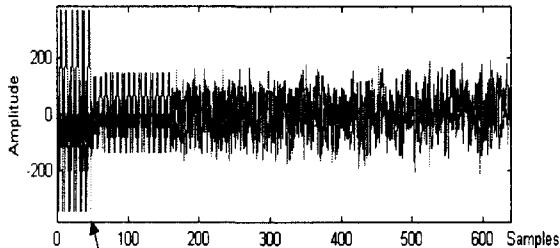
### IV. 시뮬레이션 결과

그림 8은 제안한 디지털 자동 이득 제어기에 의해 생성된 제어 값을 GCA의 이득 제어 값으로 사용하였을 경우의 Matlab 시뮬레이션 결과이다. 그림 8(a)는 이득 제어 값을 갱신하지 않은 경우이고, 그림 8(b)는 이득 제어 값을 갱신한 경우 수신기에 입력 되는 신호를 나타낸다. 그림 8(b)에서 초기에는 GCA의 초기 증폭 이득에 의해 증폭되어 입력되고, 이득 제어가 수행된 시점부터는 신호의 크기가 제어되어 입력됨을 알 수 있다.

1) Synopsys S/W는 IDEC을 통하여 지원받았음.



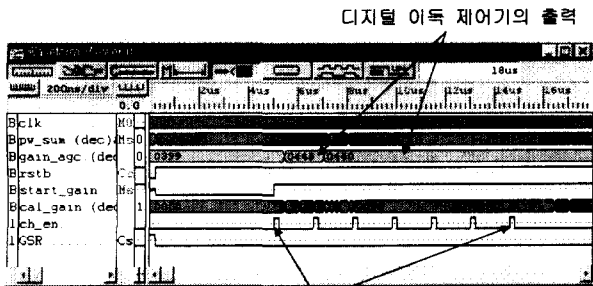
(a) 이득 제어가 수행되지 않은 경우의 수신기 입력 신호



(b) 이득 제어가 수행된 경우 수신기 입력 신호

그림 8. 디지털 자동 이득 제어기의 Simulation 결과

그림 9는 VHDL로 설계된 디지털 자동 이득 제어기를 Xilinx Tool을 이용하여 Timing Simulation을 수행한 결과이다. 7회의 반복 갱신을 위한 신호와 제어 값이 올바르게 출력됨을 알 수 있다.



이득 갱신 시점

그림 9. Xilinx Timing Simulation 결과

## V. 결론

본 논문에서 제안한 디지털 자동 이득 제어기는 GCA의 제어 값을 구하기 위해 부분 선형 근사 방법으로 사용하여, ROM의 기능을 논리회로로 구현하였기 때문에 하드웨어의 부담을 줄였다. 또한 이득을 추정하고 제어 값을 결정하는 모든 처리 과정을 디지털 논리회로로 설계하였으며, 최대 동작 주파수가 IEEE 802.11a의 고속 무선 LAN에서 요구하는 20MHz 동작속도보다 빠른 31.53MHz의 동작속도가 보장되기에 고속 무선 LAN의 다른 기능과 함께 하나의 칩으로 구현할 수 있다.

## REFERENCES

- [1] 김재석, 조용수, 조중휘, 이동통신용 모뎀의 VLSI 설계, 대영사 2001.
- [2] R.V. Nee and R. Prasad, *OFDM Wireless Multimedia Communications*, Artech House, 1999.
- [3] IEEE Std 802.11a High-speed Physical Layer in the 5GHz Band, 1999.