

FPGA로 설계한 신호경로제어스위치

이 상 훈*, 김 성 진

경남대학교 전기전자공학부

A Signal Path Control Switch Using FPGA

Sang-Hoon Lee*, Seong-Jeen Kim

Div. of Electrical & Electronic Engineering, Kyungnam University

sanghoon@kyungnam.ac.kr, sjk1216@kyungnam.ac.kr

ABSTRACT

A signal path control switch has been designed and implemented with AT&T 0.5 μ m CMOS ORCA FPGA. This device controls the path of digital signals in SDH-based transmission system. The proposed switch is suitable for self-healing operation which protects against transmission network failure. The self-healing operation of the switch is effectively done by the reconfigurable information stored in the registers of the switch. This device consists of eight subparts such as west-east transmitting parts, west-east receiving parts, add-drop control parts, AIS control part, and CPU interface part. The device is capable to a ring network as well as a linear network.

I. 서론

ITU-T 권고안[1-2]에 따른 SDH (Synchronous Digital Hierarchy) 광전송시스템은 대용량의 정보를 초고속으로 전송할 수 있기 때문에 초고속 국가전송망의 하부구조 역할을 한다. 그러나 전송시스템이나 광선로 상에 장애가 발생할 때는 대용량의 데이터를 장시간 잃어버리기 때문에 이에 대한 연구들이 행해져 왔다[3-4]. 이러한 망 장애에 대한 대책으로는 ADM(add-drop multiplexer) 광전송시스템들로 구성되는 자기치유링(self-healing ring)을 구축함으로써 전송망의 생존율을 향상시킬 수 있다. 이는 전송망을 링 구조로 구축하여 전송되는 데이터의 예비경로를 마련함으로써 전송로 중 어느 한곳의 결함 발생 시 다른 경로를 통해서 전송시킴으로써 불통된 서비스를 자동적으로 복구시켜 준다. 따라서 ADM 광전송 시스템에 자기치유동작이 가능한 스위치 회로의 도입이 요구

된다. 본 논문에서는 선형 전송망과 환형 전송망의 하나인 단방향 링(unidirectional ring)의 구조에 적합하고 전송로 상에 장애가 발생할 때 데이터 복구가 될 수 있는 구조를 갖는 스위치 소자를 제안하고 이를 AT&T ORCA FPGA로 설계하였다.

II. 단방향 경로 스위칭 링

그림1은 TM(terminal multiplexer)과 증계기, ADM 등으로 구성된 선형 전송망을 보여준다. 선형 전송망은 재난 등으로 인해 통신 전송로인 광선로가 물리적으로 절단되는 사고가 발생할 때 대용량 데이터의 생존을 측면에서 취약한 구조를 갖는다. 즉, 그림에서와 같이 노드 A와 B간 선로가 절단될 때 A와 B, C, D간의 데이터 전송은 대안의 통신경로가 없기 때문에 불가능한 상황이다. 선형 전송망의 선로 보완책은 주로 또 하나의 광선로를 동일 케이블 내에 이중화하는 1+1 dedicated protection이나 하나 또는 여러 개(m개)의 예비 광선로가 n개의 운용 광선로를 백업하는 1(혹은m):n(단, n>m) shared protection을 사용하고 있다. 그러나 선형 전송망은 별도의 다른 경로의 전송로를 마련하지 않은 한 예비 광선로를 포함한 선로장애 시 데이터 생존율을 높일 수 없다. 이에 비해서 자기치유링은 페루우프를 형성하는 노드들로 구축된다. 이 때 각 노드들은 이중방식(duplex)으로 두 개의 인접노드들과 연결되어 있다. 자기치유링은 넓은 대역폭을 제공하며 망 장애 발생 시 손실된 서비스를 즉시 복구할 수 있을 뿐만 아니라 특정 선로가 과부하 시 우회 회선의 제공이 용이하고,

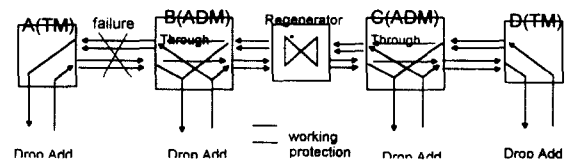


그림 1. 선형 전송망

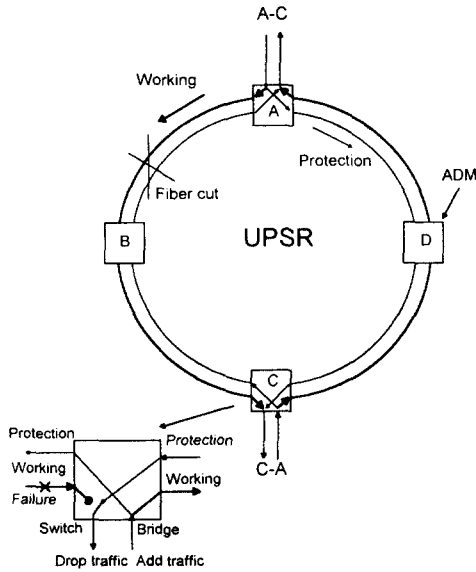


그림 2. 단방향 경로 스위칭 링의 자기치유동작

망의 재구성이 쉬우며, 서비스를 중단하지 않고 시설의 교체 및 전송 노드의 변경을 할 수 있다. 가장 단순한 형태의 자기치유링인 단방향 경로 스위칭 링(unidirectional path switched ring)은 링으로 유입되는 add traffic과 링으로부터 분기되는 drop traffic이 링을 따라서 한쪽방향으로만 진행한다. 그림2는 단방향 경로 스위칭 링의 자기치유동작을 보여준다. 노드 A와 노드 C 사이에서 서로 송신되는 운용 트래픽들은 먼저 운용 광선로를 따라 각 노드에서 같은 방향으로 전송되나 목적지에서는 서로 다른 경로를 거쳐서 도착한다. 다음으로 예비 광선로를 통해서 전달되는 예비 트래픽들은 운용 광선로에서의 정보와 동일한 복사본이지만 반대 방향으로 전달된다. 따라서 송신 노드에서는 동일한 정보를 서로 다른 방향으로 보내므로 '1+1 protection' 혹은 'dual-fed'로 동작하고 수신 노드에서는 운용선로와 예비선로의 서로 다른 방향으로 전달되어 온 동일한 신호 중 품질이 양호한 것을 선택한다. 자기치유동작의 일례로서 노드 A와 C간 통신 중 노드 A와 노드 B간 광선로 절단이 발생하면 노드 C에 수신되는 신호는 경로복구를 위해 노드 D를 경유하여 들어오는 예비 채널로 경로 스위칭 된다. 노드 A, C, D의 경우도 마찬가지이다. 따라서 각 노드는 광선로 절단에도 불구하고 영향을 받지 않는다. 그러나 단방향 경로 스위칭 링은 광선로 절단 시 각 노드에서의 링 스위칭 루우프백 기능이 없기 때문에 더 이상 링으로서의 토폴로지는 유지하지 못하고 선형 전송망 형태로 바뀌어서 계속 서비스하게 된다.

III. 신호 경로 제어 스위치

1. ORCA FPGA

설계에 사용된 FPGA는 표1과 같이 AT&T사의 ORCA

표 1. FPGA 스위치 소자의 특성

| Item | Value |
|------------|----------------------------|
| Input | 3 groups(24-ch/group) |
| Output | 3 groups(24-ch/group) |
| Data rate | 51.84 Mb/s |
| Throughput | 1.25 Gb/s |
| Technology | 0.5 μ m CMOS (3-metal) |
| Gate size | 5,000 gates |
| Package | 240 pin PQFP |
| Device | ATT2C15-3S240 |

(Optimized Reconfigurable Cell Array)로 크게 PLC(Programmable Logic Cell)과 PIC(Programmable Interface Cell)의 두 부분의 셀블럭으로 구성된다. 그 특징은 다음과 같다.

- o SRAM based FPGA
- o 12000 - 26000 usable gate
- o ~ 384 usable I/O
- o 0.5 μ m CMOS technology(triple metal)
- o 4 16bit look-up table and 4 latches/FFs per PLC
- o TTL or CMOS compatible
- o 6 or 12mA sink / 3 or 6mA source
- o nibble-oriented architecture

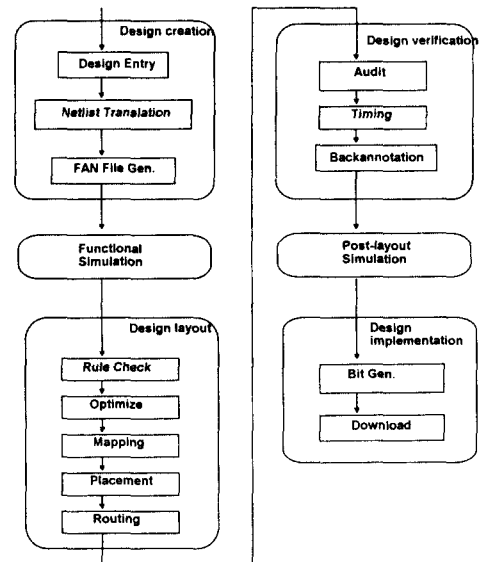


그림 3. FPGA design steps

아울러 설계 과정은 먼저 Viewlogic과 ORCA Library로 회로를 설계하고 ODS(ORCA Development System)를 이용하여 설계된 회로를 검증하고 시뮬레이션 한 후 최종 다운로드 화일을 생성하였다. 그 과정은 그림3에 나타내었다. 그림4는 설계된 top-block의 회로도이다.

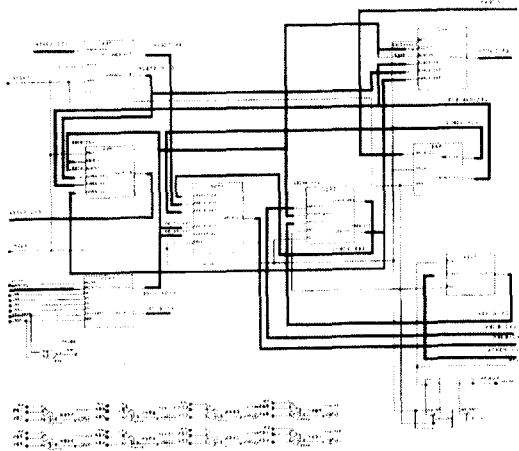


그림 4. 설계된 스위치 소자

2. 스위치 소자의 Interface

그림5는 본 논문에서 제안한 신호 경로 제어 스위치가 적용되는 ADM 전송시스템의 신호접속 블록도이다. ADM에 입·출력으로 접속되는 west, east 및 tributary 방향의 데이터 용량은 각각 48채널의 AU-3(51.84Mb/s) 신호로서 2.5Gb/s의 용량이다. west 및 east의 링크는 STM-16(2.5Gb/s) 신호로 접속되고 tributary의 링크는 48개의 DS-3(44.736Mb/s) 혹은 16개의 STM-1(155Mb/s) 또는 4개의 STM-4(622Mb/s) 신호들로 접속된다. 결국 경로 제어 스위치 소자를 하나의 칩으로 설계할 때 요구되는 예상 I/O의 수는 300핀 이상이 되므로 본 논문에서는 2개의 동일한 경로 제어 스위치 소자를 병렬구조로 사용하였다. 스위치 소자의 구조는 그림6에서와 같이 west-east 및 add-drop 제어부, AIS제어부 및 마이크로프로세서 접속부로 구성되어 선형 전송망뿐만 아니라 단방향 경로 스위칭 링의 자기치유동작을 가능하게 한다.

3. Add-Drop 및 West-East 제어부

24 채널의 AU-3 데이터가 각각 west, east 및 add, drop 신호의 형태로 각각 경로 제어 스위치 소자에 입·출력된다. 이들 입·출력되는 채널 데이터들의 경로들은 전송시스템이 전송망에 적용되는 구조에 따라서 시스템의 configuration data에 의해 물리적으로 라우팅 된다. 즉 전송시스템의 설정 모드가 선형 전송망 모드이거나 단방향 경로 스위칭 링 모드에 따라서 내부 채널 신호들의 연결이 달라지게 된다. 내부 신호들의 경로는 주로 멀티플렉서와 플립플롭들로 구성되는 회로에 의해 연결된다. 이들 내부 채널 신호들의 경로 제어 동작은 시스템 제어부인 마이크로 프로세서의 인터페이스에 의해 수행된다. 즉, 시스템 제어부의 8-bit 설정 데이터가 어드레스 신호와 칩선택신호, I/O 쓰기신호에 의해 여러 번에 걸쳐 선택제어신호의 형태로 레지스터에 저장된 후 마스터 신호에

의해 일시에 해당 채널들의 경로를 결정하게 된다.

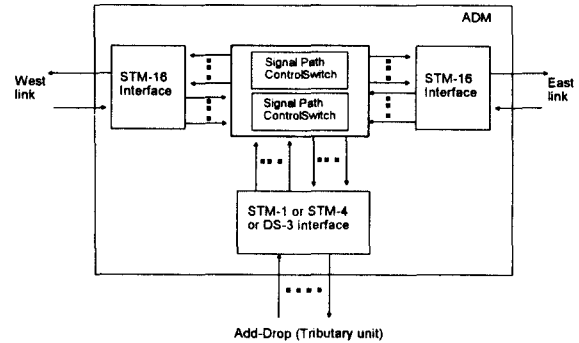


그림 5. ADM 전송시스템과의 신호 접속도

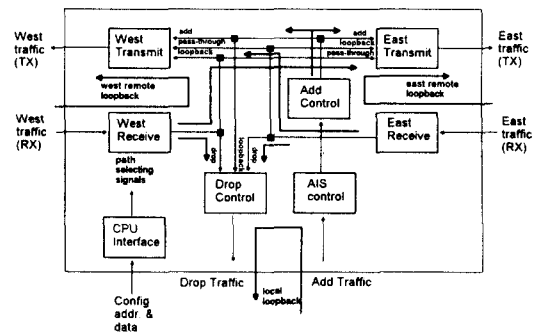


그림 6. 스위치 소자의 구성도

4. 마이크로프로세서 접속부

마이크로 프로세서 접속부는 전송시스템이 전송망에의 적용 구조에 따라 configuration data를 쓰고, 읽는 기능을 수행한다. 이를 위해서 마이크로 프로세서 접속부는 어드레스 디코더, 데이터 레지스터들로 구성된다. 전송선로 상에 장애가 발생했을 때 해당 신호들이 복구될 수 있도록 add, drop, pass through, loopback 등으로 스위치 소자의 설정 상태를 변경시켜 신호들의 새로운 경로를 제어한다. 이와 같은 신호들의 자기치유동작은 스위치 소자의 데이터 레지스터에 새로운 설정 데이터를 외부 데이터 버스를 통해 써넣음으로써 이루어진다. 데이터 레지스터의 재 설정 과정은 스위치 블록의 어드레스-데이터 맵에 의해 이루어진다.

5. 시뮬레이션 및 시험결과

시뮬레이션은 단계별로 pre-layout simulation과 post-layout simulation으로 나누어서 수행하였다. pre-layout simulation은 모든 gate들의 delay를 일정한 상태에서 수행한 것으로 설계한 회로들의 논리적인 기능만을 확인한다. post-layout simulation은 최종 설계된 회로를 optimize 시킨후 placement & routing 하여 delay factor를 추출하여 ViewSim 에서 수행하였다. 작성된 시뮬레이션 백터에 의해서 시뮬레이션을 수행한 결과 그림7과 같이 입·출력되는 모든 채널신호들은 시스

템 제어부의 제어 데이터에 의해서 잘 control됨을 얻을 수 있었고 AIS control, local loopback, remote loopback control 및 data register 부의 read, write도 잘 수행되었다.

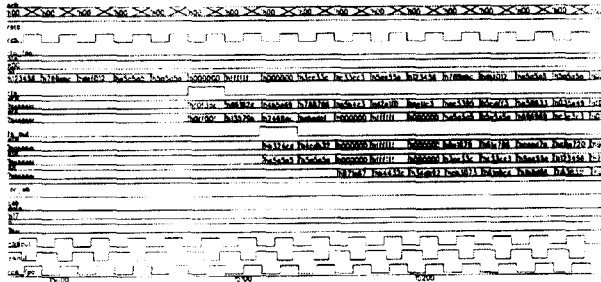


그림 7. post-layout 시뮬레이션 결과

설계된 소자의 성능을 평가하기 위하여 광전송시스템과 Anritsu사의 ME3401A DS-3 송·수신 계측기를 이용하여 그림8과 같이 시험장치를 구성하였다. DS-3 계측기로부터 출력되는 스크램블된 PRBS(pseudo random bit stream) 패턴의 DS-3 신호가 전송시스템의 종속부(TU)에서 AU-3

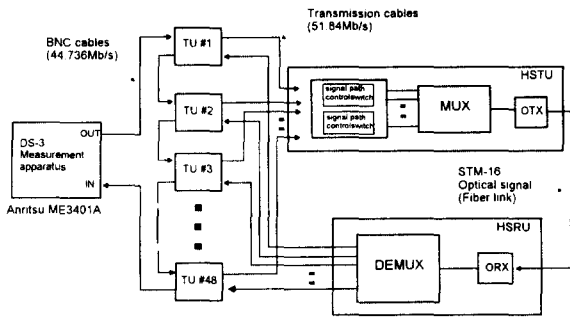
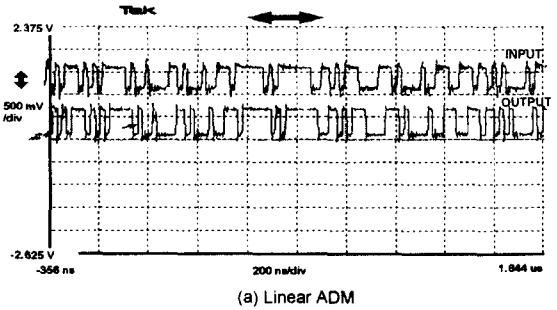


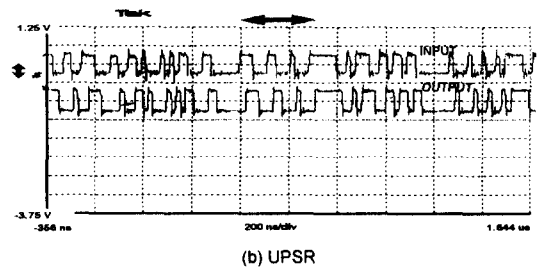
그림 8. 시험장치 구성도

신호로 변환된 후 스위치 소자에 하나의 입력 데이터 채널로 입력된다. 이후 다중화 과정을 거쳐 STM-16 신호가 생성되고 광 송신 모듈(OTX)에 의해 광 신호로 변환된 후 광케이블로 전송된다. 이 신호는 전송시스템내의 고속 신호 수신 유니트(HSRU)로 다시 입력된 후 광 수신 모듈(ORX)의 광·전 변환과 역다중화의 과정을 거쳐 AU-3 신호로 재 변환된 후 종속부를 통해 DS-3 신호로 다시 바뀐다. 이 신호를 DS-3 계측기에 연결하여 채널별로 스위치 소자의 입·출력 데이터를 측정 비교하였다. 임의의 특정 채널의 입·출력 데이터를 일정시간동안 측정하여 BER을 검사한 결과 $10^{-11} \sim 10^{-12}$ 정도로 양호한 특성을 얻었다. 그림9는 광선로 절단과 같은 장애가 발생 했다고 가정하여 스위치 소자의 설정 상태를 변경시킨 후 임의의 특정 채널에서의 입·출력 데이터를 Tektronix사의 DSA601A digital signal analyzer로 측정할 결

과의 일부이다.



(a) Linear ADM



(b) UPSR

그림 9. 스위치 소자의 입·출력 데이터

IV. 결론

SDH ADM 광전송시스템에 적용되는 디지털 종속 신호들의 경로를 제어하는 기능을 가진 스위치 소자를 AT&T ORCA FPGA를 사용하여 설계하였다. 이 소자는 광전송시스템의 east에서 입력되는 24 채널의 51.84Mbps와 west에서 입력되는 24 채널의 51.84Mbps 및 종속부에서 입력되는 24 채널의 51.84Mbps 신호들을 시스템 제어부의 configuration data에 의해서 각각 경로 스위칭 하여 east, west 및 종속부의 원하는 방향으로 출력 가능하게 한다. 이 소자는 광전송시스템이 선형 전송망 뿐 아니라 환형 전송망에도 적용 가능하게끔 하는 구조로 설계되었다.

참고 문헌

- [1] "Network Node Interface for the Synchronous Hierarchy," ITU-T, G.708
- [2] "Synchronous Multiplexing Structure," ITU-T, G.709
- [3] T. H. Wu et al., "Feasibility Study of a High-speed SONET Self-healing Ring Architecture in Future Interoffice Networks," IEEE Comm. Magazine, pp. 33-51, Nov., 1990
- [4] 이상훈, "단방향 경로스위칭 링을 위한 경로제어스위치소자", 한국통신학회논문지, pp.1245-1251, 1999