

## 다결정 실리콘 박막 트랜지스터에서 공정 파라미터에 따른 전기적 특성의 모델링

### Modeling of Electrical Characteristics in Poly Silicon Thin Film Transistor with Process Parameter

정은식, 최영식, 이용재

(Eun-Sik Jung, Young-Sik Choi, Yong-Jae Lee)

#### Abstract

In this paper, for modeling of electrical characteristics in Poly Silicon Thin Film Transistors with process parameters set up optimum values. So, the I-V characteristics of poly silicon TFT parameters are examined and simulated in terms of the variations in process parameter. And these results compared and analyzed simulation values with examination value. The simulation program for characteristic analysis used SUPREM IV for processing, Matlab for modeling by mathematics, and SPICE for electric characteristic of devices. Input parameter for simulation characteristics is like condition of device process sequence, these electric characteristic of  $I_D-V_D$ ,  $I_D-V_G$ , variations of grain size. The Gate oxide thickness of poly silicon are showed similar results between real device characteristics and simulation characteristics.

**Key Words** : SUPREM IV, MEDICE, process parameter

#### 1. 서론

최근의 TFT-LCD(Thin Film Transistor - Liquid Crystal Display)의 대화면/고화질 추세에 따른 디스플레이 소자에서 다결정 실리콘 박막 트랜지스터는 능동 행렬 액정 표시기의 응용부품 및 정적 메모리 소자의 부하 소자로 사용하는 것에 대하여 비정질 실리콘 박막 트랜지스터로 사용하는 것보다 많은 장점을 가지고 있다.<sup>[1][2]</sup> 비정질 실리콘을 이용한 박막 트랜지스터는 일반적으로 아주 작은 누설전류와 작은 동작전류를 갖는데, 화소 메모리 내의 데이터를 디스플레이 물질이 반응하기 위한 충분히 긴 시간동안

유지하는데 필요한 작은 누설전류와 적절한 동작전류를 갖도록 크기를 조절할 수 있기 때문에, 매트릭스 디스플레이에서 잘 동작할 수 있다. 그러나 액정 디스플레이의 면적이 점차 대형화되어 가면서 여러 가지 문제점이 생기기 시작하였다.<sup>[3][4]</sup> 이러한 문제를 해결하기 위해서 제시된 것이 충분한 전계 효과 이동도를 가지는 다결정 실리콘 박막 트랜지스터이다.

본 논문에서는 이 다결정 실리콘 박막 트랜지스터를 제작하기에 앞서 소자 제작에 따른 공정 파라미터들의 최적치를 설정하고, 이러한 조건이 타당한가를 시뮬레이션 과정에서 각 파라미터를 다양하게 변화시키면서 특성 변화 양상을 고찰하여 제시하였다.

동일대학교 전자공학과  
(부산시 진구 가야동 산24번지,  
Fax : 051-890-1674  
E-mail : jushinj@hanmail.net)

#### 2. 실험

본 논문에서 모델링을 통해 특성 분석을 수행하고

자 하는 다결정 실리콘 박막 트랜지스터의 구조는 현재 일반화 되어 있는 그림 1과 같은 구조를 선택 하였다.

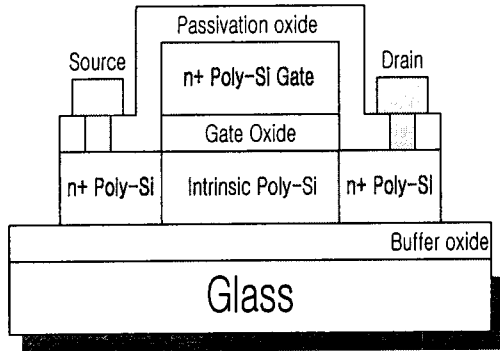


그림 1 N-채널 다결정 실리콘 박막 트랜지스터의 단면도

Fig. 1 Cross-sectional view of n-channel poly crystalline silicon thin film transistor

우선 그림 1에 보여진 소자의 구조를 살펴보면, 400Å 두께의 초기산화막(SiO<sub>2</sub>)을 대기압 화학기상 증착 (APCVD)법으로 유리기판 위에 증착한 다음, 고상결정화를 위해 600Å의 채널 박막은 비정질 실리콘 막을 470°C에서 Si<sub>2</sub>H<sub>6</sub>를 이용하여 저압 기상증착(LPCVD)방법으로 증착되었다. 이 채널 막은 470°C에서 비정질 상태로 증착되기 때문에 600°C의 N<sub>2</sub> 분위기에서 10시간 동안 어닐링되었다. 게이트 산화막(SiO<sub>2</sub>, 1000Å)과 게이트 다결정 실리콘막(1000Å)은 550°C에서 각각 저압 화학 기상 증착법으로 증착하였다. 게이트 패턴을 형성한 후에 소오스, 드레인 과 게이트를 형성하기 위하여 n-채널의 경우는 100 KeV의 에너지로 3×10<sup>15</sup> cm<sup>-2</sup>의 인(P)을 주입하였다. 700nm의 층간 산화막을 대기압 화학 기상증착법으로 성장시킨 다음, 주입된 이온을 여기 시키기 위해서 600°C, N<sub>2</sub>분위기에서 6시간 동안 열적 어닐링을 행하였다. 소자 성능을 향상시키기 위하여 순수한 수소 플라즈마 상태(70mWcm<sup>-2</sup>)에서 350°C, 4시간 동안 수소화 공정을 행하였다. 전극을 형성하기 위한 접촉 창을 사진 식각으로 열어 WSi<sub>2</sub>를 형성한 다음 800nm 두께의 Al-Si를 증착하였다. 마지막으로, 금속화 공정 후의 어닐링은 450°C에서 이루어졌다. 그리고 시뮬레이션에 사용되는 각각의 파라미터들의 종류와 시뮬레이션의 조건을 각각 표1과 표2에 각각 나타내었다. 이 파라미터들은 다결정 실리콘

박막 트랜지스터의 전기적 특성을 모델링 하기 위해 SUPREM(Standard University PProcess Engineering Models) IV를 통하여 그림 1의 다결정 실리콘 박막 트랜지스터의 공정 순서를 따라 구조 모델링 하여 나온 파라미터들이다.

표 1 시뮬레이션에 이용되는 파라미터 종류

Table 1. A kind of parameters using by simulation

파라미터	모델링을 위한 기호	단위	
그레인 크기	L <sub>g</sub>	LG	Å
불순물 농도	N <sub>D</sub>	ND	cm <sup>-3</sup>
트랩 농도	N <sub>t</sub>	NT	cm <sup>-2</sup>
채널 폭	W	W	μm
채널 길이	L	L	μm
다결정 실리콘 두께	t <sub>si</sub>	TPOLY	Å
게이트 전압	V <sub>G</sub>	VG	V
드레인 전압	V <sub>D</sub>	VD	V
드레인 전류	I <sub>D</sub>	ID	A
전계 효과 이동도	μ <sub>FE</sub>	MOB	cm <sup>2</sup> /V · sec
전위 장벽	E <sub>B</sub>	EB	eV
활성화 에너지	E <sub>A</sub>	EA	eV

표 2. 시뮬레이션 조건

Table 2. A conditions of simulation

게이트 전압 크기의 변화량 게이트 전압 : 4, 5, 6, 7V
드레인 전압 크기의 변화량 드레인 전압 : 0.1, 1, 2, 6V
다결정 실리콘 그레인 크기 크기 : 1μm
채널 길이와 폭 L=W=5μm
도핑 농도 변화량 N <sub>D</sub> =10 <sup>10</sup> ~10 <sup>20</sup>

본 연구에서는 이 파라미터들을 시뮬레이션 과정에 각각 다양하게 변화시키면서 특성 변화양상을 고찰하여 제시하고자 한다. 그러나 본 실험의 모델링 과정에서는 1차적인 단순화 과정을 고려해서, 드레인 전압이 핀치 오프 전압보다 커질 경우에 발생하는 충돌 이온화 현상에 의한 kink 효과에 대해서는 고려하지 않았다.<sup>[3]</sup> 의 그래서 다결정 실리콘 박막의 두께를 모든 바이어스 조건에 대해서 공핍이 완

전히 일어나서 kink 효과가 나타나지 않도록 2500Å 으로 설정하여 simulation을 수행하였다.

### 3 실험 결과

본 연구에서는 위 표 1에 나타난 각종 파라미터들 중에서 표 2와 같이 파라미터들을 변화시켰을 때, 다결정 실리콘 박막 트랜지스터의 전류-전압 특성이 변화되는 양상을 회로 분석용 SPICE 프로그램과 실제 예상 가능한 전류의 형성 메카니즘을 이용한 파라미터를 기초로 MATLAB 프로그램을 이용하여 특성을 시뮬레이션 하였다. 우선 MATLAB을 이용한 시뮬레이션을 위해 다결정 실리콘 박막 트랜지스터의 턴 온 전류식을 유도하기 위해 채널 근사 방법<sup>[4]</sup>을 이용하였는데, 전류식을 보면,

$$I_d = q \frac{W}{L} \mu_0 \cdot V_d \cdot \text{sat}(ND \cdot dch + NG) \exp\left[\frac{-EBdch}{kT(dch + \frac{NG}{ND})}\right]$$

$$NG = \frac{Cox(VG - Vth)}{q} \text{-----(1)}$$

$$\mu_0 = \frac{qLgVc}{kT} \text{-----(2)}$$

이다. 여기서  $V_{d,sat}$ 은 일반적인 MOSFET에서 드레인 전류가 포화되기 시작할 때의 드레인 전압 값으로서 그 값은  $VG - V_{th} = V_{d,sat}$ 인 관계가 있으며 식(1)은 선형 영역, 식(2)는 포화영역에서의 드레인 전류를 표시한다.

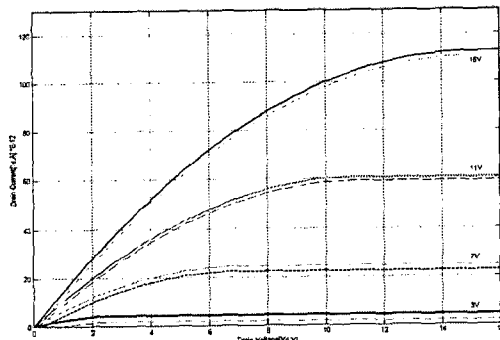


그림 2. MATLAB을 이용한 시뮬레이션 값과 실제 측정 값의 비교

Fig 2. Comparing measured results to simulated results using MATLAB

그림 2는 채널 길이가 10 $\mu$ m이고 폭이 5 $\mu$ m일 때의 드레인 전류를 MATLAB으로 시뮬레이션 한 결과 값과 실제 측정된 데이터를 서로 비교한 것으로 점선으로 표시된 값이 시뮬레이션 값으로 시뮬레이션과 실제 측정 값의 차이가 거의 나지 않음을 볼 수

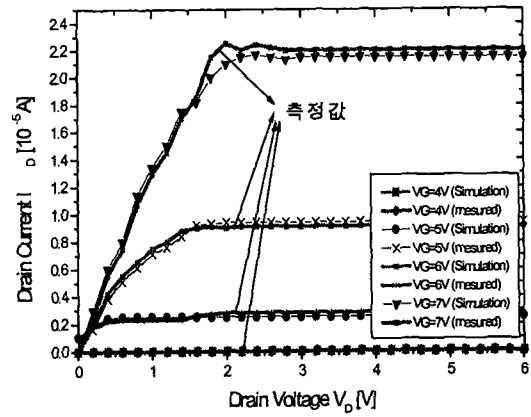


그림 3. 게이트 전압에 따른 ID-V<sub>D</sub> 특성

Fig 3. I<sub>D</sub>-V<sub>D</sub> characteristics according to Gate Voltage

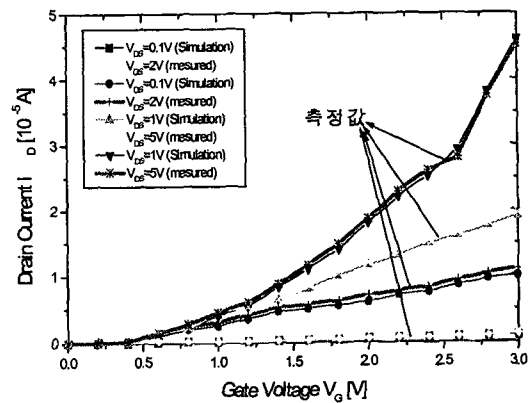


그림 4. 드레인 전압에 따른 ID-V<sub>G</sub> 특성

Fig 4. I<sub>D</sub>-V<sub>G</sub> characteristics according to Drain Voltage

그림 3,4는 파라미터 값을 불순물 농도는 2 $\times 10^{14}$ , 트랩 농도는 1 $\times 10^{12}$  채널 길이와 폭을 5 $\mu$ m로 하고 다결정 실리콘의 두께를 2500Å으로 하고 그레인 크기를 1 $\mu$ m로 고정하고 게이트 전압만 4, 5, 6, 7V로 변화시켰을 때와 드레인 전압을 0.1, 1, 2 6V로 변화시켰을 때 다결정 실리콘 박막 트랜지스터의 턴 온 전류의 크기와 변화 양상을 알아보기 위해서, ID-V<sub>D</sub> 특성 곡선과 ID-V<sub>G</sub> 특성 곡선의 변화를 나타낸 결과인데, 여기서 임계전압

값이 3.96V이므로 게이트 전압이 임계전압보다 작을 경우에는 드레인 전류가 흐르지 않으며, 4V 이상에서는 게이트 전압이 증가됨에 따라 드레인 전류가 증가되는 단결정 실리콘 MOSFET와 같은 양상을 나타내었다.

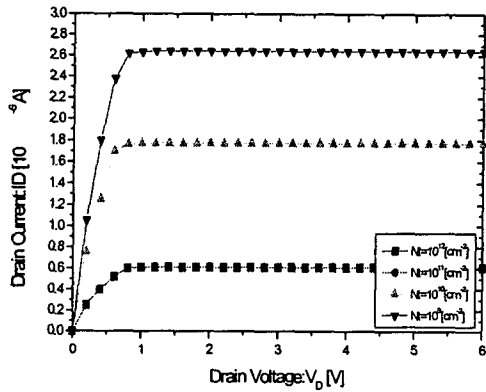


그림 5 트랩 농도에 따른  $I_D-V_D$ 의 변화 ( $V_D=V_G=5V$ )  
 Fig 5. Variations of  $I_D-V_D$  according to trap density  
 그림 5는 단일 트랩 분포로 가정한 트랩 농도가 변화할 때, 드레인 전류와 전압의 관계를 나타내고 있는데, 게이트 전압은 임계전압 이상인 5V로 설정하였다. 이때 트랩 농도가 감소하면, 드레인 전류가 증가하는 것을 볼 수 있는데, 만약 수소화 과정에서 트랩 농도를 더욱 감소시키면 이동도가 증가되므로 드레인 전류는 더욱 증가 할 것이라라는 것을 유추할 수 있다.

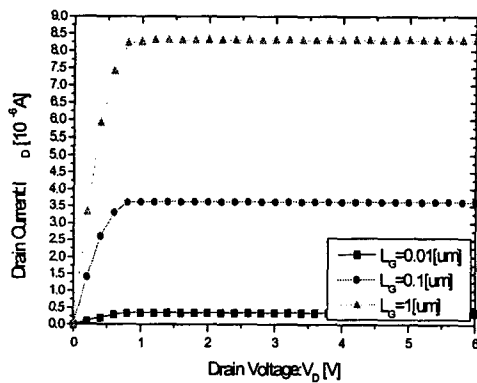


그림 6. 그레인 크기를 변화시킬 때,  $I_D-V_D$  특성  
 Fig 6.  $I_D-V_D$  characteristic when changing grain sizes  
 그림 6은 다결정 실리콘 박막에서 그레인 크기가 커질

수록 드레인 전류가 크게 증가하는 것을 볼 수 있는데, 이는 그레인의 크기가 증가되면 그레인 경계에 존재하는 트랩 농도 또한 자연스럽게 늘릴 수 있어서, 캐리어의 이동도를 훨씬 높일 수 있다. 또한 일정한 채널길이에 대해서 그레인 크기가 커질수록 이동도가 커지고, 임계전압이 낮아지며, 구동전류의 수준이 증가된다는 결과는 많은 연구에서 보고되고 있다.<sup>[6]</sup>

#### 4 결론

대면적 평판 표시기나 화상 처리용 센서회로와 같은 다양한 용도로 그 수요가 증가되고 있는 다결정 실리콘 박막 트랜지스터의 성능 개선을 목적으로 박막 트랜지스터의 특성 향상에 영향을 미치는 파라미터들을 공정 조건에 따라 분석하고 그 결과를 토대로 전기 전도 메커니즘을 모델링 하여, 턴 온 전류를 증가시키기 위한 방안을 제시하고자 하였다. 실제 시뮬레이션 한 결과 임계전압은 3.96V로서 기존의 다결정 실리콘 박막 트랜지스터에서 얻어지던 10V이상의 값과 비교하면 상당히 개선된 결과를 얻을 수 있었다. 또한, 이와 같이 다결정 실리콘 박막 트랜지스터에 대한 전기적 특성의 모델링을 통해 실제 제작에 활용한다면, 한차원 높은 소자의 제작이 가능 할 것으로 판단된다.

#### 참고 문헌

- [1] Do-Hyun Baek, Yong-Jae Lee, "Stress-Bias Effect on Poly-Si TFT's of Glass Substrate", ITC-CSCC2000, Vol.2, pp. 933-936, 2000
- [2] B.E Young, R.Young " Cost and Yield Model for comparing a-Si and Poly-Si Displays", Proceedings of 1998 SID ISDTP, 1998
- [3] Jean-Pierre Colinge, Silicon-on-Insulator Technology : Materials to VLSI, (KAP, 1991), Chapter 5
- [4] M.Shur, Physics of Semiconductor Devices, (Prentice-Hall, 1990), Chapter 4
- [5] K. Ono et.al, "Analysis of Current-Voltage Characteristics of Low-Temperature-Processed Polysilicon Thin-Film Transistor", IEEE Trans. Electron Devices, vol. ED-39, pp.792-801, 1992
- [6] N. Yamauchi et.al "Polysilicon Thin-Film Transistors with Channel Length and Width Comparable to or Smaller than Grain Size of the Thin Film", IEEE Trans. Electron Devices, vol.ED-38, pp.55-59, 1991