

4H-SiC Recessed-gate MESFET의 DC특성 모델링 연구

Study on DC Analysis of 4H-SiC Recessed-Gate MESFETs using modeling tools

박승욱, 강수창, 박재영, 신무환

(Seung-Wook Park, Soo-Chang Kang, Jae-Young Park, Moo-Whan Shin)

Abstract

In this paper, the current-voltage characteristics of a 4H-SiC MESFET is simulated by using the Atlas Simulation tool. we are able to use the simulator to extract more information about the new material 4H-SiC, including the mobility, velocity-field Curve and the Schottky barrier height. We have enabled and used the new simulator to investigate breakdown Voltage and thus predict operation limitations of 4H-SiC device. Modeling results indicate that the Breakdown Voltage is 197 V and Current is 100 mA

Key Words : Wide band-gap Semiconductor, Schottky Contact, MESFET, Workfunction

1. 서 론

SiC 반도체는 일반적으로 사용되어지고 있는 Si(1.1 eV)과 GaAs(1.43 eV) 같은 반도체와 비교할 때 넓은 밴드갭(2.86 ~ 3.26 eV)을 가지고 있어 밴드갭을 이용한 특성 조작성이 용이하고, 4×10^6 V/cm의 높은 항복시 전기장의 세기와 2×10^7 cm/sec의 높은 전자 포화 속도, 그리고 4.9 W/cm-K의 높은 열전도도 값 때문에 고전력·고주파 작동에 매우 유망한 재료임을 나타낸다. 또한 우수한 화학적 안정성에 의해 열악한 환경에서 작동할 수 있는 반도체 소자용 재료로서도 각광받고 있다. 현재까지 SiC poly type중 6H가 주요 관심의 대상이었지만 6H-SiC의 낮은 이동도 값에 의해 (1×10^{17} /cm³에서 240 cm²/v·sec) 소자의 전류 전압 특성에 한계가 있었다[9]. 하지만 최근 관심을 받는 4H-SiC는 이동도 값이 500cm²/v·sec 정도

로 6H-SiC 값의 2배에 이르러 많은 관심의 대상이 되고 있다[2]. 특히 고출력 소자로서 SiC MESFET소자는 제작시 공정상 저온에서 전극 접합이 가능하고 채널 저항이 적으며 전력 소자인 경우 금속 쇼트키접합이 방열판으로 작용하는 등의 장점을 가지고 있어 SiC / SiO₂의 계면이 Si / SiO₂ 계면에 비해서 불안한 MOSFET 보다 MESFET 소자의 연구가 활발히 진행되고 있다. 본 연구는 4H-SiC의 물리적 변수 추출을 통하여 MESFET 소자 제작 시 추정되는 정확한 전류 전압 특성을 예측하는 모델링 확보를 목적으로 하였으며 각각의 수행 변수 등을 기반으로 이동도 모델 및 wafer상에 존재하는 결함이 소자 상에서 이끄는 trap 및 incomplete ionization등의 영향에 대하여 분석하였다.

2. 모델링

그림 1은 모델링 한 리세스 된 4H-SiC MESFET의 구조를 나타낸다. 게이트 금속으로는 Au를 사용하였고 일함수와 전자 친화도 값을 이용하여 식 (1)에 의하여 Schottky

명지대학교 세라믹 공학과
(용인시 남동 산 38-2,
Fax : 031-330-6457
E-mail:swpark@mju.ac.kr)

barrier height 값을 결정하였다.

$$\phi_s = \text{affinity} + \frac{E_g}{2q} + \frac{kT_L}{2q} \ln\left(\frac{N_c}{N_v}\right) - \text{workfun} + V_{\text{applied}} \quad (1)$$

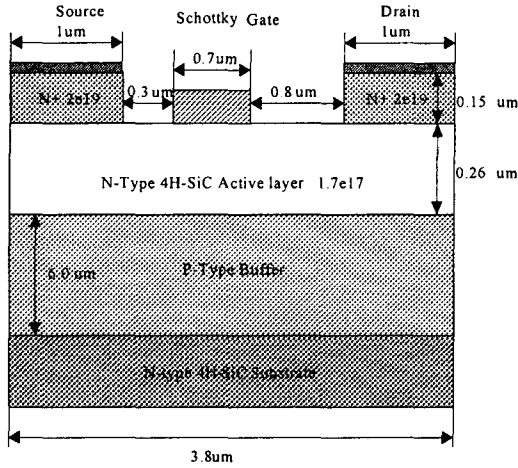


그림 1. 4H-SiC MESFET 게이트 길이=0.7 μm 소스-게이트 거리=0.3 μm 게이트-드레인 거리=0.8 μm, 게이트 폭=332 μm, 게이트 금속=Au, 채널 도핑=1.7×10¹⁷ /cm³

Fig. 1. 4H-SiC MESFET gate length=0.7 μm source-gate space=0.3 μm, gate-drain space=0.8 μm width=332 μm, gate metal=Au, Active layer doping=1.7×10¹⁷ /cm³

위 식의 N_c , N_v 는 conduction · valence band의 상태 밀도로 4H-SiC의 유효질량 값인 $m_c=0.76m_0$, $m_v=1.20m_0$ 는 S. M. SZE에 의해 정의된 식을 이용하였다[1].

저전계 이동도 모델로는 Caughey-Thomas model과 fixed 이동도 모델을 사용하였고 고전계 이동도 모델로는 field dependent 이동도 모델을 사용하여 소자의 전류 전압특성을 분석하였다.

다음의 식 (2)는 4H-SiC 저전계 영역에서의 Caughey-Thomas model을 상온에서 사용할 수 있게 온도에 독립적인 모델로 식을 변환시킨 것이다 [1][3][4].

$$\mu_p, \mu_n = \mu_{\min}^{n,p} + \frac{\mu}{1 + \left(\frac{N_D + N_A}{N_{n,p}}\right)^{\gamma_{n,p}}} \quad (2)$$

표 1은 Caughey-Thomas model에서 적용시킨 이동도 변수이다.

표 1. 4H-SiC Caughey-Thomas model 모델링 변수

Table. 1. 4H-SiC Caughey-Thomas model parameter for DC modeling

4H(electron)	4H(hole)
$\mu_n^s = 460.0 (cm/V \cdot S)$	$\mu_p^s = 108.1 (cm/V \cdot S)$
$\mu_n^{\min} = 0.0 (cm/V \cdot S)$	$\mu_p^{\min} = 15.9 (cm/V \cdot S)$
$N_n^s = 1.94 \times 10^{17} (cm^{-3})$	$N_p^s = 1.76 \times 10^{19} (cm^{-3})$
$v_n^s = 1.25 \times 10^7 (cm/s)$	$v_p^s = 1.0 \times 10^7 (cm/s)$
$\gamma_n^d = 0.61$	$\gamma_p^d = 0.34$
$\beta_n^e = 2$	$\beta_p^e = 2$

고전계에서는 저전계와는 달리 이동도는 산란에 의한 영향에 의해 이동도가 결정되는 것이 아니라 식 (3),(4)와 같이 전기장에 의해 이동도가 결정된다[3].

$$\mu_n^E (cm^2 V^{-1} s^{-1}) = \mu_n \left[\frac{1}{1 + E \mu_n / v_{sn}^2} \right]^b \quad (3)$$

$$\mu_p^E (cm^2 V^{-1} s^{-1}) = \mu_p \left[\frac{1}{1 + E \mu_p / v_{sp}^2} \right]^b \quad (4)$$

정확한 SiC에 대한 고전계 이동도 모델링을 실현하기 위하여 b=2를 대입하였다[1]. 본 모델링을 위하여 추출된 4H-SiC의 모델링 변수는 표 2와 같다.

하지만 전류 전압 특성에 영향을 미치는 것은 물리학적 특성뿐만 아니라 Wafer상에 존재하는 결함 및 표면에서 형성되는 trap등에 의해서도 소자의 특성은 좌우된다. 이러한 특성에 대한 모델링을 위하여 trap 및 incomplete ionization에 의한 deep donor (E_D)와 acceptor (E_A) 준위를 모델링 상에 적용하였다. deep donor (E_D)와 acceptor (E_A) 준위는 상온뿐만 아니라 고온에서도 incomplete ionization을 유도하며 식 (5),(6)과 같이 나타난다.

여기서 E_{Fn} , E_{Fp} 는 quasi-Fermi levels이다.[3]

$$I_D = \frac{N_D^+}{N_D} = \frac{1}{1 + 2 \exp[(E_{Fn} - E_D)/kT]} \quad (5)$$

$$I_A = \frac{N_A^-}{N_A} = \frac{1}{1 + 4 \exp[(E_A - E_{FP})/kT]} \quad (6)$$

표 2. 4H-SiC DC 모델링 변수

Table. 2. 4H-SiC parameter for DC modeling (fixed mobility model)

parameter	4H-SiC
Energy gap (300)	3.26eV
permittivity	9.7
electron affinity	4.17eV
low field mobility	460cm ² /Vs(300)
saturation velocity	1.25×10 ⁷ cm/s
gate work function	5.1
ni	1.4 × 10 ⁻⁹
Nc300	1.66 × 10 ¹⁹
Nv300	3.3 × 10 ¹⁹

이와 같은 모델을 바탕으로 소자의 한계를 결정하는 항복 전압 특성을 분석하기 위하여 MESFET 소자의 항복기구인 에벌랜치 항복을 고려하였으며 모델로는 selberherr 모델의 impact ionization 변수를 이용하였으며 사용된 모델의 식은 다음과 같다.

$$\alpha_n = 2.5 \times 10^6 \exp\left(\frac{-1.48 \times 10^7}{|E|}\right) \quad (7)$$

$$\alpha_p = 2.5 \times 10^6 \exp\left(\frac{-1.48 \times 10^7}{|E|}\right) \quad (8)$$

여기서 전자와 홀의 전류 밀도는 각각 ionization rate이며 α_n, α_p 에 따른다.[5]

3. 결과 및 고찰

그림 2는 본 연구에서 적용한 이동도 모델에 따라 $V_g=0$ V 일 때 소자의 전류 전압 특성 곡선이다. 이 중 Caughey-Thomas model과 Trap을 적용하여 모델링 하여 모델링 한 결과와 Caughey-Thomas model와 incomplete ionization을 적용하여 모델링 한 결과에서 전류 전압 곡선이 실험 결과와 매우 잘 일치하는 것을 확인 할 수 있었다.

SiC는 wafer는 성장이 까다롭고 성장 후 micro pipe와 같은 결함이 상시 존재하여 소자의 물성에

많은 영향을 끼친다는 것은 잘 알려져 있는 사실이다.

그러므로 SiC Wafer 상에서 존재하는 이러한 결함 등이 소자 내에서 Trap으로 작용하거나 incomplete ionization을 이끌어 결함이 없는 완벽한 wafer로 가정하여 모델링 하는 것보다 어느 정도의 trap이나 incomplete ionization을 고려하여 소자 특성을 모델링 하는 것이 그림 2에서 본 것과 같이 소자의 전류-전압 특성에 보다 잘 부합하는 것을 볼 수 있었다

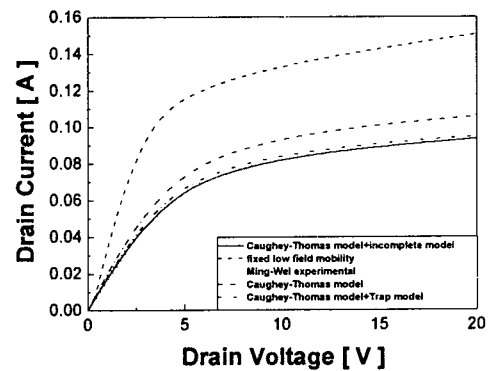


그림 2. 모델 변화에 따른 전류 전압 변화 ($V_g=0$ V)

Fig. 2. IV of SiC MESFET using structure of Ming-wei experimental. I-V as function of mobility Models. ($V_g=0$ V)

논문 등에는 incomplete ionization에 대한 donor level이 52.1 meV 와 9.81 meV 정도이며 acceptor level은 0.191 eV 정도라고 밝혀져 있다[3]. 본 연구에서는 소자의 결함에 의한 incomplete ionization을 고려하여 Ming wei의 실험 결과와 비교하였다.[1] 모델링 결과와 실제 실험 결과는 그림 3에서 보는 것과 같이 매우 잘 일치하였고, V_T 역시 Ming wei의 실험 결과와 같은 $V_T=-11$ V 정도로 확인되었으며 $V_g=0$ V일 때 약 $I_d=100$ mA로 나타났다.

fixed 이동도 모델에 비해 Caughey-Thomas model을 사용하였을 때 더욱 잘 일치하는 것은 도핑에 의한 산란이 매우 정확하게 예측되었으며 채널 층위의 cap-layer 층에서의 이동도와 버퍼와 채널 사이에서의 보상 층에서의 도핑 변화를 Caughey-Thomas

model을 사용함으로써 정확한 이동도가 모델링 상에 대입되었고 결합 등에 의한 기생 저항 성분 등이 잘 고려된 결과이다.

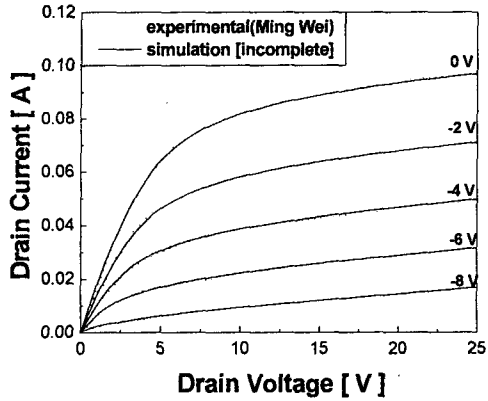


그림 3. Ming wei 의 실험 결과와 비교
 Fig. 3. IV of SiC MESFET using structure of Ming-wei experimental. Experimental results are Ming wei (P-type buffer= $1.4 \times 10^{15} / \text{cm}^2$)

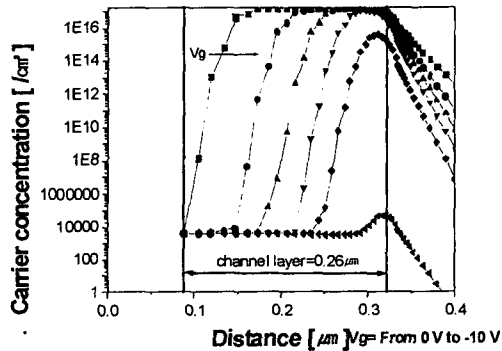


그림 4. 게이트 전압 변화에 따른 공핍 영역 변화 ($V_{ds}=0$ V)
 Fig. 4. Depletion region variation as a function of gate Voltage ($V_{ds}=0$ V)

V_T 에 관한 특성은 게이트에 전압 변화에 따른 공

핍 영역의 확장으로도 확인할 수 있다. 게이트 전압이 커짐에 따라 채널의 공핍 영역이 확장되어 실질 채널이 감소됨으로써 전류 전압 특성에서 드레인 전류 값이 또한 감소하기 때문이며 이러한 현상은 그림 4에서 정확히 확인 할 수 있었다. 게이트 전압 -10 V 정도에서 채널의 공핍이 거의 끝나가고 있음을 볼 수 있으며 이는 $V_T = -11$ V의 결과와 동일하였다.

그림 5는 소자의 항복 전압 특성을 분석한 결과이다. 이 모델은 4H-SiC 다이오드에 관한 ionization 변수를 논문 등을 통해 추출한 후 MESFET 소자에 적용한 결과이다. MESFET 소자에서는 애벌랜치 ionization에 의하여 소자의 항복 전압이 결정된다. 모델링 결과 항복전압은 197 V 정도로 나타났다.

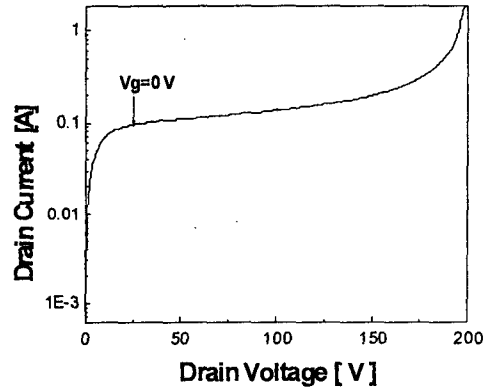


그림 5. $V_g=0$ V일 때의 항복 전압 특성
 Fig. 5. Breakdown characteristic of SiC MESFET ($V_g=0$ V)

4. 결론

본 연구에서는 고출력 고주파 4H-SiC MESFET 제작을 위한 예측성 및 재현성 있는 소자 모델링을 확보하기 위하여 소자의 전류 전압 특성을 이동도 모델 변화와 trap 및 incomplete ionization 등을 고려한 모델을 적용하여 모델링 하였다. 모델링을 위한 이동도 모델 적용 결과 fixed 이동도 모델을 이용하는 것보다 Caughey-Thomas model을 적용하는 것이 실제 소자와 knee 전압 및 I_{ds} 특성에 대해 더욱 잘 부합 되는 것을 확인할 수 있었

다. SiC 소자의 제작을 위한 wafer 상에 존재하는 결함은 trap이나 incomplete ionization을 이끌어 전류 전압 특성에 영향을 준다는 가정하에 모델링한 결과를 Ming wei 실험과 비교한 결과 knee 전압 5 V, V_T 전압 -11 V 및 전류-전압 특성 ($I_{ds} = 100$ mA)로 매우 잘 일치하는 결과를 얻을 수 있었다[1]. 이를 통하여 SiC에 존재하는 결함이 소자의 전류 전압 특성에 매우 큰 영향을 일으키며 모델링 시 이러한 결함 등을 고려하는 것이 매우 중요한 변수임을 입증하였다. 본 모델링을 통하여 추출된 변수 및 모델들은 4H-SiC 소자의 특성 분석 등에 매우 유용하게 사용될 것을 기대된다.

감사의 글

참고 문헌

- [1] Ming wei Huang, Neil Goldman, Chien-Hwa Chang, Isaak Mayergoyz, James Mayergoyz, James McGarrity, Dwight Woolard. J. Appl. Phys. vol.84 (1998)
- [2] C.Codreanu, M.Avrăm, E.Carbunescu, E.Liescu, *Material science in semiconductor processing* 3 P.137-142 (2000)
- [3] J.Wang, W.B Williams, *Semicond. Sci. Technol.* Vol,14 (1999)
- [4] Alex Q, Huang, Bo Zhang, *Solid-State Electronic.* Vol.44.P.325-340 (2000)
- [5] F.Nallet, D.Planson, K.Isoird, M.L.Locattelli, J.P.Chante. *IEEE* (1999)
- [6] M.W.Shin, T.J.Kordas, R.J.Trew *Proceedings of 1995 International Symposium on Power Semiconductor Devices & ICs, Yokohama* (1995)
- [7] Rolf Jonsson, Qamar-ul Wahab, Staffan Rudner
- [8] Kevin F. Brennan, Bellotti, Maziar Farahmand, Joe Haralson II, P. Paul Ruden, John D. Albrecht, Agust Sutandi, *Solid-state Elec.* 44 p.195-204 (2000)
- [9] M. Lades, G. Wachuttka, *Solid-state Elec.* Vol.44P.359-368(2000)
- [10] W.Wesch, *Nuclear Instruments and Methods in Physics Research B* 116. P.305-321.(1996)
- [11] Alex Q.Hung, Bo Zhang, *Solid state elec.* Vol.44. P325-340(2000)
- [12] O.blanc, E.Chartier, C.Arnodo, C.Brylinski, *Diamond*

and Related Materials.Vol.6. P.1508-1511(1997)

- [13] A.Elford, P.A.Mawby. *Microelectronics Journal* Vol.30.P-527-534 (1998)