

## CMP 공정의 Defect 및 Scratch의 유형분석

### Analysis on the defect and scratch of Chemical Mechanical Polishing process

김형곤<sup>1</sup>, 김철복<sup>2</sup>, 김상용<sup>3</sup>, 이철인<sup>4</sup>, 김태형<sup>5</sup>, 장의구<sup>6</sup>, 서용진<sup>7</sup>  
(Hyung-Gon Kim<sup>1</sup>, Chul-Bok Kim<sup>2</sup>, Sang-Yong Kim<sup>3</sup>, Cheol-In Lee<sup>4</sup>, Tae-Hyung Kim<sup>5</sup>,  
Eui-Goo Chang<sup>6</sup>, Yong-Jin Seo<sup>7</sup>)

#### Abstract

Recently, STI process is getting attention as a necessary technology for making high density of semiconductor by devices isolation method. However, it does have various problems caused by CMP nprocess, such as torn oxide defects, nitride residues on oxide, damages of si active region, contaminations due to post-CMP cleaning, difficulty of accurate end point detection in CMP process, etc.

In this work, the various defects induced by CMP process was introduced and the above mentioned problems of CMP process was examined in detail. Finally, the guideline of future CMP process was presented to reduce the effects of these defects.

**Key Words** : CMP (Chemical Mechanical Polishing), STI(Shallow Trench Isolation), torn oxide defect, nitride residue, active region damage, metal bridge, stringer.

#### 1. 서 론

반도체 제조 공정이 고속화됨에 따라 회로 집적도가 급격히 증가하여 패턴이 더욱 미세화되고 있으며 interconnection을 위한 메탈(metal)층도 더욱 높아지고 있다[1]. 이러한 다층화로 인하여 최저층에서 고층으로 올라갈수록 단차가 점점 커지게 되어 DOF(Depth of Focus)를 넘게 되므로 미세 패턴 형성이 어려워 집적회로의 제조가 어려워지는 결과를 초래하였다. 이러한 문제를 해결하기 위해 단차를 없애고 표면을 평탄화 시킬 수 있는 공정이 차세대 집적회로로 필요하게 되어 광역 평탄화를 위한 CMP(Chemical Mechanical Polishing)

공정이 도입되었다[2]. CMP라고 하는 것은 어원에서 알 수 있듯 화학적, 기계적 연마에 의한 공정으로 웨이퍼를 회전시키는 캐리어와 연마 패드가 부착된 연마판, 연마제가 포함된 슬러리를 사용하여 일정한 압력을 캐리어에 걸어주고 연마판과 동시에 회전시켜서 웨이퍼의 표면을 평탄화하는 방법이다. 이러한 CMP 공정은 DRAM분야와 LOGIC분야에서 소자간의 연결 금속막과 연결 절연막, 그리고 PMD(Pre-Metal Dielectric)층[3]을 평탄화하는데 주로 사용되고 있다. 그러나 이러한 CMP 기술이 반도체 제조공정에 필수적인 공정으로 매우 유망한 기술임에는 틀림이 없으나, 장비를 사용함으로써 발생하는 문제점과 CMP 공정상 발생하는 문제점들을 수반하게 되었다. 이러한 문제점으로는 STI(Shallow Trench Isolation)-CMP 공정 후의 질화막 잔류물(Nitride Residue)과 산화막의 찢겨짐(Torn Oxide Defect)[4], 그리고 CMP 공정 후에 생성된 미립자의 제거를 위한 post-CMP 클리닝[5]등과 같은 문제점들이 있다.

본 논문에서는 이러한 CMP 공정상 발생하는

---

\* : 조선이공대학 전기과  
\*\* : 대불대학교 전기공학과  
(전남 영암 삼호 산호리 72,  
E-mail : syj@mail.daebul.ac.kr)  
\*\*\* : 아남반도체 (주) FAB 사업부  
\*\*\*\* : 안산공과대학 전기과  
\*\*\*\*\* : 여주대학 전기과  
\*\*\*\*\* : 중앙대학교 전자전기공학부

defect 및 scratch[6,7]의 유형들을 분석하고, STI-CMP 공정시 야기되는 각종 결함들에 대해 고찰함으로써 결함을 방지하여 이러한 문제점들을 해결함과 동시에, 향후 CMP 공정의 연구 방향을 제시하고자 한다.

## 2. 실험

본 실험에서 적용된 트랜치 공정은 APCVD (Atmospheric Pressure Chemical Vapor Deposition) 공정과 RIE(Reactive Ion Etching) etch back 공정을 거친 8인치 패턴 웨이퍼를 사용하여 STI 공정을 한 후, Reverse Moat Etch 공정을 하였다. CMP 연마 장치로는 그림1에 보인 산화막과 금속막의 평탄화가 가능한 IPEC 472 연마 장치를 사용하였다. 패드는 Rodel사의 IC 계열과 SuvaIV 패드를 사용하였고, 연마제인 슬러리(sulrry)는 cabot사의 SS계열을 사용하였으며, SRD(spin-rinse dryer)가 습식 공정 후 세정 및 건조 공정을 위해 사용되었다. 끝으로 웨이퍼 표면의 각종 결함들을 관찰하기 위해서 AIT(Advanced Inspection Tool) 현미경과 SEM을 이용하였다.

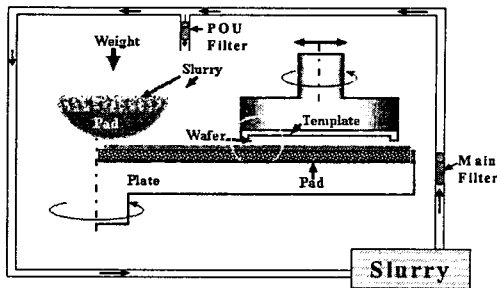


그림 1. CMP 공정 시스템의 개략도.  
Fig. 1. Schematic diagram of CMP processing system.

## 3. 결과 및 고찰

그림 2의 (a)와 (b)는 CMP 공정 후 패턴된 웨이퍼의 가장자리 및 칩 표면의 edge attack을 보인 것이다. 이 결함은 CMP 공정에서 자주 보이는 현상으로 육안으로도 충분히 구별할 수 있을 정도로 나타나며 한 개 또는 수 개의 edge attack은 연마된 웨이퍼의 가장자리에서 over-polishing에 의해 주로 발생하며, 이를 hot-spot라고 부른다. 그림

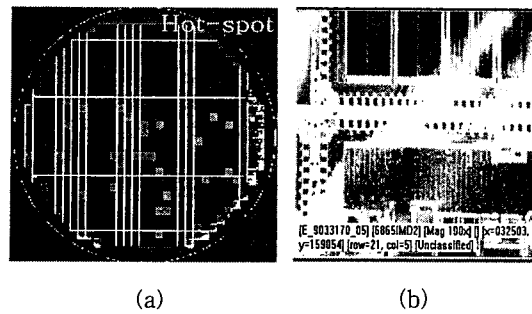


그림 2. 패턴된 웨이퍼의 가장자리와 칩 표면의 edge attack

Fig. 2. Edge attack of patterned wafer and chip surface

2(a)는AIT 현미경으로 관찰한 웨이퍼의 표면 사진이다. 검은색으로 표현된 곳은 무결함의 cell영역이고 하얗게 보이는 부분이 edge attack을 받아 결함이 발생한 영역이다. 또한 그림 2의 (b)에 보인 칩 표면 사진에서 알 수 있듯이 이러한 결함들은 금속 층 아래의 손상을 초래할 것으로 예측된다.

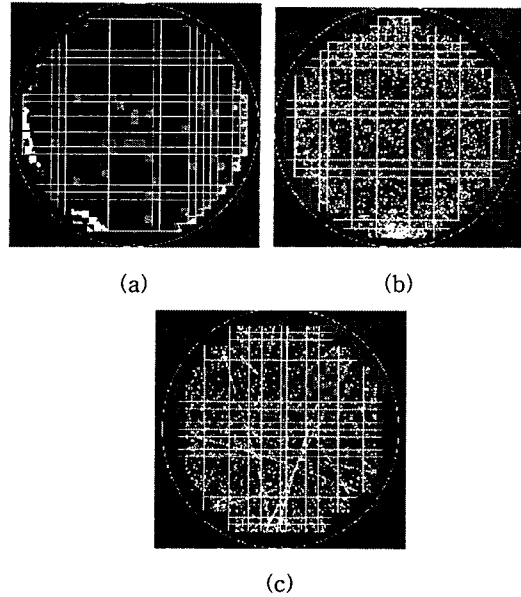


그림 3. 찢겨진 산화막의 결함 유형 (a) 가장자리형 (b) 전면형 (c) star형  
Fig. 3. Defect type of torn oxide (a) edge type (b) whole area type (c) star type

Torn oxide 결함은 moat 지역과 필드 지역의 경계지역에서 필드 위의 산화막이 뜯겨져 나가는 현상으로 그림 3은 각 결함들을 유형별로 나타낸 것이다. 그림 3의 (a)는 전형적인 torn oxide 유형으로 전체 발생의 80% 이상이 이에 해당되며 결함 밀도는 약 5%~10%정도이다. 대부분 dummy moat 지역에서 발생하며 cell 지역 침범 정도가 미약하여 소자 수율 측면에는 큰 영향을 주지 않는다. 그림 3의 (b)는 발생빈도가 그다지 높지는 않지만 edge형에 비해 필드지역 산화막이 뜯겨져 나가는 정도가 심하다. 결함 밀도는 10% 이상이며 액티브 지역에 발생하는 경우도 있어 소자 수율에 상당히 영향을 미친다. (c)는 (b)와 비슷한 양상으로 가장자리보다는 필드지역의 손상이 심하며, 발생지역이 규칙적이지 않고, 방향성을 가지고 있다. torn oxide는 scratch처럼 보이며 polishing 하는 동안 particle이 원인이 되어 발생하는 것으로 추정된다.

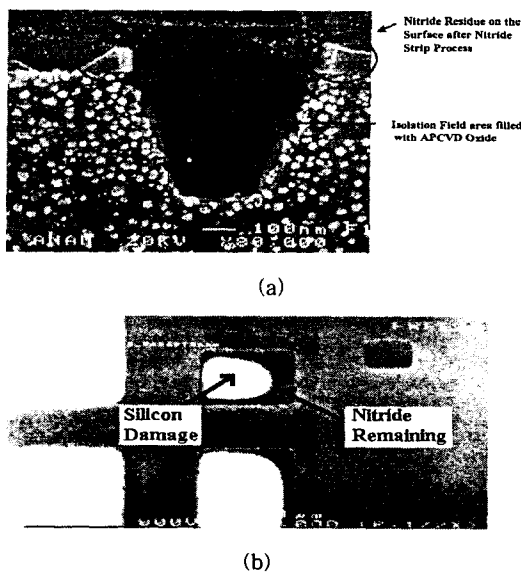


그림 4. 질화막 잔존물의 SEM 사진 (a) 모트 표면 위 (b) 손상된 산화막의 표면  
 Fig. 4. SEM photograph of nitride residue (a) on the moat surface (b) surface of damaged oxide

CMP 공정 진행 시 적절한 연마 정지점을 찾는 것이 중요한데, 질화막 위의 산화막을 충분히 연마하지 못하고 산화막이 잔존할 경우, 후속 공정인 질화막 식각 시 산화막이 capping 층으로 작용하

여 질화막 식각을 방해한다. 또한, 과도한 연마를 할 경우, 활성영역에 손상을 입히게 된다. 그림 4의 (a)는 질화막 스트립 공정 후의 모트 표면 위 질화막 잔존물의 수직 단면 SEM을 보인 것이다. STI 트랜치의 깊이가 4000 Å이고, 트랜치 영역은 APCVD 산화막으로 채워져 있으며, 질화막 잔존물이 남아 있는 것을 볼 수 있다. 그림 4의 (b)는 CMP 후의 웨이퍼 표면의 SEM 사진을 보인 것으로 뒤에서 설명할 산화막 손상과 질화막 잔류물이 뚜렷이 관찰되고 있다.

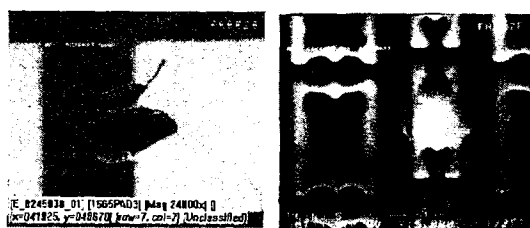


그림 5. CMP 공정으로 인하여 손상된 활성영역의 SEM 사진

Fig. 5. SEM photographs of damaged si active region due to CMP process.

그림 5는 CMP 공정 시 발생한 손상된 활성영역의 SEM 사진을 보인 것이다. 활성영역에 손상을 주는 요인으로서는 연마 균일도에 문제가 있는 경우, 슬러리가 응결되어 웨이퍼 표면을 연마하는 경우, 패턴 자체가 불안한 moat 구조를 갖고 있는 경우, 그밖에 소모성 부품들의 손상으로 인하여 웨이퍼에 많은 손상을 주기도 한다. CMP 공정 시 활성영역의 손상은 torn oxide와는 달리 발생 메커니즘이 틀린 defect로 아직 정확한 원인이 밝혀지지 않고 있다. 다만 하지박막의 불안정한 상태가 원인으로 작용하여 CMP에서 압력을 가할 때 발생한 것으로 추정된다. 이 결함을 SEM으로 분석한 결과 질화막 moat 아래 액티브 지역이 영향을 받아 소자에 막대한 영향을 줄 것으로 예상된다.

그림 6은 AIT 현미경으로 확대하여 본 웨이퍼의 표면 사진이다. 그림 6의 (a)는 생선뼈(fish bone) 모양으로 굽고 지나가는 마이크로 스크래치에 의한 금속 잔존물이 브리지 현상을 초래한다. 또한 그림 6(b)에서는 금속 배선 바로 옆에 형성된 침목(stringer) 현상으로, 이러한 결함들은 후속공정인 post-CMP 세정 공정 동안 갈라진 틈(crack)을 통해 케미컬들이 하부에 있는 금속 박막층으로

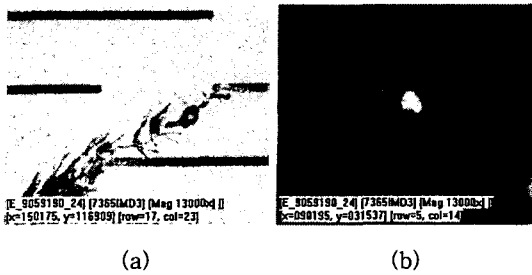


그림 6. AIT 현미경을 사용하여 확대한 웨이퍼 표면의 마이크로 스크래치 사진. (a) 금속 브릿지, (b) 침목.

Fig. 6. Micro-scratch photograph of wafer surface expanded using AIT microscope. (a) metal bridge, (b) stringer.

침투해 들어가 부식되는 등 활성영역에 악영향을 끼친다. 이러한 결함들이 발생하는 원인은 슬러리 공급 파이프 속에 정체되어 있던 슬러리들이 응고되거나 덩어리진 채로 공급되어 마이크로 스크래치를 유발한다. 이를 해결하기 위해 연마기 바로 앞단에 POU(point of use) 필터를 사용함으로써 어느 정도 개선된 효과를 얻을 수 있었다[6]. 이러한 방법으로 해결이 안 되는 미세한 슬러리 입자들은 탈이온수 고분사법(DIW-HSB)을 이용하면 쉽게 해결할 수 있다[7].

#### 4. 결론

지금까지 CMP 공정 시 발생하는 결함들의 유형 및 발생원인에 대해 분석해 보았다. 이러한 결함들을 방지하기 위해서는 여러 가지 방법이 있는데, CMP 공정 후 칩 표면에 나타나는 hot-spot나 edge peeling과 같은 edge attack은 DIW의 압력을 조절하여 해결할 수 있다. 또한 여기에 정제된 N<sub>2</sub> 가스를 첨가했을 경우 edge attack 현상을 획기적으로 감소시킬 수 있다. 덩어리진 슬러리의 유입으로 인한 결함 및 스크래치들은 CMP 장비의 앞쪽에 POU(point of use) 필터를 설치하여 응고된 슬러리 입자들을 여과시키는 방법이 있고, 이로써 해결이 안 되는 미세한 입자들을 위해 탈이온수 고분사법(DIW-HSB)을 이용한다면 이러한 문제점을 쉽게 해결할 수가 있다. 현재 본 연구실에서 이 해결방안을 병행하여 연구 중에 있다. 본 연구 결과를 요약하면 다음과 같다.

1. STI-Fill의 두께가 낮으면 트렌치 위의 예리한 산화막 모서리가 CMP 연마 동안 압력을 받아 뜯겨져 나가 산화막 결함이 증가할 것이므로 가능한 한 STI-Fill의 두께를 높게 하여 산화막 모서리가 안정적인 구조를 갖도록 한다.

2. 트렌치 깊이가 낮을수록, CMP 두께가 클수록 질화막 잔류물이 생성이 쉬운 반면에, 트렌치 깊이가 높으면 과도 연마에 의해 실리콘이 손상되기 쉽다.

3. 정확한 연마 목표를 찾기 위해 in-situ 연마 정지 시스템을 적용할 수 있는 공정구조를 확보하는 것이 급선무라 할 수 있다. 이를 실현하기 위하여 STI reverse moat 패턴 구조를 변경하여야 하고, 산화막 하부 층과의 연마 선택비가 우수한 연마 슬러리 개발이 필수적이다.

#### 감사의 글

본 논문은 2001년 정보통신부에서 지원하는 대학기초연구지원사업(과제번호:2001-185-3)으로 수행된 결과의 일부이며, 이에 감사 드립니다.

#### 참고 문헌

- [1]. William J. Patricot, et al., J. Electrochem. Soc., Vol. 138, pp. 555-561, June 1991.
- [2]. Douglas Webb, et al., Proc. VMIC, pp. 141-148, 1992.
- [3]. 서용진 외 5인, 한국전기전자재료학회 논문지, Vol. 12, No.2, pp. 111-117, 1999.
- [4]. 서용진, 정현상, 김상용, 이우선, 이강현, 장의구, 한국전기전자재료학회 논문지, Vol. 14, No. 1, pp. 1-5, 2001
- [5]. Yong-Jin Seo, Sung-Woo Park, So-Young Jeong, Woon-Shik Choi and Sang-Yong Kim, 2001 Proceedings 6th International Chemical-Mechanical Planarization for ULSI Multilevel Interconnection Conference (CMP-MIC), March 7-9, 2001, Santa Clara, CA, USA, pp. 287-290.
- [6]. 김철복, 김상용, 서용진, 한국전기전자재료학회 논문지, Vol. 14, No. 7, pp. 557-561, 2001.
- [7]. 박성우, 김상용, 서용진, 한국전기전자재료학회 논문지, Vol. 14, No. 9, pp. 707-713, 2001.