

STI CMP후 Topology에 따른 Gate Etch, Transistor 특성 변화

Property variation of transistor in Gate Etch Process versus topology of STI CMP

김상용*, 정현상**, 박민우***, 김창일****, 장의구****

(Sang-Yong Kim*, Hun-Sang Chung**, Min-Woo Park***, Chang-Il Kim****, Eui-Goo Chang****)

Abstract

Chemical Mechanical Polishing(CMP) of Shallow Trench Isolation(STI) structure in 0.18 μm semiconductor device fabrication is studied. CMP process is applied for the STI structure with and without reverse moat pattern and End Point Detection (EPD) method is tested. To optimize the transistor properties related metal 1 parameters, we studied the correlation between CMP thickness of STI using high selectivity slurry, DOE of gate etch recipe, and 1st metal DC values. Remaining thickness of STI CMP is proportional to the thickness of gate-etch process and this can affect to gate profile. As CMP thickness increased, the N-poly foot is deteriorated, and the P-Poly Noth is getting better. If CD (Critical Dimension) value is fixed at some point,, all IDS_N/P values are in inverse proportional to CMP thickness by reason of so called Profile Effect. Weve found out this phenomenon in all around DOE conditions of Gate etch process and we also could understand that it would not have any correlation effects between VT and CMP thickness in the range of POE 120 sec conditions. As CMP thickness increased by 100 Å, 3.2 μA of IDS_N is getting better in base 1 condition. In POE 50% condition, 1.7 μA is improved, and 0.7 μA is improved in step 2 condition. Wed like to set the control target of CD (critical dimension) in gate etch process which can affect Idsat, VT property versus STI topology decided by CMP thickness. We also would like to decide optimized thickness target of STI CMP throughout property comparison between conventional STI CMP with reverse moat process and newly introduced STI CMP using high selectivity slurry. And we studied the process conditions to reduce Gate Profile Skew of which source known as STI topology by evaluation of gate etch recipe versus STI CMP thickness.

Key Words : HSS, EOP(End of Point), POE(Poly Over Etch)

1. 서론

MOSFET 소자는 자체적으로는 격리되어 있으나 인접 소자와의 기생채널이 형성되지 않도록 하기 위하여 소자간 절연 분리를 해주어야 한다. 이를 위해 LOCOS(Local Oxidation of Silicon)[1] 공

정이 주로 사용되었으나 소자의 집적도가 향상되고 크기가 점점 감소되어짐에 따라 이를 대신할 새로운 소자 분리 방법이 필요하게 되었다. 이러한 고성능의 CMOS 기술을 위해 STI(Shallow Trench Isolation)[2] 공정을 이용하여 소자간의 간격을 줄일 수 있었고, 더 큰 집적 밀도(packing density), 채널 폭의 감소에 따른 문체점 해결 및 우수한 평탄화를 얻게 되었다. 초기의 STI 공정은 표면 평탄화를 위해 플라즈마 에치백(plasma etch-back) 공정을 수행하였으나 만족할 만한 평

* : 아남반도체(주) FAB
** : 조선대학교 전기공학과
*** : 경성대학교 재료공학과
**** : 중앙대학교 전기공학과

탄화를 얻지는 못하였다. 이후, CMP를 도입함으로써 우수한 연마 특성을 확보하게 되었고, 기존의 복잡한 reverse moat 공정을 적용할 필요 없이 바로 CMP를 진행하여 공정을 획기적으로 단순화시킬 수 있었으나, CMP 공정으로 인한 디싱(dishing)[3], 산화막의 찢겨짐[4], 질화막 잔류물 존재(nitride residue)[5], CMP 공정 후 세정을[6] 해야하는 등의 문제점을 수반하였다. 본 논문에서는 이러한 연마 특성상 문제점을 해결하기 위해 적용된 높은 선택비의 연마특성을 갖는 슬러리를 적용한 STI CMP 공정과 게이트 에칭 공정 조건에 대해 평가 하였다. 이는 소자가 고집적화 됨에 따라 산화막 두께가 매우 얇아지는 소자를 제조시 에치에 많은 영향을 준다. STI에서 기존의 리버스모트 STI 공정을 하지 않은 공정 단순화됨에 따라 많은 이점이 있겠지만 해결되어야할 문제도 있다. 특히 CMP후 후속 공정인 게이트 에칭 공정 얼마나 안정된 공정을 확보하느냐에 따라 소자 수율과 성능에 큰 영향을 미친다. 이에 본 논문에서는 게이트 에칭공정에서 2스텝 공정을 적용하여 얇은 산화막 조건에서도 안정된 패턴공정을 할수 있도록 변수를 확인하고 평가하였다. 또한, STI CMP 공정의 재현성을 확인하기 위해 최적화된 공정 조건들을 바탕으로 각 실험에서 추출된 가장 안정된 공정 변수를 조합하여 반복 실험을 통하여 신뢰성을 평가하였다.

2. 실험

2.1 실험장치

웨이퍼의 STI 패턴은 웨이퍼에 전기기로 열산화막을 150Å을 증착 한 후, 그 위에 LPCVD로 질화막을 2000Å 증착하고, moat 패턴과 건식 식각으로 트렌치를 3500Å 깊이로 형성하였다. 이 트렌치 위에 선형 산화막을 전기기로 270Å 정도 형성하고 APCVD로 산화막을 8000Å 증착하여 트렌치를 채운 후 열처리 과정을 거쳐 STI 구조를 형성하였다. CMP 연마 장비는AMAT사의 Mirra Polisher를 사용하였으며, CMP 공정 후 세정을 위해 SC-1 Chemical + DHF(2min) + Rinse + Spin Rinse Dry 과정을 수행하였다. 또한 산화막 및 질화막 두께를 측정하기 위해 Nano Metrics M8000X와 Rudolph Ellipsometer FE VII 시스템을 사용하였다. CMP에서는 HSS 3way (Rox :5400,6000,6400)와 No HSS(Rox : 5900)로 Split 하였으며, Gate Etch에서 Base 레시피, Base 레시

표1. 공정 실험 조건

gate rcp	cmp thk	SOP(B/P)	Rox	Rox Range	CD	CD 3S
base 1step recipe (poe 80°)	hss 6400	38/47	57	3	0.2008	0.0065
	hss 6000	39/46	51	1	0.2064	0.0105
	base 5900	41/47	48	2	0.2058	0.0116
	hss 5600	39/45	47	2	0.1999	0.0114
base 1step recipe (poe 120°)	hss 6400	39/47	56	2	0.2121	0.0181
	hss 6000	41/46	50	1	0.2178	0.0155
	base 5900	41/48	48	2	0.2138	0.0141
	hss 5600	41/45	46	1	0.2068	0.0121
2 step recipe	hss 6400	36/32	37	2	0.222	0.0206
	hss 6000	35/31	33	2	0.2305	0.027
	base 5900	35/34	34	2	0.2282	0.0091
	hss 5600	34/29	31	2	0.2214	0.0173

피에 Poly Over Etch 50%증가, 2스텝 Recipe 3Group으로 진행하였다. 표1은 실험에 사용된 각 공정 조건을 나타냈다. 에칭공정은 AMAT사의 CENTURA 5200DSP 장비를 사용했으며, 얇은 박막에서 DAMAGE를 줄일수 있도록 2STEP 레시피를 적용하고자 변수 평가 테스트를 하였다. 이 2스텝 공정 변수로는 RF Power, Pressure, gas flow rate, time등을 평가 하였다. 그리고 이에 따른 수율과 각 파라메타 값을 분석하여 안정된 공정 조건을 찾고 이 조건으로 0.15um 반도체 소자에 적용하여 그 결과를 분석하였다.

3. 결과 및 고찰

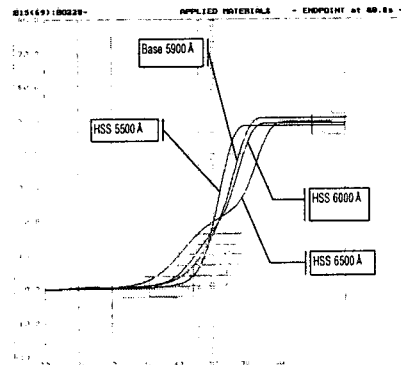


그림1 EOP Signal Analysis

EOP Signal Analysis은 각 공정 조건에서 EOP Time에서 뚜렷한 차이를 나타내지는 않았지만 Signal Slope에서 명확한 차이점이 보인다. CMP후 Field Oxide의 Thickness의 두께가 클 수록 BARC EOP Signal Slope이 완만해졌다. 이러한 현상은 STI Topology에 의해서 BARC/PR Coating Uniformity가 좋지 않았으며 BARC Etch

시 PolySilicon Open이 시작되는 시점과 끝나는 시점의 Time이 길어져 Polysilicon Etch Uniformity에 영향을 주는것을 알 수있다.

Gate Etch Rox에서 동일한 Gate Etch Recipe를 사용한 Recipe Group내에서 그림2와 같이 Rox와 CMP 두께는 명확한 차이가 나타났으며 이러한 차이는 STI Topology에 의해서 Polysilicon Etch Endpoint Time이 일정량 영향을 받았다는 사실을 알 수 있으며 C05 Recipe에서는 Verticle Profile 특성에 의해서 이러한 상관 관계가 둔해졌다.

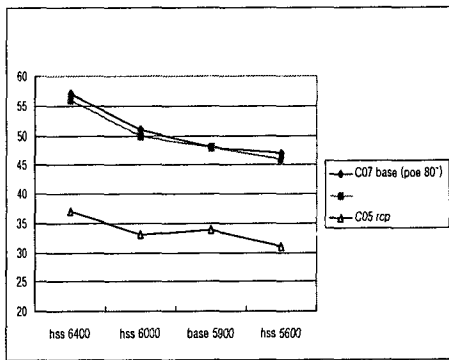


그림2 cmp 두께와 게이트 에칭후 두께 곡선

Gate CD에서는 표2에 보인것과 같이 Topology Effect이 두드러지게 발생되지 않았다. 즉 Gate Profile에 영향을 주었으나 Gate CD로 나타날만큼 그 변화폭이 크지 않다는 사실을 알 수 있다. Gate Profile 측면에서는 CMP Thickness가 증가할 수록 N-Poly Foot이 심해지고 P-Poly Notch가 감소한다.

gate rcp	cmp thk	CD	idsn non	idsp non	vtla non	vtlp non
C07 base (poe 80)	hss 6400	0.2008	446.488	182.7336	0.6051	-0.5144
	hss 6000	0.2064	450.952	186.7256	0.5912	-0.5013
	base 5900	0.2058	451.272	188.7448	0.5946	-0.4889
	hss 5600	0.1999	471.488	190.0368	0.5882	-0.4915
C07 poe 120	hss 6400	0.2121	432.496	177.6848	0.5891	-0.5050
	hss 6000	0.2178	434.456	182.3432	0.5877	-0.4972
	base 5900	0.2138	438.592	182.2768	0.5805	-0.4834
	hss 5600	0.2068	453.296	187.6808	0.5973	-0.4940
C05 rcp	hss 6400	0.222	441.728	178.9104	0.5569	-0.4885
	hss 6000	0.2305	436.184	180.4728	0.5567	-0.4873
	hss 5600	0.2214	448.424	187.4992	0.5581	-0.4641

표2. Parametric Data

각공정 평가에 대한 파라메터 데이터를 표2에 나타냈다. 그림3은 CMP THK vs IDSN 그래프에서 CMP Thickness에 따른 Drive Current의 분포

를 나타내었다. CMP Thk와 IDSN/P의 반비례 관계는 Gate Etch시 CMP Topology에 의한 Profile 효과를 입증한다.

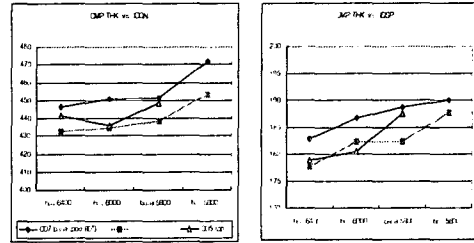


그림3. CMP THK vs IDSN 에서 CMP 두께에 따른 Drive Current의 분포

게이트 CD vs IDSN/P에서 그림4는 Gate CD별 Drive Current를 나타내었다. 모든 조건에서 CMP Thickness가 낮을수록 Drive Current가 증가하는 현상을 볼 수 있다.

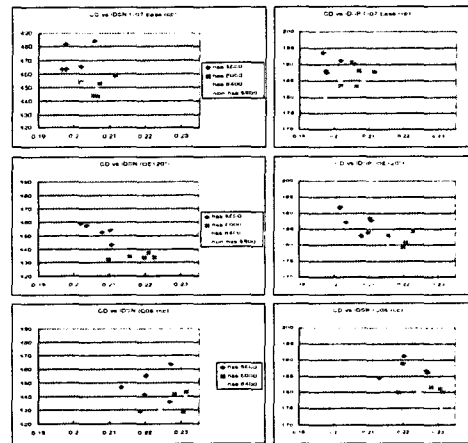


그림4. 게이트 CD vs IDSN/P에서 Gate CD별 Drive Current 분포

그림5는 Gate CD 0.21을 기준으로 Drive Current를 Fitting하여 Plot하였다. Gate Etch Base Line Recipe에 비해 C07 POE 120", C05 Recipe에서 CMP Thickness에 따른 Drive Current의 순 변화량이 낮음을 알 수 있다. 그리고 표3과 그림6은 Antenna Test 결과이다. CMP Thickness에 의한 Topology Effect을 줄이는 한 방법으로서 Poly Over Etch Time을 늘리거나 Base Line Profile을 좀 더 Verticle 하게 만드는 Gate Etch

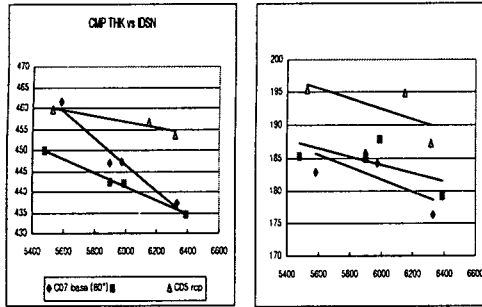


그림5. Gate CD 0.21에 따른 Drive Current

Recipe Tuning이 필요하다. Gate Etch Recipe에 따라서 Antenna Data는 유의차가 없었다.

표3. 조건에 따른 antenna test 결과표

gate rcp	cmp thk	CD	GOI_ATI	GOIF_ATI	GOIL_ATI	QBD_ATI
SPEC		0.21	4.1~15	4.1~15	0	0.1~10
C07 base (poe 80°)	hss 6400	0.2008	5.4	7.28	5.383E-06	2.2908632
	hss 6000	0.2064	5.32	6.84	4.521E-06	1.896543223
	base 5900	0.2058	5.4	7.28	5.215E-06	2.145728
	hss 5600	0.1999	5.4	7.12	3.378E-06	1.3614576
C07 poe 120°	hss 6400	0.2121	5.4	7.4	6.644E-06	2.816018
	hss 6000	0.2178	5.4	7.28	4.87E-06	1.997284
	base 5900	0.2138	5.4	7.28	5.262E-06	2.16528
	hss 5600	0.2068	5.36	7.24	4.698E-06	1.952299
C05 rcp	hss 6400	0.222	5.4	7.08	2.627E-06	1.0176116
	hss 6000	0.2305	5.4	7.32	5.513E-06	2.29155
	hss 5600	0.2214	5.4	7.24	4.826E-06	2.0095098

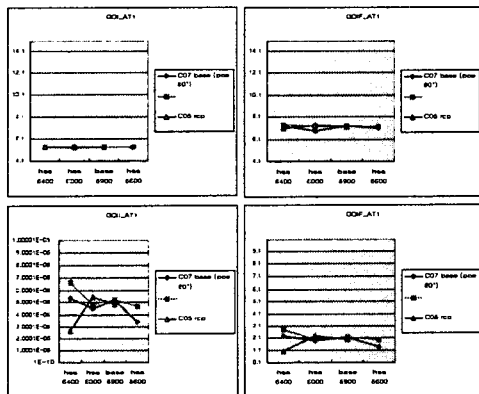


그림 6. 게이트 에치조건에 따른 ANTENA 분포도

4. 결론

CMP후 STI Topology는 Gate Etch, Drive Current에 영향을 미치며 이러한 영향은 BARC Coating Uniformity에 의한 Gate Etch Profile 변

화로 이어지는 Mechanism이다. Drive Current를 근거로 해볼 때 현재의 HSS Target (6000A)은 Base Line과 큰 유의차 없는 Drive Current 특성을 나타낸다. CMP Thickness에 의한 Topology Effect을 줄이는 한 방법으로서 Poly Over Etch Time을 늘리거나 Base Line Profile을 좀 더 Vertical하게 만드는 Gate Etch Recipe Tuning이 필요하다. Gate Etch Recipe에 따라서 Antenna Data는 유의차가 없었다. Base Line Recipe를 기준으로 CMP Thickness 100A 증가에 IDSN 3.2um가 Cool해지는 관계를 가지며 이 Data를 Gate Etch APC(Advanced Process Control) Modeling의 근거로 유용하게 활용 될 것으로 판단된다. CMP 후 두께와 게이트 에치 후 남은 산화막 두께는 비례관계를 가지며 이러한 사실은 게이트 프로파일에 영향을 준다. CMP 후 두께가 증가할 수록 N-Poly Foot이 심해지고 P-Poly Notch가 감소한다. Profile Effect에 의해 동일 CD를 기준으로 IDSN/P 모두에서 CMP 두께와 반비례하는 관계를 가진다. 이러한 현상은 모든 게이트 에치 평가에서 나타났으며 POE 120°인, 2 step 레시피 조건으로 갈수록 정도가 약해지는 경향이 있다. CMP 후 두께와 VT는 뚜렷한 상관 관계를 가지지 않았다. Base 1 step 조건을 기준으로 CMP 후 두께가 100A 증가에 IDSN 3.2uA가 Cool해지는 관계를 가지며 POE 50% 추가 조건은 1.7uA, 2 step 조건 레시피는 0.7uA Cool한 특성이 나타났다.

참고 문헌

- [1] S. Nag and a. Chatterjee, "Shallow trench isolation for sub-0.25-μm IC technologies, Solid State Technology," pp.129-136, 1997.
- [2] S. Y. Kim, Y. J. Seo, T. H. Kim, W. S. Lee, C. I. Kim, E. G. Chang, "An optimized nitride residue phenomena of shallow trench isolation (STI) process by chemical mechanical polishing (CMP)," IUMRS-ICEM-98, Aug. 24, p.468, 1998.
- [3] K. Smekalin, "CMP dishing effects in shallow trench isolation," Solid State Technology, pp.187-194, 1997.
- [4] J. Jui, et al., "Scaling limitation of submicron LOCOS technology," Tech. Dig. IEDM, p.392, 1985.