한국전기전자재료학회 2001년도 하계학술대회 논문집

MOS 소자를 위한 HfO_2 게이트 절연체와 WSi_2 게이트의 집적화 연구

Investigation of WSi_2 Gate for the Integration with HfO_2 gate oxide for MOS Devices

노관종, 양성우, 강혁수, 노용한
(Kwanchong Roh, Seongwoo Yang, Hyeoksu Kang, Yonghan Roh)

Abstract

We report the structural and electrical properties of hafnium oxide (HfO_2) films with tungsten silicide (WSi_2) metal gate. In this study, HfO_2 thin films were fabricated by oxidation of sputtered Hf metal films on Si, and WSi_2 was deposited directly on HfO_2 by LPCVD. The hysteresis windows in C-V curves of the $WSi_2/HfO_2/Si$ MOS capacitors were negligible (<20 mV), and had no dependence on frequency from 10 kHz to 1 MHz and bias ramp rate from 10 mV to 1 V. In addition, leakage current was very low in the range of 10^{-9} ~ 10^{-10} A to ~ 1 V, which was due to the formation of interfacial hafnium silicate layer between HfO_2 and Si. After PMA (post metallization annealing) of the $WSi_2/HfO_2/Si$ MOS capacitors at 500 ℃, EOT (equivalent oxide thickness) was reduced from 26 to 22 Å and the leakage current was reduced by approximately one order as compared to that measured before annealing. These results indicate that the effect of fluorine diffusion is negligible and annealing minimizes the etching damage.

Key Words : Metal gate/High-k, HfO_2, WSi_2, effective dielectric constant, leakage current

1. 서 론

0.1 ㎛ 이하의 MOSFET (metal-oxide-semiconductor field effect transistor) 소자에 있어 SiO_2가 계속 게이트 절연체로 사용될 경우 큰 누설 전류가 발생되어 전력소모의 증가와 소자 성능의 저하를 가져오게 된다[1,2]. 따라서, 현재 Al_2O_3, Y_2O_3, TiO_2, Ta_2O_5, ZrO_2, HfO_2 등의 고유전체 물질들이 SiO_2를 대체하기 위해 널리 연구되고 있다[3-9]. 이들 대체 게이트 절연체중 HfO_2는 최대 40까지의 유전상수와 5.68 eV의 높은 band gap을 갖는다[8,9]. 또한, TiO_2, Ta_2O_5 등과 달리 증착중이나 열처리 동안 금속산화막과 Si의 계면부분에 SiO_2가 생성되지 않고, 계면 특성이 우수하여 다른 금속 대체 게이트 산화막에 비해 유전 특성 및 누설전류 특성이 우수한 것으로 보고되고 있다[10,11]. 한편, ULSI MOS 소자에 있어 고유전율의 게이트 산화막의 연구 외에, 현재 게이트 전극으로 이용되고 있는 폴리실리콘의 높은 저항 및 게이트 공핍의 문제의 문제를 해결하고 소자 규모 감소(scaling down)를 실현하기 위해 금속 게이트 전극의 사용이 요구되고 있다. 본 연구에서는 비교적 낮은 저항을 갖고 공정 호환성이 우수한 WSi_2를 게이트 전극으로 이용하고, HfO_2를 게이트 산화막으로 이용한 MOS 소자를 제작하여 구조적 전기적 특성을 분석하였다[12]. HfO_2의 제조는 Hf 박막을 rf magnetron sputter를 이용하여 증착한 후 열산화시키는 방법을 사용하였고, WSi_2의 증착은 LPCVD (low pressure chemical vapor deposition)를 이용하였다.

성균관대학교 전기전자 및 컴퓨터공학부
(경기도 수원시 장안구 천천동 300 성균관대학교,
Fax : 031-290-5819
E-mail : rohmos@mdl.skku.ac.kr)

2. 실험 방법

HfO_2는 rf magnetron sputter를 이용하여 Hf 박막을 증착한 후, 열산화시켜 제작하였다. RCA 방법에 의해 세정된 Si 위에 상온에서 power 및 시간을 제어하여 Hf 금속을 증착하고 500 ℃, O_2 분위기에서 전기로(furnace)를 사용하여 산화시켰다. 제조된 HfO_2 박막은 같은 온도, N_2 분위기에서 다시 전기로를 사용하여 열처리를 수행하였다. 게이트 전극의 증착은 그림 1과 같은 구조의 thermal cold-wall LPCVD 시스템을 이용하여 다음과 같은 조건에서 텅스텐 실리사이드를 500~1500 Å 두께로 증착하였다. 증착온도 및 압력은 각각 350 ℃, 0.7 Torr이며 반응 가스의 유량은 $WF_6/SiH_4/H_2$=2/110/500 sccm을 사용하였다. 전기적 소자 분석을 위해 사진현상 공정 및 습식 에칭을 통해 200 ㎛×200 ㎛의 캐패시터의 면적을 갖는 MOS capacitor(MOSC)를 제작하였다. 한편, PMA (post metallization annealing)의 영향을 살펴보기 위해 MOSC 제작 후, 500 ℃에서 30분간 부가적인 열처리를 수행하였다.

상기 방법으로 제조된 HfO_2/Si 구조의 계면 구조를 살펴보기 위해 AES 분석을 수행하였다. 전기적 소자 분석은 Boonton 7200 capacitance meter 및 HP 4275A LCR meter를 이용하여 주파수 및 bias ramp rate에 따른 C-V 특성, 이력(hysteresis) 특성 등의 유전특성을 조사하였고, HP 4140B pA meter/dc voltage source를 이용하여 I-V 특성을 조사하였다.

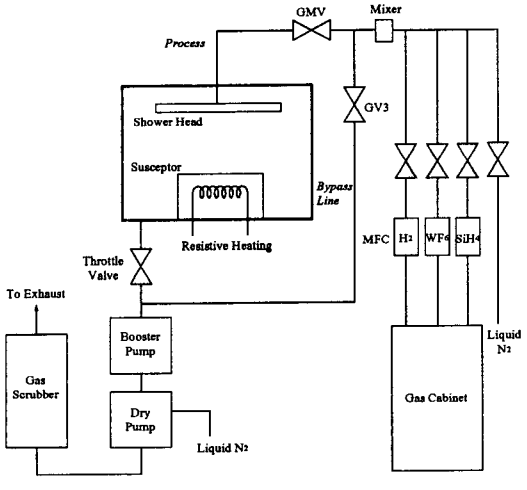

그림 1. WSi_2 증착을 위한 LPCVD 장치의 개략도.

3. 결과 및 고찰

대체 게이트 산화막으로의 요구조건으로 이력폭이 작아야 한다[8]. 그림 2는 WSi_2/HfO_2/Si MOSC의 C-V 곡선에서의 이력특성을 나타낸 것이다. 10 kHz ~ 1 MHz 범위에서의 주파수 변화 및 50 mV/sec ~ 1 V/sec 범위의 bias의 ramp rate 변화에 무관하게 20 mV 이하의 무시할만한 이력폭을 나타내었다. 이러한 결과는 본 연구에서 제조된 HfO_2 박막이 무시할만한 산화막내 결함 또는 계면전하가 존재함을 보여준다[8].

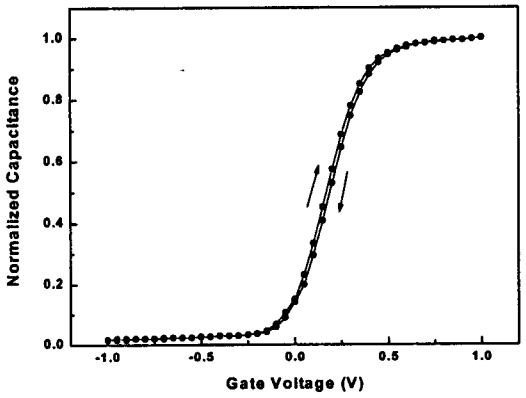

그림 2. WSi_2/HfO_2/Si MOS 캐패시터의 C-V 곡선에서의 이력 특성.

그림 3은 EOT(equivalent oxide thickness)가 ~32 Å인 WSi_2/HfO_2/Si MOS 캐패시터의 누설전류 특성을 나타낸 것이다. EOT는 삽입그림의 C-V에서 축적영역의 캐패시턴스와 이미 알고 있는 캐패시터의 면적을 이용하여 계산하였다[4]. 누설전류 특성은 저전압(0 ~ 0.8 V)에서 10^{-9} ~ 10^{-10} A로 매우 낮고 1 V 이후 증가하기 시작하는 형태로써, SiO_2에서 일반적으로 관측되는 I-V 특성임을 볼 수 있다. 이러한 결과는 HfO_2와 Si의 계면이 매우 안정한 상태임을 보여주는 결과로써 HfO_2와 Si 사이에 안정한 Hf silicate($HfSi_xO_y$) 층이 생성되었기 때문으로 보여진다. Hf silicate 층은 고온 열처리 중에도 비정질층을 유지하며 순수 HfO_2 막보다 누설전류 특성을 향상시키는 것으로 알려져 있다[10,11]. 한편, 저전압에서의 낮은 누설전류 특성은 텅스텐 실리사이드 증착 중 불소의 영향이 미비함을 보여주는 결과이기도 하다. 반응가스인 WF_6에서 오는 불소의 산화막내로의 확산은 저전계에서의 누설전류 증가를 야기하는 것으로 알려져 있다[13].

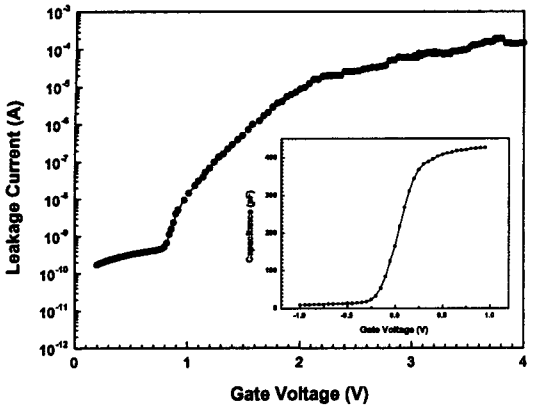

그림 3. EOT가 ~32 Å인 $WSi_2/HfO_2/Si$ MOS 캐패시터의 누설전류 특성. 삽입그림은 같은 소자의 C-V 특성을 나타낸 것이다.

그림 4는 앞선 I-V 결과에서 언급한 Hf silicate 계면층의 형성 유무를 살펴보기 위해 HfO_2/Si 구조를 AES 분석한 결과이다. 시료 표면으로부터 HfO_2 층이 생성되었음을 볼 수 있고, 이 HfO_2층 하부에 Hf, O, Si 분포가 평평한 부분이 관측됨을 관측할 수 있다. 이 평평한 부분이 Hf silicate 층으로 Hf 증착후 산화공정 및 열처리 공정중에 생성된 것으로 보여진다. Hf silicate 생성에 대한 자세한 분석은 본 연구진의 다른 논문에서 확인할 수 있다[14].

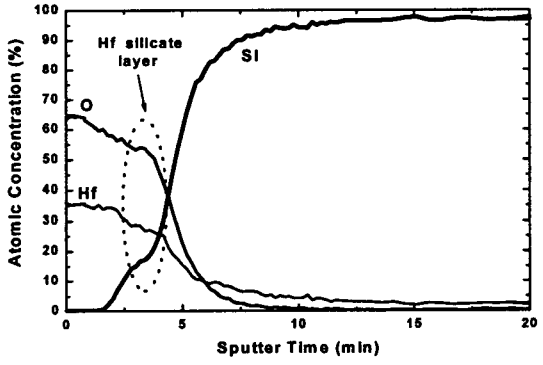

그림 4. HfO_2/Si 구조의 AES 결과.

그림 5는 $WSi_2/SiO_2/Si$ MOSC의 PMA 공정후 HF C-V 변화를 나타낸 것이다. PMA 공정후, 축적 영역의 캐패시턴스 값이 크게 증가함을 볼 수 있다. EOT로 환산한 두께는 ~26 Å에서 ~22 Å로 14 % 로 감소하였다. 이러한 변화는 HfO_2와 Si 사이의 계면층의 두께 변화로 여겨진다. 한편 C-V 곡선은 PMA 공정후 오른쪽으로 ~0.2 V 이동하였음을 볼 수 있다. 이러한 C-V 변동은 Hf 증착 공정 및 산화 공정동안 생성된 산화막내 양의 전하가 PMA 공정을 통해 줄어듦으로 인한 것으로 보여진다. 삽입그림에 나타낸 바와 같이 PMA 공정후 I-V 특성 또한 한 order 낮아짐을 볼 수 있는데 이것은 PMA 공정을 통해 에칭에 의한 손상이 완화되었기 때문이다.

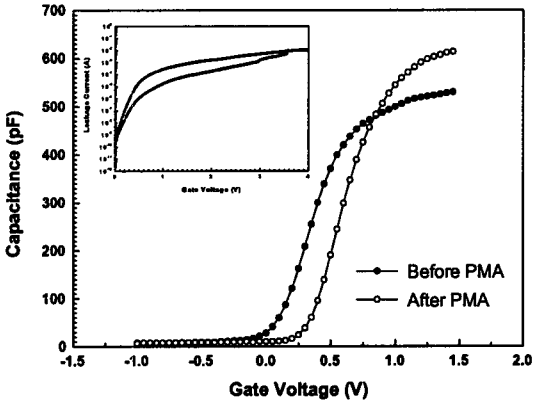

그림 5. $WSi_2/SiO_2/Si$ MOSC의 PMA 공정후 HF C-V 변화.

4. 결 론

금속 게이트/고유전율 게이트 산화막 구조로써 WSi_2/HfO_2의 응용 가능성을 전기적 특성분석을 통해 중점적으로 살펴보았다. $WSi_2/SiO_2/Si$ MOS 캐패시터의 이력특성은 주파수와 인가 전압의 ramp rate 변화에 무관하게 20 mV 이하로 작은 값을 나타내었고, 계면 Hf silicate의 생성으로 인해 매우 낮은 누설전류 특성을 보여주었다. 또한, 500 ℃에서의 부가적인 PMA 공정 후, EOT는 26 Å에서 22 Å로 감소하였고 누설전류도 감소하였다. 이러한 결과들은 WSi_2 증착 공정중 야기될 수 있는 불소확산이 무시할 정도이며 부가적인 열처리 공정을 통해 에칭에 의한 HfO_2 막의 손상을 최소화시킬 수 있음을 보여주는 결과이다.

참고 문헌

[1] C. Hu, "Gate Oxide Scaling Limits and Projection", IEDM Tech. Dig., pp.319-322, 1996.

[2] S. -H. Lo et al., "Quantum-Mechanical Modeling of Electron Tunneling Current from

the Inversion Layer of Ultra-Thin-Oxide nMOSFET's", IEEE Electron Devices Lett., **18**, pp.209-211, 1997.

[3] A. Chin et al, "Device and Reliability of High-K Al_2O_3, Gate Dielectric with Good Mobility and Low D_{it}", VLSI Tech. Dig., pp.135-136, 1999.

[4] L. Manchada et al., "Yttrium Oxide/Silicon Dioxide: A New Dielectric Structure for VLSI/ULSI Circuits", IEEE Electron Devices Lett., **9**, pp. 180-182, 1988.

[5] C. Hobbs et al. "Sub-Quarter Micron CMOS Process for TiN-Gate MOSFETs with TiO_2 Gate Dielectric formed by Titanium Oxidation", VLSI Tech. Dig., pp.133-134, 1999.

[6] D. Gilmer et al., "Investigation of Titanium Nitride for Tantalum Pentaoxide and Titanium Dioxide Dielectrics", J. Vac. Sci. Technol. A, **18**, pp.1158-1162, 2000.

[7] C. H. Lee, "MOS Characteristics of Ultra Thin Rapid Thermal CVD ZrO_2 and Zr Silicate Gate Dielectrics", IEDM Tech. Dig., pp.27-30, 2000.

[8] L. Kang et al., "Electrical Characteristics of Highly Reliable Ultrathin Hafnium Oxide Gate Dielectric", IEEE. Electron device lett., **21**, pp. 181-183, 2000.

[9] B. H. Lee et al., "Thermal Stability and Electrical Characteristics of Ultrathin Hafnium Oxide Gate Dielectric Reoxidized with rapid Thermal Annealing", Appl. Phys. Lett., **76**, pp.1926-1928, 2000.

[10] G. D. Wilk et al., "Electrical Properties of Hafnium Silicate Gate Dielectrics Deposited Directly on Silicon", Appl. Phys. Lett., **74**, pp.2854-2856 1999.

[11] G. D. Wilk et al., "Hafnium and Zirconium Silicates for Advanced Gate Dielectrics", J. Appl. Phys., **87**, pp.484-492, 2000.

[12] K. Roh et al., "Tungsten Silicide for the Alternate Gate Metal in Metal-Oxide-Semiconductor (MOS) Devices", J. Vac. Sci. Technol., to be published.

[13] Y. Shioya et al., "Effect of Fluorine in Chemical-Vapor-Deposited Tungsten Silicide on Electrical Breakdown of SiO_2 Film", J. Appl. Phys., **61**, pp.5102-5109, 1987.

[14] 강혁수 et al., "MOS 소자의 대체 게이트 산화막으로써 $HfO_2/HfSi_xO_y$ 의 구조 및 전기적 특성 분석", 한국전기전자재료학회 2001년 하계학술대회 논문집, to be published.