

블크 마이크로 머신용 미세구조물의 제작

Fabrication of 3-dimensional microstructures for bulk micromachining

최성규*, 남효덕*, 정연식**, 류지구**, 정귀상***

(Sung-Kyu Choi*, Hyo-Duk Nam*, Yun-Sik Chung**, Ji-Goo Ryu**, Gwi-Yang Chung***)

Abstract

This paper described on the fabrication of microstructures by DRIE(Deep Reactive Ion Etching). SOI(Si-on-insulator) electric devices with buried cavities are fabricated by SDB technology and electrochemical etch-stop. The cavity was fabricated the upper handling wafer by Si anisotropic etch technique. SDB process was performed to seal the fabricated cavity under vacuum condition at -760 mm Hg. In the SDB process, captured air and moisture inside of the cavities were removed by making channels towards outside. After annealing(1000°C, 60 min.), the SDB SOI structure was thinned by electrochemical etch-stop. Finally, it was fabricated microstructures by DRIE as well as a accurate thickness control and a good flatness.

Key Words : SDB(Si Direct Bonding), SOI(Si-on-Insulator), Electrochemical etch-stop, buried cavity, DRIE(Deep Reactive Ion Etching)

1. 서 론

최근에 Si 마이크로머시닝을 이용한 마이크로 구조물 형성이 용이해짐에 따라, 지금까지 관심이 없었던 전자소자 이외의 마이크로 전자기계시스템(MEMS : Micro Electro Mechanical System)을 구현하고자 하는 연구가 활발히 진행되고 있다[1]. 현재, Si 마이크로머시닝공정은 크게 이방성 식각으로 3차원 미세구조물을 제작하는 벌크 마이크로머시닝(bulk micromachining)기술과 Si기판의 표면에 증착 혹은 성장된 박막층과 희생층 식각에 의한 미세구조물을 제작하는 표면 마이크로머시닝(surface micro-machining)기술로 분류된다. 벌크 마이크로머시닝기술로 제작된 기계적인 소자들은 면적이 크고 상대적으로 고가이며, KOH 혹은 TMAH 용액에서

이방성 습식식각으로 제작되므로 Si의 결정면에 의한 구속으로 인해 구조물 형상이 제약받는다. 또한, 표면 마이크로머시닝기술은 Si 기판상에 증착 혹은 성장된 다층박막을 이용하기 때문에 구조물의 수직 크기는 증착 혹은 성장된 박막의 두께(10~20 μm)에 제한되며, 잔류응력과 박막내에서의 응력기울기는 소자들의 측면크기를 제한한다.

따라서, Si 마이크로머시닝기술에 의한 고효율 혹은 초소형 MEMS를 제작하기 위해서는 기존의 IC 제조기술 및 Si foundary와 단결정 Si의 우수한 기계적 성질을 이용할 수 있으며, 능동소자 혹은 표면 미세구조물을 제작할 수 있는 Si 희생층, 그리고 전기적 절연과 화학적인 선택적 희생층을 실현할 수 있는 희생층을 갖는 절연체 상부에 단결정 Si 박막이 존재하는 SOI(Si-on-Insulator)기판을 이용하는 방법이 유력한 기술로 대두되고 있다[2].

SOI 구조의 여러가지 제조방법 중에 SDB(Si-wafer Direct Bonding)기술은 완벽한 단결정 Si 박막과 우수한 절연특성을 갖는 매몰층 산화막을 포함하며 대면적의 SOI 기판을 제작할 수 있다. 특히,

*영남대학교 전자공학과

**부경대학교 전자공학과

***동서대학교 정보시스템공학부 메카트로닉스전공

(부산시 주례동 동서대학교,

Fax: 051-315-1592

E-mail : gschung@dongseo.ac.kr)

MEMS 분야에 있어서 매몰 cavity 혹은 3차원 미세 구조물을 갖는 Si 벌크 마이크로머신용 후막 혹은 박막 다이어프램, 캔틸레버, 브릿지[3] 등을 보다 간단하고 정확하게 제작할 수 있으며 단결정 Si의 우수한 전기적·기계적 특성을 이용할 수 있기 때문에 최근 활발히 연구·개발되고 있다[4-5]. 이러한 SDB SOI기술을 MEMS 분야에 이용하기 위해서는 SOI 능동층의 박막화와 정확한 두께제어기술이 무엇보다도 중요하다. 전기화학적 식각정지법은 두께제어기술중 가장 안정적이며, 능동층의 두께를 정확하게 조절이 가능하여 수심A의 최종 표면 거칠기와 표준 편차 0.2 μm 이내의 두께 제어를 할 수 있다.

따라서, 본 연구에서는 전기화학적 식각정지법을 SDB SOI 기판의 박막화에 적용하여 매몰 cavity를 갖는 구조의 SOI 기판을 제조하고 식각정지 표면 및 박막두께 제어특성을 분석·평가하였다. 또한, DRIE (Deep Reactive Ion Etching)를 이용하여 Si 벌크 마이크로머신용 3차원 미세구조물을 제작하였다.

2. 매몰 cavity를 갖는 SDB SOI 구조의 제작

본 연구에서 사용된 Si 기판은 (100)면의 결정방위를 가지고 5000Å의 thermal oxide가 성장된 p형

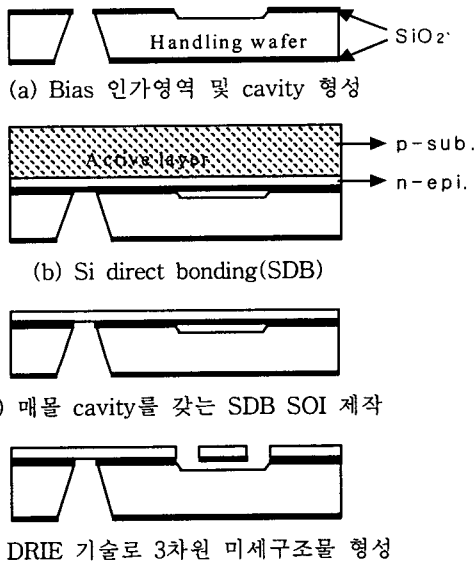


그림 1. 매몰 cavity를 갖는 SOI 구조 제작의 공정 순서도.

Fig. 1. Fabrication process of SOI structures with buried cavity.

handling 기판과 (100)면의 결정방위를 가지는 p-sub. 상에 15 μm 의 n-epi.가 성장된 active 기판을 사용하였으며, 크기는 3.0 cm×3.0 cm이다.

그림 1은 매몰 cavity를 갖는 SOI 구조의 기판을 제작하기 위한 공정을 나타낸 순서도이다. 열산화막이 성장된 각각의 기판 중 p-형 handling 기판은 전기화학적 식각정지시 n-epi.쪽으로는 바이어스인가를 위하여 SDB 공정전에 이방성 식각하였다. 식각이 완료된 기판은 p-sub./n-epi. 기판과 HF 2.0 % 희석용액에서 1분간 전처리한 후 초기접합을 수행하였다[6]. 초기접합이 완료된 시료는 1000°C에서 60분간 열처리를 실시한 후, 전기화학적 식각정지법으로 n-epi.층의 두께를 제어함으로써 매몰 cavity를 갖는 SOI 구조를 제작하였다. 접합이 완료된 시료는 박막 화하여 최종적으로 매몰 cavity를 갖는 SOI 구조를 제작하기 위해 사용하였다. 사용된 이방성 식각용액은 TMAH 20 wt.%, 80°C로 유지하였다.

3. 결과 및 고찰

그림 2는 온도 80°C, TMAH 20 wt.% 식각용액에서 인가전압에 따른 p-type의 누설전류 특성 곡선을 나타낸 것이다. scan rate는 5 mV/sec이고, 인가 전압은 -2 V~2 V이다. 그리고 사용된 p형 기판의 농도는 $10^{14} \sim 10^{15} \text{ cm}^{-3}$ 이다. OCP점은 -1.4 V로 이후 PP점에 도달하기 전까지 누설전류가 계속해서 증가하였다. 1.2 V의 PP점에서 선형적으로 증가하던 누설전류가 Si 표면에서 양극산화현상으로 인해 갑자기 감소하였다. PP점에서의 최대 전류밀도는 약 0.5 mA/cm²로 측정되었고, 식각정지가 일어난 후의 누설전류밀도는 0.035~0.046 mA/cm²를 유지하였다.

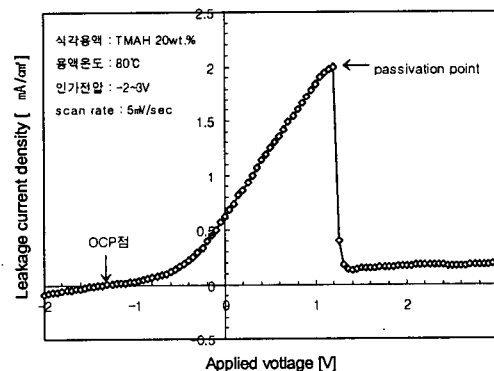
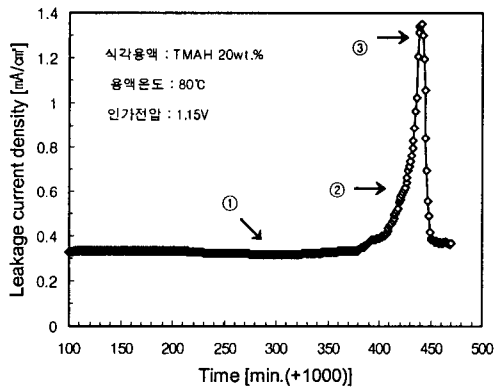
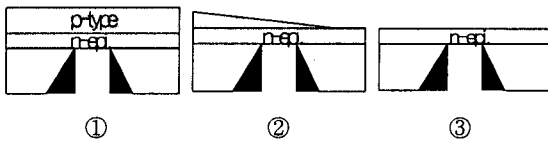


그림 2. P-type Si 기판의 누설전류-전압 특성곡선.
Fig. 2. Leakage current-voltage characteristic curve of p-type Si wafer.

그림 3(a)는 전기화학적 식각정지시의 누설전류 대 시간 특성곡선을 나타낸 것이다. 3전극 시스템에서는 RE 전극^[11]을 이용하여 Si의 식각과정에서 누설전류를 일정하게 유지하였다. P-type Si이 식각된 후, n-epi. Si이 식각용액에 노출될 때부터 누설전류는 급격히 증가하다가 n-epi. Si이 완전히 노출되면서 식각용액과의 화학적 반응에 의한 양극산화현상으로 식각이 중지되었다. 그림 3(b)는 전기화학적 식각시 누설전류에 따른 식각정지 진행상태를 도식적으로 나타낸 것이다. 최초 ①은 식각용액에 노출된 p-type Si이 산화·환원반응에 의해서 자연식각된 상태이며 ②는 p-type Si의 표면일부가 완전 식각되고, n-epi. Si 표면이 식각용액에 노출되면서 pn 접합의 누설전류가 급격히 증가하는 상태를 나타낸 것이다. ③은 p-type Si이 완전히 식각되고, n-epi. Si에서 양극산화현상으로 식각이 완벽하게 정지된 상태를 나타낸 것이다.



(a)



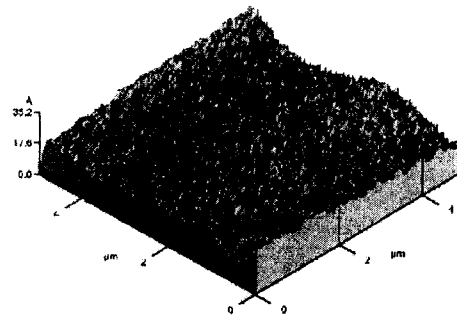
(b)

그림 3. (a) 전기화학적 식각정지시 누설전류-시간 특성곡선과 (b) 식각정지 단계.

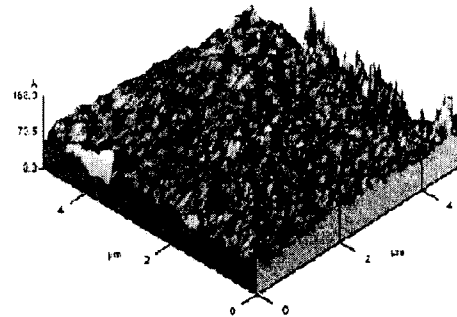
Fig. 3. (a) Leakage current-time characteristic curve at electrochemical etch-stop and (b) etch-stop step.

그림 4(a)와 (b)는 본 연구에서 사용한 Si 기판과 TMAH 20 wt.%에서 전기화학적 식각정지법으로 제

조된 매몰 cavity를 갖는 SDB SOI 기판의 평탄도를 각각 분석한 AFM 이미지이다. Si 기판과 식각정지된 SOI 기판의 평균 거칠기는 각각 5.12 nm와 5.4 nm였다. 전기화학적 식각정지법으로 SDB SOI 박막화할 경우, 식각정지된 SOI 기판의 평탄도는 기존의 기계적인 방법보다 훨씬 우수하며 또한, Si 기판에 상응하는 평탄도를 얻을 수 있었다.



(a)



(b)

그림 4. (a) Si 기판과 (b) TMAH 용액에서 전기화학적 식각정지된 매몰 cavity를 갖는 SOI 기판의 AFM 이미지.

Fig. 4. AFM images of (a) Si wafer and (b) SOI substrates with buried cavities etch-stopped by electrochemical etch-stop in TMAH solution, respectively.

그림 5는 SDB와 전기화학적 식각정지법에 의해 제작된 매몰 cavity를 갖는 SOI 구조의 단면 SEM 사진을 나타낸 것이다. 실험은 handling 기판 (p-type)과 p-sub./n-epi.(15 μ m)기판을 사용하여 SDB와 전기화학적 식각정지 공정을 순차적으로 수행하였다. 식각정지된 cavity 상부의 능동층 두께는 15 μ m이고, 매몰 cavity의 깊이와 폭은 각각 18, 900 μ m

로 제작하였다. 그림 5(a)와 (b)는 각각 매몰 cavity를 갖는 SDB SOI 구조의 전체와 코너부분의 확대된 단면 SEM 사진이다.

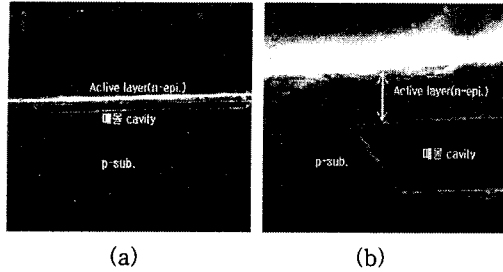


그림 5. 매몰 cavity를 갖는 SDB SOI 구조의 (a) 횡 단면 및 (b) 확대 SEM 사진.

Fig. 5. SDB SOI structure with buried cavity (a) cross sectional view (b) SEM image.

그림 6은 전기화학적 식각정지법을 이용하여 매몰 cavity를 가지는 구조의 SDB SOI 기판과 DRIE 기술로 제작된 벌크 마이크로머신용 3차원 미세구조물의 표면 사진을 나타낸 것이다.

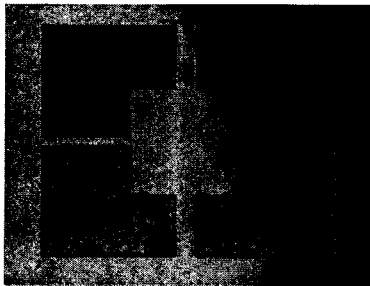


그림 6. 매몰 cavity를 갖는 SDB SOI 기판과 DRIE 기술을 이용하여 제작된 벌크 마이크로머신용 3차원 미세구조물의 표면 사진.

Fig. 6. SDB SOI substrate with buried cavity and photography of fabricated 3-D microstructure for bulk micromachining by DRIE.

4. 결론

본 연구에서는 전기화학적 식각정지법을 SDB SOI 기판의 박막화에 적용하여 매몰 cavity를 갖는 구조의 SOI 기판을 제조하여 식각정지 표면 및 박막 두께 제어특성을 분석·평가하였다. 또한, DRIE

(Deep Reactive Ion Etching)기술을 이용하여 Si 벌크 마이크로머신용 3차원 미세구조물을 제작하였다. 먼저, 매몰 cavity를 형성한 후, SDB SOI 구조를 제작하고, PP점과 OCP점을 분석하여 전기화학적 식각정지법으로 능동층 두께가 15 μm 이고, 깊이와 폭이 각각 18, 900 μm 인 매몰 cavity를 갖는 SDB SOI 구조를 제작하여 다양한 크기의 매몰 cavity를 갖는 SDB SOI 구조의 제작 가능성을 확인하였다.

따라서, 매몰 cavity를 갖는 SDB SOI 기판을 제조한 후, DRIE 기술을 이용하여 제작한 3차원 미세구조물은 단결정 Si의 우수한 전기적·기계적 특성을 이용할 수 있으며, 전기화학적 식각정지법을 이용하여 능동층의 정확한 두께 제어[7]와 우수한 평탄도를 얻을 수 있기 때문에 벌크 마이크로머신용 MEMS 분야에서 유용하게 응용할 수 있을 것으로 기대된다.

참고 문헌

- [1] C. C. H. et. al., "Understanding of enhanced sensitivity to hot carrier degradation in drain engineered n-FET's", *Int. Conf. on Solid State Device & Materials*, (1992)512.
- [2] T. Abe, et. al., "Silicon Wafer Bonding Mechanism for Silicon-on-Insulator Structures", *Jpn. J. Appl. Phys.*, 29(1990)L2311.
- [3] J. M. Noworolski, et. al., "Fabrication of SOI wafers with buried cavities using silicon fusion bonding and electrochemical etch-back", *Sensors & Actuators A*, 54(1996)709.
- [4] K. Mitani, et. al., "Formation of Interface Bubbles in Bonded Silicon Wafer : A Thermodynamic Model", *Appl. Phys. letter A*, 54(1992)543.
- [5] S. Cristoloveanu, et. al., "Electrical characteristics on of silicon on insulator materials and device", *Kluwer Academic*, (1995)16.
- [6] G. S. Chung et al., " A Study on pre-bonding according to HF pre-treatment conditions in Si wafer direct bonding" *J. Korea Sensors Soc.*, vol. 9, pp. 134-140, 2000.
- [7] G. S. Chung, et. al., "The fabrication of a SDB SOI substrate by electrochemical etch-stop", *J. KIEEME*, 13(2000)431.