

다중 위상검출기를 갖는 전하 펌프 PLL의 최적 설계에 관한 연구

A Study on the Optimum Design of the Charge Pump PLL with Multi-PFD

장영민*, 강경, 우영신, 성만영
(Young Min Jang*, Kyung Kang, Youngshin Woo, Man Young Sung)

Abstract

In this paper, we propose a charge pump phase-locked loop (PLL) with multi-PFD which is composed of a sequential phase frequency detector(PFD) and a precharge PFD. When the phase difference is within $-\pi \sim \pi$, operation frequency can be increased by using precharge PFD. When the phase difference is larger than $|\pi|$, acquisition time can be shortened by the additional control circuit with increased charge pump current. Therefore a high frequency operation, a fast acquisition and an unlimited error detection range can be achieved.

Key Words : PLL, Multi-PFD, high frequency, fast acquisition, charge pump

1. 서론

최근 무선 이동 통신이 널리 보급되어 초소형, 저 전력, 고성능, 저가의 통신기기가 요구됨에 따라 고속으로 동작하고 빠른 고정 시간(Locking Time)을 갖는 PLL(Phase-Locked Loop)이 필요하게 되었다. PLL의 고속 동작을 위해서 PFD(Phase Frequency Detector)는 측정 가능한 위상차가 작아야 하는데 Sequential PFD는 위상차 검출 범위에 제한이 없지만 여러 단을 거치는 리셋 동작 때문에 고주파에서는 동작할 수 없으며 데드존이 커져 작은 위상차를 감지하지 못하기 때문에 지터가 발생하게 된다. Sequential PFD의 상술한 단점들을 개선하기 위해 동적 구조의 PFD가 제안되어 고주파에서 사용 가능하게 되었지만 위상차 검출 범위가 $-\pi \sim \pi$ 로 제한되어 PLL의 Acquisition Time을 증가시키는 요인이

되었다[1].

본 논문에서는 Sequential PFD, Precharge PFD와 두 개의 Charge Pump를 이용하여 고속으로 동작하며 Acquisition Time 또한 감소하는 PLL의 구조를 제안하였다. 제안한 PLL의 구조에서는 위상차가 큰 경우 큰 전류원을 가지고 있는 Charge Pump로 LPF(Low Pass Filter)를 연속적으로 충전시켜 Acquisition Time을 줄이고, 위상차가 작은 경우 Precharge PFD를 이용하여 데드존을 감소시키며 고주파에서 동작하도록 하였다.

2. 본론

2.1 Sequential PFD와 Precharge PFD 비교

그림 1은 PLL에서 사용하는 일반적인 Sequential PFD를 나타내었다^[1]. REF 신호가 FB 신호보다 앞설 때는 UP 신호가, 반대의 경우에는 DN 신호가 발생하는데 주파수차가 크면 UP 신호 또는 DN 신호가 "high"인 시간이 길어지고 주파수차가 작으면

* 고려대학교 전기공학과
(서울특별시 성북구 안암동 5-1 고려대학교,
Fax: 02-921-1325
E-mail : jym2808@lycos.co.kr)

UP 신호 또는 DN 신호가 "high"인 시간이 감소하는데 이러한 특성을 바탕으로 위상차와 주파수차를 감지해 낼 수 있다. Sequential PFD는 신호의 Edge만을 비교하므로 Duty Ratio와 상관없이 위상차 검출 범위에 한계가 없고 고정 시간이 빠르다는 장점을 가지고 있지만 여러 개의 게이트를 포함하고 있기 때문에 딜레이로 인해 고주파에서 동작할 수 없고 큰 데드존을 갖는다는 단점이 있다. Sequential PFD의 동작 주파수 한계는 플립플롭의 리셋 동작에 의해 결정되는데 정상적 동작을 위해서는 입력 신호의 주기가 자가 종료 시간의 2배는 되어야 한다[2].

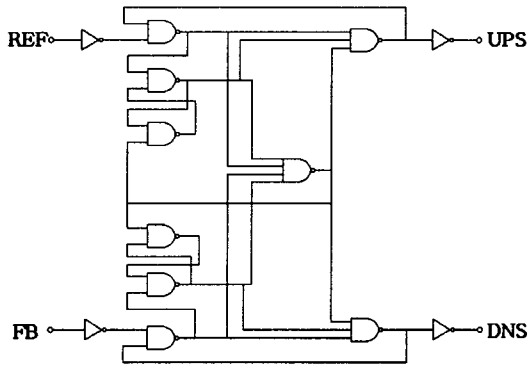


그림 1. 기존의 Sequential PFD 회로도.

그림 2는 상술한 Sequential PFD의 단점을 보완하기 위해 제안된 Precharge PFD의 구조를 나타낸다^[3]. REF 신호가 "low"일 때 A 노드를 충전하고 있다가 REF 신호가 "high"가 되는 순간 UP_inv 노드를 방전하여 UP이 "high"가 되며, UP이 "high"인 동안 FB 신호가 "high"가 되면 A 노드가 방전되고 UP_inv 노드가 충전되어 UP 신호를 "low"로 만든다. 즉, 플립플롭 대신에 다이내믹 로직을 사용한 간단한 구조로 PFD의 입력과 출력의 경로를 감소시키고 입력 신호 자체를 리셋 신호로 사용함으로써 딜레이를 줄여 고주파에서 동작하며 데드존이 작아져 지터를 줄일 수 있는 장점이 있다. 하지만 FB 신호가 "high"인 동안에는 A 노드를 충전할 수 없으므로 REF 신호가 "high"가 되어도 UP 신호가 "high"가 될 수 없는 경우와 같이 입력 신호의 위상차 범위가 $|\pi|$ 보다 큰 경우 비정상적인 동작을 나타내어 PLL의 Acquisition Time이 증가하는 단점이 생긴다^[4]. 따라서 입력 신호의 위상차 범위가 $|\pi|$ 보다 큰 경우에는 연속적인 DC 값을 Charge Pump의 입

력 신호 UP, DN으로 사용하고 위상차 범위가 $|\pi|$ 보다 작은 경우에는 Precharge PFD를 동작시킴으로써 고주파 동작과 빠른 Acquisition 특성을 갖는 Charge Pump PLL를 구현할 수 있다.

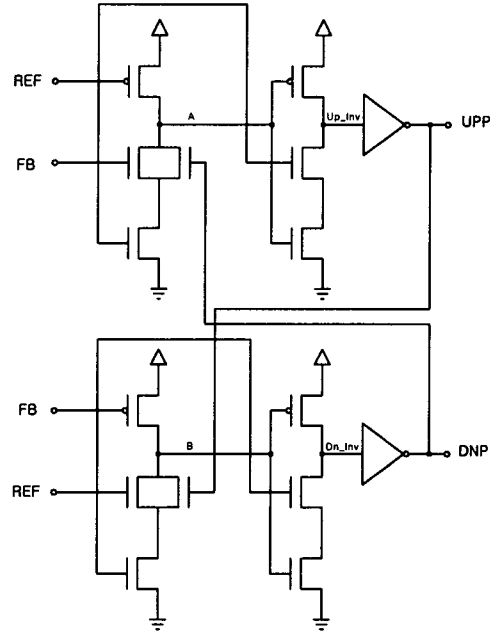


그림 2 기존의 precharge PFD 회로도.

2.2 다중 위상 검출기를 갖는 전하 펌프 PLL

그림 3은 제안한 다중 위상 검출기를 갖는 전하 펌프 PLL의 구조를 나타내었다. Sequential PFD의 출력 신호 UPS, DNS를 입력으로 하는 위상차 감지 회로 LC는 PLL의 두 입력 신호 REF와 FB의 위상차가 $|\pi|$ 보다 큰 경우 "low"를, 작은 경우 "high"를 출력한다. Sequential PFD의 출력 신호 중 UPS를 입력으로 하는 주파수차 감지 회로 FC가 PLL의 두 입력 중 REF의 주파수가 큰 경우 "high"를, FB의 주파수가 더 큰 경우 "low"를 출력하며, Selector 회로는 이 FC의 값에 따라 연속적인 DC 값을 UP 신호로 보낼 것인지, DN 신호로 보낼 것인지를 결정하게 된다. RESET 신호가 "low"일 때만 Charge Pump를 동작하게 하고 입력 신호의 위상차가 $|\pi|$ 이상이고, REF의 주파수가 더 큰 경우 연속적인 DC 값을 UP 신호로 사용하여 Charge Pump CP1로 LPF를 충전하고, FB의 주파수가 더 큰 경우 연속적인 DC 값을 DN 신호로 사용하여 Charge Pump CP1로 LPF를 방전시킴으로써 초기 Locking 과정에

서 위상차가 $|\pi|$ 이상인 경우의 Precharge PFD의 비정상 동작을 막고 연속적인 DC 값을 UP 또는 DN 신호로 Charge Pump에 제공함으로써 빠른 Acquisition을 수행할 수 있게 하였다. Locking이 진행되어 입력 신호의 위상차가 $|\pi|$ 보다 작게 되면 LC의 신호가 바뀌면서 Precharge PFD에 연결된 Charge Pump CP2만 동작하도록 하였다. 이 때 최종적인 Locking은 Precharge PFD에 의해 수행되므로 CP1의 구동 전류를 CP2에 비해 크게 설정하면 PLL의 Loop Bandwidth 값을 그대로 유지한 채 구동 전류가 작은 CP2에 맞추어 로패스필터를 설계하여 Acquisition 시간을 크게 감소시킬 수 있다[4].

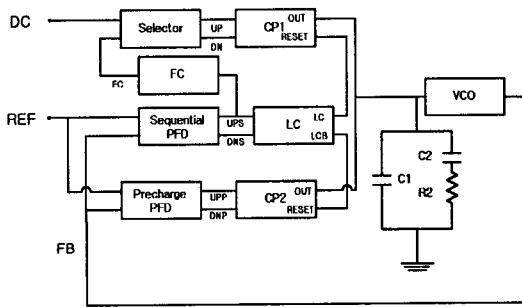


그림 3. 제안한 다중 위상 검출기를 갖는 전하 펌프 PLL의 구조.

입력 위상차 범위를 판정하는 회로 LC, 주파수차를 판정하는 회로 FC, FC의 값에 따라 연속적인 DC 값을 UP 신호 또는 DN 신호로 출력할 것인지를 결정하는 회로 Selector의 구조는 각각 그림 4, 그림 5와 그림 6에 나타내었다.

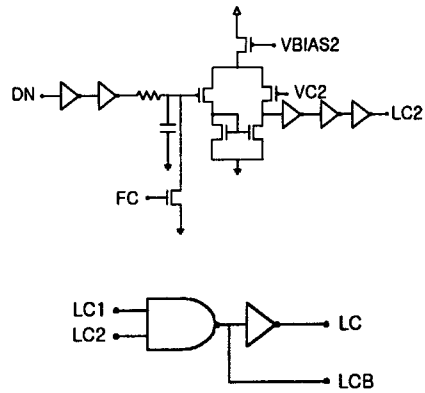
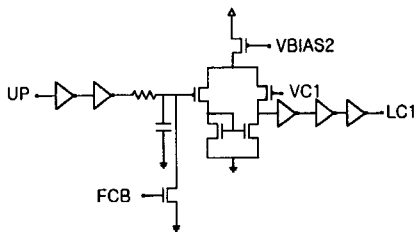


그림 4. LC 회로.

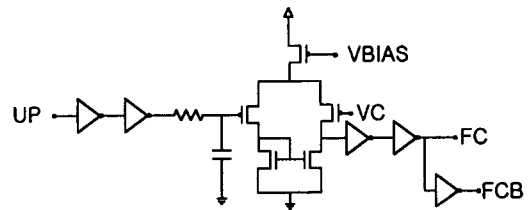


그림 5. FC 회로.

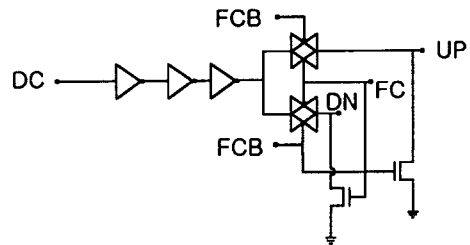


그림 6. Selector 회로.

2.3 시뮬레이션 결과 및 고찰

시뮬레이션을 통하여 Sequential PFD만을 사용한 PLL과 제안된 다중 PFD를 갖는 Charge Pump PLL을 비교하기 위해 5V의 Supply Voltage를 갖는 1.5 μm 표준 CMOS 공정 파라미터를 이용하여 설계해 보았다. 설계된 PLL에서는 20MHz/V의 이득과 10 ~ 90 MHz의 튜닝 영역 갖는 링발진기를 VCO (Voltage Controlled Oscillator)로 사용하였고 LPF는 1MHz의 bandwidth와 60°의 phase margin을 갖도

록 하였으며 CP1, CP2에서의 전류원은 각각 $300\mu\text{A}$, $50\mu\text{A}$ 이 되도록 하였다. 그림 7은 제안한 다중 PFD를 갖는 Charge Pump PLL과 Sequential PFD만을 사용한 PLL이 Locking 되는 과정을 보기 위해 VCO 입력 전압의 변화를 도시한 것으로 입력 주파수가 71.43MHz일 때 PLL의 Locking Time은 $13\mu\text{s}$ 이며 제안된 다중 PFD를 갖는 Charge Pump PLL의 Locking Time은 $3.3\mu\text{s}$ 이므로 제안된 PLL 구조가 고속 동작을 수행할 수 있음을 확인하였다. 이것은 그림 7에서 보는 바와 같이 초기 Locking 과정에서 연속적인 DC값을 UP 신호 또는 DN 신호 형태로 Charge Pump에 제공하여 Sequential PFD에서처럼 UP 신호 또는 DN 신호의 값이 변하지 않도록 함으로써 VCO 입력 전압의 요동 없이 빠르게 Locking 되도록 했기 때문이다. 그림 8은 각각의 입력 주파수에 따른 Locking Time을 나타낸 것이다.

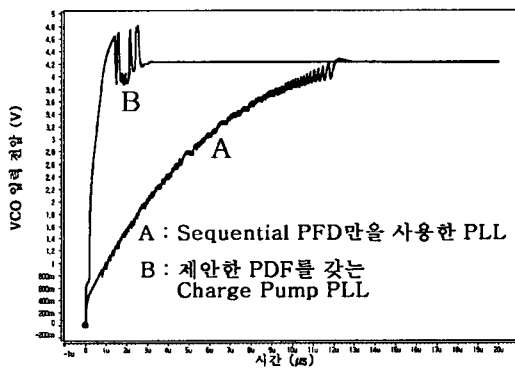


그림 7. VCO 입력 전압의 변화.

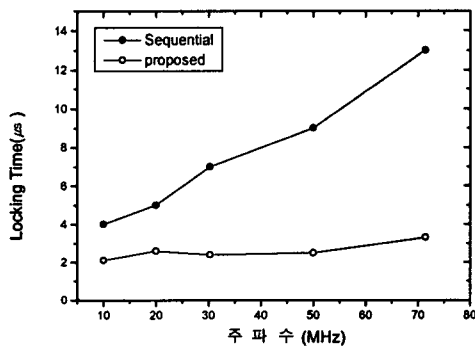


그림 8. 입력 주파수에 따른 고정시간.

3. 결론

제안된 PFD를 갖는 Charge Pump PLL은 기존의 PFD의 단점을 보완하고 장점을 결합하기 위해서 초기 Locking 과정에서는 전류원의 크기를 증가시킨 Charge Pump에 연속적인 DC 값을 주입함으로써 Acquisition Time을 감소시키고 최종 Locking 과정에서는 Precharge PFD를 사용함으로써 고주파에서의 동작을 가능케 하였다. 그러므로 제안한 PLL은 고속 동작과 빠른 고정 시간이 필요한 VLSI의 분야에 널리 활용될 수 있으리라 판단된다.

참고 문헌

- [1] Harufusa Kondoh, Hiromi Notani, Tsutomu Yoshimura, Hiroshi Shibata, Yoshio Matsuda, "A 1.5V 250MHz to 3.0V 622MHz operation CMOS phase-locked loop with precharge type phase frequency detector", IEICE Trans. Electron., vol. E78C, no.4, April, 1995, pp.381-388.
- [2] M. Soyuer, R. G. Meyer, "Frequency limitations of a conventional phase-frequency detector", IEEE J. of Solid State Circuits, vol. 25, no. 4, Aug., 1990, pp.1019-1022.
- [3] Henrik O. Johansson, "A simple precharged CMOS phase frequency detector", IEEE J. of Solid State Circuits, vol. 33, no. 2, Feb., 1998, pp.295-299.
- [4] 우영신, 김두곤, 오름, 성만영 "Precharge형 PFD의 동작 특성 개선에 관한 연구" 2000년 대한전기학회 하계학술대회 논문집, 2000.7.17-20 pp.3088-3090