

고속 3차원 매립 인덕터에 대한 모델링

Modeling of High-speed 3-Dimensional Embedded Inductors

이서구*, 최종성*, 윤일구*

Seogoo Lee, Jongseong Choi, Ilgu Yun

Abstract

As microelectronics technology continues to progress, there is also a continuous demand on highly integration and miniaturization of systems. For example, it is desirable to package several integrated circuits together in multilayer structure, such as multichip modules, to achieve higher levels of compactness and higher performance. Passive components (i.e., capacitors, resistors, and inductors) are very important for many MCM applications. In addition, the low-temperature co-fired ceramic (LTCC) process has considerable potential for embedding passive components in a small area at a low cost. In this paper, we investigate a method of statistically modeling integrated passive devices from just a small number of test structures. A set of LTCC inductors is fabricated and their scattering parameters (s-parameters) are measured for a range of frequencies from 50MHz to 5GHz. An accurate model for each test structure is obtained by using a building block based modeling methodology and circuit parameter optimization using the HSPICE circuit simulator.

Key Words : LTCC; 3-D embedded inductor; optimization; Scattering parameter

1. 소개

기술의 발전에 따라, 점점 더 높은 수준의 시스템의 집적과 소형화에 대한 관심이 높아지고 있다. 따라서 많은 응용 분야에서는 보다 나은 성능의 구현과 소형화를 위해 몇 개의 집적회로(IC)들을 함께 패키징(packaging)하는 Multichip Modules(MCMs)을 사용하고 있으며, 이러한 MCM 응용 분야에서 캐패시터, 인덕터 및 저항과 같은 수동소자들은 필수적인 요소들이다[1].

저온 동시소성 세라믹(Low Temperature Cofired Ceramic : LTCC) 공정은 넓은 기판(substrate)에 많은 수동소자들을 집적할 수 있다[2]. LTCC 내의 수동소자들의 구조를 정확히 설계하기 위해서는, 각각

의 소자들에 대한 정확한 모델링이 필요하지만, 고주파 대역에서는 LTCC 내부의 3차원 구조와 소자의 길이로 인하여 기존의 모델링 방법을 사용할 수는 없다.

따라서 이 논문에서는 다층(Multilayer) LTCC 공정으로 제조된 3차원 매립 인덕터(3-Dimensional Embedded inductor)의 모델링을 수행할 것이다. 이를 위해서 3가지 다른 구조의 LTCC 매립 인덕터를 HSPICE 최적화와 Partial Element Equivalent Circuit(PEEC) 방법을 이용하여 정확히 모델링할 것이다[3].

2. 테스트 구조 설명

2.1 저온 동시소성 세라믹

LTCC는 각각의 표면에 도선 등이 인쇄된 개별의 소성되어지지 않은 층(greensheet; Green TapeO Dupont)을 적층시킨 후 한 단계에서 동시에 가열시

* 연세대학교 전기전자공학과
(서울 서대문구 신촌동 134번지,
Fax:02-362-6444 E-mail: iyun@yonsei.ac.kr)

킨 다층회로(multilayer circuit)를 말한다. 이러한 과정은 고온 동시소성 세라믹(High Temperature Cofired Ceramic : HTCC)의 제조 공정과 유사하지만, 기존의 HTCC에 비해 비교적 낮은 온도를 이용하기 때문에 LTCC에서 은을 도선 등으로 사용할 수 있다. 또한 기판 내에 저항, 캐패시터, 인덕터 등의 수동소자의 집적이 가능하다. 저항은 특수한 paste를 동시소성 단계나 소성 이후 단계에서 layer 위에 도선과 같은 방식으로 인쇄하여 공정이 이루어진다. 최근에는 약 30%의 값을 갖는 매립 저항의 허용 오차가 문제가 되고 있다. 캐패시터와 인덕터는 오직 ferrite paste와 high-k paste의 소재 등을 이용한 특수한 형태의 도선으로 만들어지며, 이러한 ferrite paste와 high-k paste는 그러한 소자의 발전 가능성을 넓혀주었다.

LTCC 구조는 집적도가 높아짐으로 인해 3-D 구조의 수동소자들이 전자장을 형성하여 고주파에서의 기생효과(parastic effect)의 영향을 무시할 수 없게 되어 기존의 회로 해석법으로는 정확한 해석이 어렵다. 따라서 정확한 해석을 위해서는 building block 을 이용하여 소자를 모델링하는 것이 필요하다.

2.2 테스트 구조

테스트 구조는 12-layer LTCC 공정에 의하여 만들어졌다. 모든 인덕터는 각각 다른 층 위에 위치한 상부 도체(Top conductor)와 하부 도체(Bottom conductor)로 이루어졌으며, 이 도체를 Via stack으로 연결하여 solenoidal pattern을 만들었다. 또한 도체 사이에 발생할 수 있는 coupling conductance를 줄이기 위하여 도체 사이에 6개의 ceramic tape를 적층하였다.

세 개의 LTCC 기판(coupon)이 동일한 공정을 거쳐 integrated passives로 제작되었고, 각 기판 위에는 그림 1.에서 보이고 있는 세 개의 테스트 인덕터 구조가 제작되었다. 따라서 각 구조별로 3개씩의 동일한 모양의 인덕터가 존재하게 된다. 첫 번째 구조는 한 개의 인덕터 coil와 probe pad로 구성되어 있으며, 이 구조를 통하여 uncoupled 인덕터의 모델링이 가능하다. 또한 두 번째 구조는 첫 번째 구조의 인덕터 coil 세 개를 직렬로 연결한 것으로 평행한 각 인덕터간의 coupling effect를 확인할 수 있다. 마지막, 세 번째 구조는 두 번째 구조의 coil의 길이를 줄여 coil의 길이가 인덕터의 성능에 어떠한 영향을 미치는지 알아 볼 수 있다.

또한 이 각각의 구조에 대하여 모양이 동일한 3개의 인덕터가 존재하므로 테스트 구조별로 가질 수

있는 공정상의 변위 뿐 아니라, 각 기판(coupon)별로 보일 수 있는 변위도 고려할 수 있게 된다.

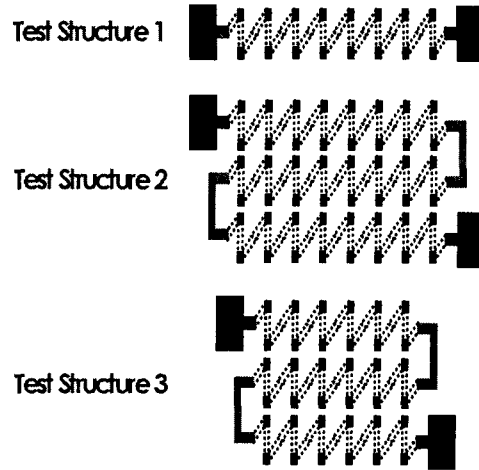


그림 1. 3개의 테스트 구조들의 2차원 모형

3. 측정 및 모델링 결과

3.1 환경설정과 측정

인덕터로서의 성능을 결정하는 것은 테스트 구조의 입출력 전압과 전류의 관계를 나타내주는 Admittance Parameter(Y-Parameter)이나, 측정되는 주파수 영역은 45MHz~5GHz의 고주파 대역으로 이 영역에서 Y-Parameter를 직접 측정하는 것은 불가능하고, 따라서 Scattering parameter(S-Parameter)가 대신 측정되었다.

S-Parameter는 아래의 식으로 Y-Parameter로 전환된다.

$$Y_{11} = \frac{1}{Z_0} \left[\frac{(1 + S_{22})(1 - S_{11}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

$$Y_{12} = \frac{1}{Z_0} \left[\frac{-2S_{12}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

$$Y_{21} = \frac{1}{Z_0} \left[\frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

$$Y_{22} = \frac{1}{Z_0} \left[\frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \right]$$

고주파 대역의 측정을 위해 HP8510C network analyzer를 Cascade Microtech probe station과 ground-signal-ground probe에 연결하여 사용하였다. 이 때 입력 저항과 출력 저항은 각각 50Ω을 연결하였다. 각각의 구조에 대하여 45MHz와 5GHz 사이에

서 200개의 값을 측정하였으며, 제조 공정에서 매우 작은 저항을 갖는 물질을 이용하였기 때문에 직류 저항의 값은 무시하였다.

3.2 모델링

모델링을 위하여 인덕터의 각 부분들을 building block으로 나누어, 최종적으로 각 building block들이 전체 인덕터에 미치는 전기적 영향을 결정하였다. 이 building block을 나타내는 등가회로는 Partial Element Equivalent Circuit(PEEC) Method를 이용하여 결정되었다. 이 등가회로는 각 block들의 실제 3-D 구조 고려한 것이고 HSPICE simulator를 이용한 시뮬레이션은 기존의 EM/RF (Electromagnetic / Radio Frequency) 시뮬레이션 방법들에 비해 손쉽게 테스트 구조들의 동작을 정확히 예측할 수 있도록 해 준다.

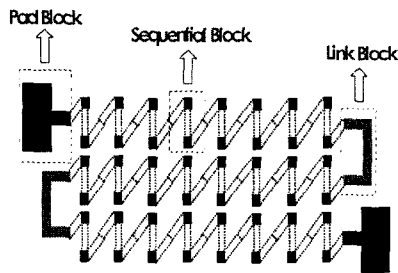


그림 2. Building Blocks

그림 2.의 각 Building Block들의 등가회로는 각 Building Block들이 가지고 있는 특성들을 충분히 표현할 수 있도록 최적화되었다. Link Block이 있는 테스트 구조 2와 3의 경우, 서로 평행한 Sequential Block 간에도 기생요소가 존재할 수 있다. 이는 코일간의 상호 인덕턴스(lmut)와 캐패시턴스(cmut)으로 모델링되었다. 각 Building Block의 등가회로는 그림 3.~그림 5.와 같다.

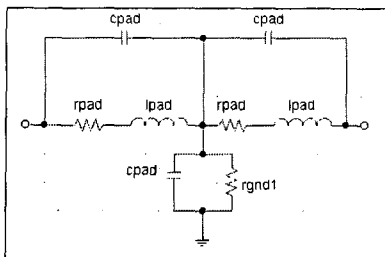


그림 3. Pad Block의 등가회로

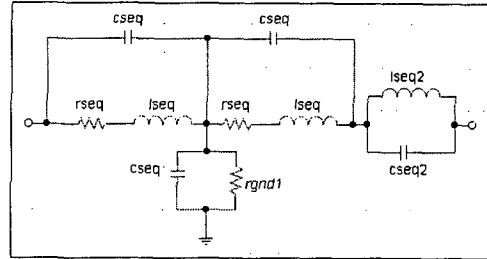


그림 4. Sequential Block의 등가회로

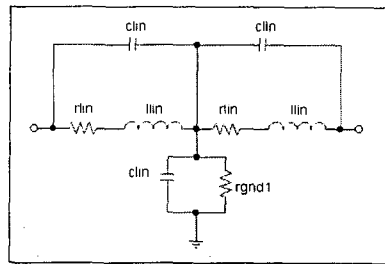


그림 5. Link Block의 등가회로

3.3 HSPICE 최적화

HSPICE 최적화 알고리즘은 Levenberg-Marquardt(LM) 방법이다. 이 방법은 Gauss-Newton 법에 의하여 주어지는 탐색 방향과 Steepest Descent 법에 의해 주어지는 방향을 절충한 탐색 방향을 제시한다. 즉, Steepest Descent 법으로 초기에 최적치에 접근해 가고, 어느 정도 접근한 상태에서는 Gauss-Newton 법으로 좀 더 정밀한 답을 찾아준다. 이 방법의 목적 함수는 다음과 같다.

$$F_0(X) |_{X=(x_1, x_2, \dots, x_n)} = \sum_{i=1}^m [w_i \frac{f_i(X) - F_{meas}^i}{F_{meas}^i}]$$

여기서 $X=(x_1, x_2, \dots, x_n)$ 은 추출되어야 하는 파라미터들의 값들의 집합이고, n 은 파라미터의 총개수, F_{meas}^i 는 i 번째 파라미터의 실제 측정된 값, m 은 총 측정된 데이터의 수, $f_i(X)$ 은 i 번째의 시뮬레이션된 값이다. w_i 는 i 번째 측정된 데이터에 대한 weight 값이다. 이 방법을 사용하여 최종적으로 찾아내는 것은 $F_0(X)$ 를 최소화시키는, 즉 측정된 데이터와 시뮬레이션된 데이터 사이의 오차를 최소화시키는 파라미터 집합 $X=(x_1, x_2, \dots, x_n)$ 가 된다.

Building block 변수 추출 및 최적화는 고주파수

에서 발생하는 기생효과를 고려하지 않은 범위에 대하여 수렴되었고 범위는 표 1.에 요약되어 있다.

표 1. 최적화 수행 주파수 대역

Test Structure	최저 주파수	최고 주파수
1	45 MHz	2.4 GHz
2	45 MHz	0.8 GHz
3	45 MHz	1.1 GHz

3.4 최적화 결과

그림 6.~그림 8.은 Coupon 1의 테스트 구조들에 대한 S-parameter 최적화 결과를 통해 계산한 Y11 parameter이다. 그림에서 볼 수 있듯이 최적화 결과는 측정 결과와 유사하다. 이러한 결과는 다른 coupon들의 테스트 구조들에 대해서도 마찬가지이다. (실선 : Measured Data, 점선 : Optimized Data)

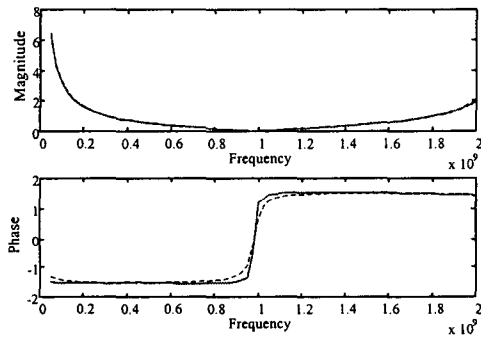


그림 6. 테스트 구조 1에 대한 측정된 Y11과 최적화된 Y11의 비교

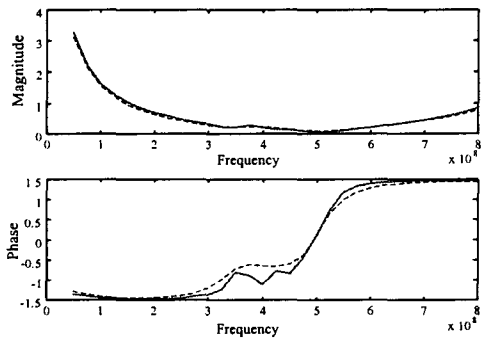


그림 7. 테스트 구조 2에 대한 측정된 Y11과 최적화된 Y11의 비교

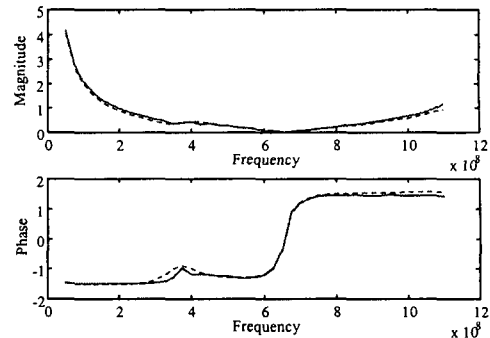


그림 8. 테스트 구조 3에 대한 측정된 Y11과 최적화된 Y11의 비교

4. 결론

본 논문에서는 다층 LTCC 공정으로 제조된 3차원 매립 인덕터의 모델링을 PEEC 방법을 이용하여 수행하였다. 파라미터 모델링 결과로부터 MCM에 중요하게 사용되는 집적된 인덕터의 성능을 정확히 디자인하고 특징지을 수 있을 뿐만 아니라 나아가 PEEC 모델을 이용함으로써 다른 구조를 가지는 인덕터의 통계적 특성 변위를 Monte Carlo Analysis를 이용하여 해석이 가능하다.

감사의 글

본 연구는 2000년도 연세대학교 교내연구비 지원에 의하여 수행되었습니다.

참고 문헌

1. R. Poddar and M. Brooke, "Accurate, High Speed Modeling of Integrated Passive Devices in Multichip Modules," Proc. Electrical Performance of Electronic Packaging, Oct. 1996, pp. 184-186.
2. R. Poddar and M. Brooke, "Accurate High Speed Empirically Based Predictive Modeling of Deeply Embedded Gridded Parallel Plate Capacitors Fabricated in a Multilayer LTCC Process," IEEE Trans. Advanced Packaging, vol. 22, no. 1, pp. 26-31, Feb. 1999.
3. H. Heeb and A. E. Ruehli, "Three-dimensional Interconnect Analysis Using Partial Element Equivalent Circuits," IEE Trans. Cir. Sys. I, vol. 39, pp. 974-982, Nov. 1992.