

SiON buffer layer를 이용한 MFIS Capacitor의 제작 및 특성

Fabrications and properties of MFIS capacitor using SiON buffer layer

정상현*, 정순원*, 인용일**, 김광호**

Sang-Hyun Jeong*, Soon-Won Jung*, Yong-Il In**, Kwang-Ho Kim**

Abstract

MFIS(Metal-ferroelectric-insulator-semiconductor) structures using silicon oxynitride(SiON) buffer layers were fabricated and demonstrated nonvolatile memory operations. Oxynitride(SiON) films have been formed on p-Si(100) by RTP(rapid thermal process) in O₂+N₂ ambient at 1100°C. The gate leakage current density of Al/SiON/Si(100) capacitor was about the order of 10⁻⁸ A/cm² at the range of ±2.5 MV/cm. The C-V characteristics of Al/LiNbO₃/SiON/Si(100) capacitor showed a hysteresis loop due to the ferroelectric nature of the LiNbO₃ thin films. Typical dielectric constant value of LiNbO₃ film of MFIS device was about 24. The memory window width was about 1.2V at the electric field of ±300 kV/cm ranges.

Key Words : FeRAM, MFIS Structure, FeFET, LiNbO₃, Silicon Oxynitride(SiON), RTA(Rapid Thermal Annealing)

1. 서론

고속, 고집적 메모리 소자 응용에서 강유전체 박막을 게이트로 이용한 FeFET(Ferroelectric FET)에 관한 연구가 활발히 진행되고 있다.^[1-2] FeFET형 메모리 구조는 MOSFET의 게이트 절연막인 실리콘 산화막을 강유전체 박막으로 치환한 구조이다. 그러나 FeFET 소자의 제작에 있어서는 강유전체와 실리콘 계면에 SiO₂와 같은 불필요한 막의 생성과 계면에서의 반응으로 인해 우수한 강유전성을 얻기 어렵다.^[3-4] 이러한 단점을 보완하기 위해 강유전체와 실리콘 사이에 절연층을 삽입하여 계면에서의 문제점을 해소하기 위한 MFIS-FET 구조에 대한 연구

가 진행중이다. 대표적 절연막인 SiO₂는 amorphous로 기판 의존성이 강한 강유전체를 그 위에 성막하여도 양질의 결정을 얻기가 곤란하여 양호한 FET특성을 얻기가 어렵다. 또한 산화막이 저유전율(3.9)이므로 고유전율을 갖는 강유전체 박막을 사용했을 경우, 강유전체 박막과 산화막 사이에 인가된 전압은 두께가 얇고 유전율이 낮은 산화막에 걸리게 되어 양호한 강유전 특성을 얻을 수 없게 된다.

누설전류 특성과 유전특성, 그리고 절연과파 특성과 산화막의 신뢰성 특성을 개선할 수 있는 물질로 oxynitride(SiON)에 대한 보고가 있다.^[5] Oxynitride 막을 성장시키는 방법으로는 NH₃, N₂O 등의 분위기에서 RTP(rapid thermal process), furnace 등의 다양한 방법으로 이용되어지고 있는데, 본 논문에서는 1100°C, O₂+N₂ 분위기에서 자체 제작한 RTA 장치를 이용한 silicon oxynitride(SiON)를 성막하고, 그 절연층 위에 RF magnetron sputtering system을 이용하여 산화물계 강유전체인 LiNbO₃ 박막을 증착하여 강유전체/절연체/실리콘 구조를 제작했으며, 박막 증착 후 전기적, 구조적 특성의 향상을 위해 고온 순간 열처리를 행하였다.^[6-7] 이렇게 준비된 시료에

* 청주대학교 전자공학과
(충북 청주시 상당구 내덕동 36번지 청주대학교,
Fax: 043-229-8432
E-mail : semihyun@chongju.ac.kr)

**청주대학교 전자·정보통신·반도체 공학부

Al 전극을 증착하여 MIS, MFIS 구조를 제작하였으며, 그 전기적·구조적 특성에 대해 논의한다.

2. 실험방법

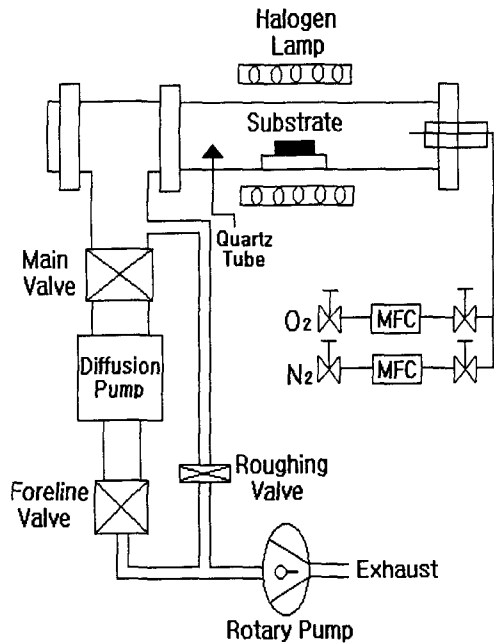


그림 1. RTP (Rapid thermal process) 시스템의 블록도

Fig 1. Schematic diagram of RTP(Rapid thermal process) system apparatus

그림 1은 자체 제작한 RTP 시스템 장치의 블록도를 보인 것으로 할로겐 램프를 Quartz tube의 외부에 설치하여 가열하고, 잔류가스에 의한 기판의 오염을 최소화하도록 오일확산 펌프를 통해 진공도를 1×10^{-6} Torr 이하까지 배기시킬 수 있다. 또한 유량 조절기(MFC)를 이용하여 O_2+N_2 의 유량을 정확하게 조절할 수 있도록 설계되어 있다.

비저항이 $21 \sim 25 \Omega \cdot \text{cm}$ 인 p-type Si(100) 웨이퍼를 유기 세정과 표준 RCA method^[8]로 세정한 후 Quartz tube에 넣어서 초기 진공도를 1×10^{-6} Torr로 유지하고, O_2+N_2 의 혼합가스를 2:8의 비율로 5분 동안 흘려 반응로 내부의 압력이 대기압을 유지하도록 하였다. O_2 와 N_2 기체 혼합시 가스 분압은 1atm이 되도록 조절하였다. 이 상태에서 1100°C 에서 3분 동안 열처리를 행하여 SiON막을 성막하였다. 이렇게

제작된 SiON/Si(100) 구조를 가지고 RF magnetron sputtering method를 이용해 산화물계 강유전체인 $LiNbO_3$ films을 증착시켜 $LiNbO_3/SiON/Si$ 구조를 완성하였다.

Ellipsometer와 Alpha-step으로 측정된 SiON 박막의 평균 두께는 약 20nm, $LiNbO_3$ 는 약 200nm였다. $LiNbO_3$ 의 결정화를 위해 O_2 분위기에서 1분 동안 고온 순간 열처리를 수행했다. 게이트 전극으로 thermal evaporator를 사용하여 Al을 증착한 후 400°C 에서 10분간 post metallization annealing을 행하였다.

MIS 커패시터와 MFIS 커패시터의 전기적인 특성 평가에는 HP-4145B와 HP-4192A를 사용하여 누설 전류(I-V)와 커패시턴스-전압(C-V) 특성을 평가하였다. 그리고 XRD(X-Ray Diffraction)법으로 구조적인 특성을 분석하였다.

3. 결과 및 고찰

3.1 Al/SiON/Si(100) 구조의 특성

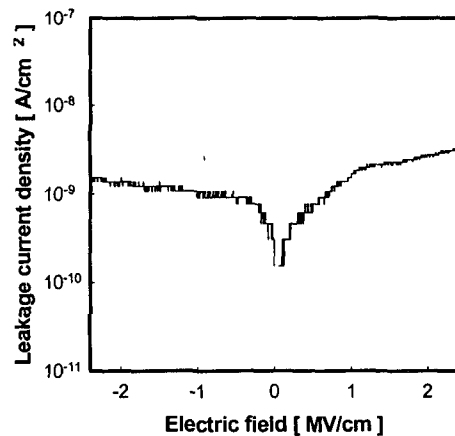


그림 2. Al/SiON/Si(100) 구조를 갖는 MIS 커패시터의 게이트 누설전류밀도

Fig 2. Gate leakage current density of MIS capacitor with Al/SiON/Si(100) structure

그림 2는 Al/SiON/Si(100) 구조를 갖는 MIS 커패시터의 게이트 누설전류밀도를 측정하는 것이다. 인가된 전계의 $\pm 2.5 \text{ MV/cm}$ 내에서 10^{-8} A/cm^2 이하의 우수한 누설전류 특성을 얻을 수 있었다.

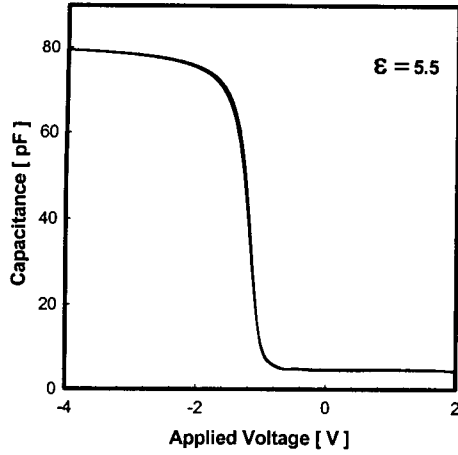


그림 3. Al/SiON/Si(100) 구조를 갖는 MIS 커패시터의 1MHz C-V 특성곡선

Fig 3. 1MHz C-V characteristic curve of MIS capacitor with Al/SiON/Si(100) structure

그림 3은 Al/SiON/Si(100)구조의 MIS 커패시터에 대한 1MHz C-V 특성 곡선을 나타내고 있다. SiON 박막 두께는 20nm이며, 전극의 면적은 $3.27 \times 10^{-4} \text{ cm}^2$ 이다. 그림에서 보는 바와 같이 hysteresis가 거의 없는 양호한 계면 특성이 나타나고 있으며, C_{acc} 에서 산출된 유전율은 5.5로 SiO_2 보다 높은 값을 얻었다. $\text{O}_2 + \text{N}_2$ 의 비가 nitrogen rich로 진행되었지만 이상적인 silicon nitride의 유전율 7.5보다는 낮았다.

3.2 Al/LiNbO₃/SiON/Si(100) 구조의 특성

그림 4는 LiNbO₃를 저온에서 SiON/Si(100) 위에 증착한 후 850°C, O₂ 분위기에서 1분간 고온 급속 열처리를 행한 LiNbO₃/SiON/Si(100) 구조의 XRD 패턴이다. 그림에서 보듯이 여러 면의 LiNbO₃ 피크들이 얻어지고 있는 바, 단일 상(single phase)의 다결정임을 알 수 있다.

그림 5는 MFIS 커패시터의 게이트 누설전류밀도를 나타내는 결과이다. 인가된 전계가 ±250 kV/cm 까지 측정된 게이트 누설전류가 buffer층에 비해 상대적으로 높게 나타났다. 현재로서는 정확한 원인을 알 수 없으나 SiON 위에 LiNbO₃ 막을 형성시키고 열처리하는 과정 중에 LiNbO₃/SiON/Si(100) 구조에 어떤 결함이 발생한 것으로 판단되어 이 구조를 구현함에 있어 앞으로 기판 온도를 높이는 방법과 열

처리 방법을 최적화함으로써 누설전류 특성 개선이 가능할 것으로 판단하고 있다.

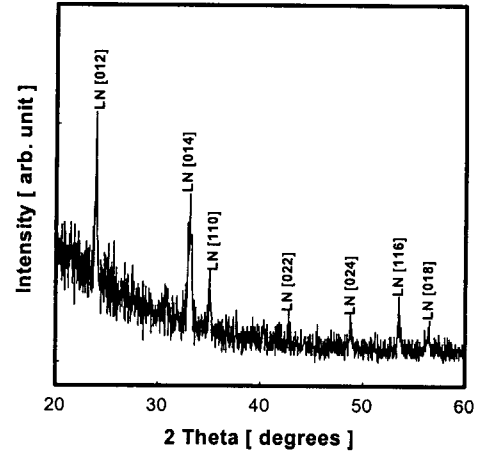


그림 4. LiNbO₃/SiON/Si(100) 구조의 XRD 패턴
Fig 4. XRD pattern of LiNbO₃/SiON/Si(100) structure

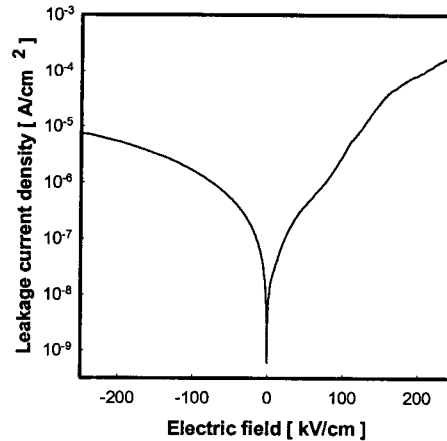


그림 5. LiNbO₃/SiON/Si(100) 구조를 갖는 MFIS 커패시터의 게이트 누설전류밀도

Fig 5. Gate leakage current density of MFIS capacitor with LiNbO₃/SiON/Si(100) structure

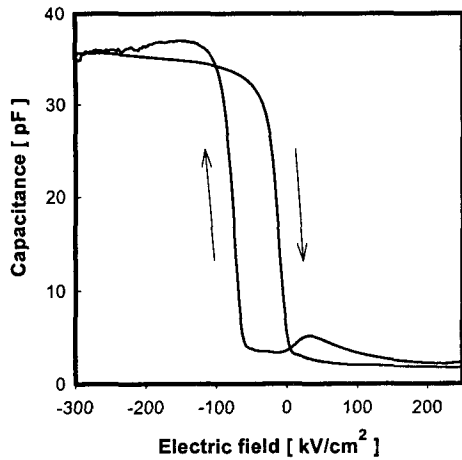


그림 6. Al/LiNbO₃/SiON/Si(100) 구조를 갖는 MFIS 커패시터의 1MHz C-V 특성곡선

Fig 6. 1MHz C-V characteristic curve of MFIS capacitor with Al/LiNbO₃/SiON/Si(100) structure

그림 6에 Al/LiNbO₃/SiON/Si(100)구조의 1MHz C-V 특성 곡선을 보인다. 그림에서 보는 것처럼 누설전류에 의한 영향으로 판단되는 특성의 불안정을 제외하고는 대체로 양호한 계면특성이 나타나고 있으며 LiNbO₃ 박막의 강유전성에 의한 hysteresis loop를 보이고 있다. 이 때 측정된 memory window width는 약 1.2V였다. C_{acc}에서 산출된 LiNbO₃의 유전율은 약 24였다.

3. 결론

SiON buffer layer가 삽입된 Al/LiNbO₃/SiON/Si(100) 구조를 제작하여 비휘발성 메모리서의 응용가능성을 확인하였다. RTP를 이용한 SiON 박막을 형성 후 제작한 MIS 커패시터의 1MHz C-V 특성 곡선에서 히스테리시스가 거의 없는 양호한 계면 특성을 얻을 수 있었으며, 1MHz C-V 특성곡선의 축적 영역에서 산출한 SiON 박막의 유전율 값은 약 5.5였다. 또한 인가 전계 ±2.5 MV/cm에서의 누설전류가 10⁻⁸ A/cm² 이하로 매우 우수했다. 이를 바탕으로 제작된 SiON이 삽입된 MFIS 커패시터에서도 양호한 interface특성과 LiNbO₃ 박막의 강유전성에 의한 히스테리시스 특성을 보임을 알 수 있었으며, 이 때의 memory window width는 약 1.2V였다. 그러나

buffer층만을 이용한 MIS 구조에서보다 누설전류밀도가 매우 크게 나타나고 있어 장차 개선이 요구되고 있다.

감사의 글

본 연구는 한국과학재단 목적기초연구(98-0300-0901-3)지원으로 수행되었음.

참고 문헌

- [1] J. L. Moll and Y. Tarui, "A new solid state memory resistor", IEEE Trans. Electron Devices, vol. 10, no. 9, pp. 338-339, 1963
- [2] S. Y. Wu, "A New Ferroelectric Memory Devices, Metal - Ferroelectric - semiconductor Transistor", IEEE Trans. Electron Devices, Vol. ED-21, No. 8, pp. 499-504, Aug. 1974.
- [3] D. R. Lampe, D. A. Adams, M. Austin, M. Polinsky, J. Dzimianski, S. Sinhaloy, H. Buhay, P.Brabant and Y. M. Liu, Ferroelectrics, 133, p61, 1992
- [4] Y. Matsui, M. Okuyama, M. Noda and Y. Hamakawa, Appl. Phys., A28, p 161, 1982
- [5] A. Uchiyama, H.Fukuda, T.Hyanshi, T.Iwabachi, and S.Ohno, IEDM, pp.426, 1990
- [6] Kwang-Ho Kim, "Metal-Ferroelectric-Semiconductor(MFS)FET's Using LiNbO₃/Si (100) Structures For Nonvolatile Memory Operation", IEEE Electron Device Letters, vol. 19, no. 06, pp. 204-206, 1998.
- [7] 김광호, 정순원, 김채규, "LiNbO₃ 강유전체 박막을 이용한 저전압용 MFS 디바이스의 특성", 전자공학회논문지, 제 36권, D편, 제11호, pp. 925-930, 1999.
- [8] K. Werner, and D. A. Puotinen, "Cleaning Solutions Based on Hydrogen Peroxide for use in Silicon Semiconductor Technology", RCA Review. 31., pp. 187-206, June. 1970.