

STI CMP 공정의 연마시간에 따른 평탄화 특성

Planarization characteristics as a function of polishing time of STI-CMP process

김철복*, 서용진*, 김상용**, 이우선***, 장의구****

(Chul-Bok Kim*, Yong-Jin Seo*, Sang-Yong Kim**, Woo-Sun Lee***, Eui-Goo Chang****)

Abstract

Chemical mechanical polishing(CMP) process has been widely used to planarize dielectric layers, which can be applied to the integrated circuits for deep sub-micron technology. The rise throughput and the stability in the device fabrication can be obtained by applying of CMP process to STI structure in $0.18\mu\text{m}$ semiconductor device. The reverse moat process has been added to employ in STI-CMP. Thus, the process became complex and the defects were seriously increased. Removal rates of each thin films in STI-CMP was not equal, hence the devices must to be effected, that is, the damage was occurred in the device area for the case of excessive CMP process and the nitride film was remained on the device area for the case of insufficient CMP process, and than, these defects affect the device characteristics. Also, we studied the High Selectivity Slurry(HSS) to perform global planarization without reverse moat step.

Key Words : CMP(Chemical mechanical polishing), HSS(High Selectivity Slurry), STI(Shallow Trench Isolation), APCVD(Atmospheric Pressure Chemical Vapor Deposition), step height

1. 서론

최근 반도체 소자의 고속화 및 고집적화에 따른 배선층수의 증가와 배선 패턴의 미세화에 대한 요구가 갈수록 높아져 CMP 광역 평탄화에 의한 다층 배선 기술이 deep 서브 마이크론 공정에서 더 중요하게 되었다. 기존의 LOCOS(Local Oxidation of Silicon) 공정은 소자의 활성영역으로 필드 산화막이 측 방향에서 침투하는 새부리(bird's beak) 현상과 노출된 실리콘과 거친 표면의 deep 서브 마이크론

지역에서 필드 산화막이 얇아짐으로 인하여 $0.5\mu\text{m}$ 이하의 반도체 제조 공정에서는 문제점으로 대두되었다[1]. 최근 소자 분리 방법으로 STI 공정이 반도체 소자의 고밀도화에 필수적인 기술로 주목받고 있다. 이 공정은 실리콘 웨이퍼 위에 얇은 트렌치(trench)를 만들고 그 위에 SiO_2 를 도포하고 CMP로 평탄화하는 기술로 기존의 LOCOS 방법보다 좁은 면적으로 소자 분리가 가능하고, 성능이 우수하다는 장점을 갖고 있다[2]. 특히 넓은 지역을 광역 평탄화하는데 우수한 특징을 보이고 있어 널리 사용되고 있다[3]. 그러나 CMP 공정에 기인하는 디싱(dishing)효과[4], 산화막의 찢겨진 결함[5], 산화막 위에 질화막이 남는 현상과 CMP 공정 후 세정[6], CMP 공정시 정확한 연마정지점의 검출[7] 등 여러 가지 공정상의 문제점들을 수반하고 있다. 이를 해결하고자 각 박막에 따라 적절한 연마율을 갖도록 CMP 공정용 연마제를 개발하는데 역점을 두고 있

* : 대불대학교 전기공학과
(전남 영암군 삼호면 산호리
Fax : 061-469-1265,
E-mail : kcb@mail.daebul.ac.kr)

** : 아남 반도체 Fab 사업부

*** : 조선대학교 전기공학과

**** : 중앙대학교 전자전자공학부

는 실정이다. 또 하나의 해결책으로 CMP 공정에 reverse moat 공정을 추가하여 이를 해결하고 있다. 그러나 이것도 문제점을 완전히 해결하지는 못하고 있다. 이 reverse moat 공정이 추가됨으로써 효율적인 생산성 확보가 문제가 됐을 뿐만 아니라 결함이 심각하게 대두되었다. STI 공정에서 사용하던 연마 슬러리로는 충분한 SiO_2 와 Si_3N_4 의 연마선택비(selectivity)를 얻을 수 없어 복잡한 reverse moat 공정을 사용할 수밖에 없었다.

본 논문에서는 이러한 문제점을 해결하기 위해 Si_3N_4 에 선택적으로 보호막을 형성하며, SiO_2 를 선택적으로 식각하여 Si_3N_4 가 연마되는 속도를 최소화함과 동시에 선택성을 극대화시킴으로써 기존의 복잡한 reverse moat 공정을 적용할 필요 없이 바로 CMP 공정을 진행하여 공정을 단순화하고자 하였다.

2. 실험

STI 패턴 웨이퍼의 제조 과정을 그림 1에서 개략적으로 나타내었다.

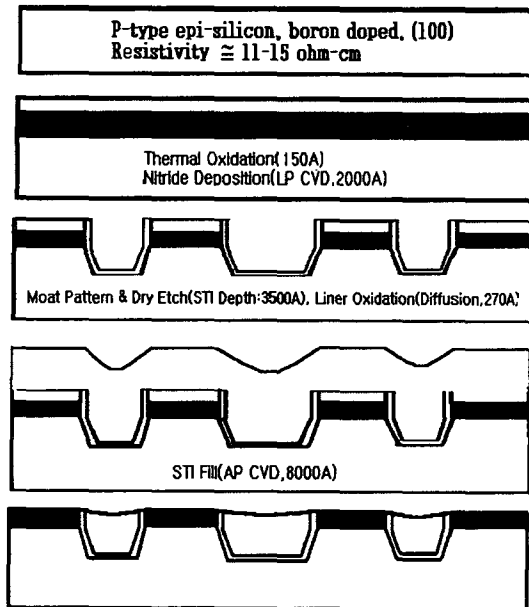


그림 1. STI 패턴 웨이퍼의 제조 순서도.
Fig. 1. Fabrication sequence of STI pattern wafer.

초기 블랑킷 웨이퍼에 열산화막을 전기로에서 150Å을 증착 한 후 그 위에 LPCVD로 질화막 2000Å을 증착하고 moat 패턴과 건식 식각으로 트렌치를 3500

Å 깊이로 형성하였다. 이 트렌치 위에 선형 산화막을 전기로에서 270Å 형성하고 APCVD로 산화막 8000Å 증착하여 트렌치를 산화막으로 채운 후 열처리 과정을 거쳐 STI 구조를 형성하였다. IPEC Avanti 472 CMP Polisher를 사용하여 20초 간격으로 연마가 진행되었으며, 각 CMP 공정 후 SC-1 용액을 이용하여 세정하였고, SRD(spin rinse dry)를 통해 웨이퍼 표면을 건조시킨 후 형상 및 두께를 측정하였다. 산화막 두께를 측정하기 위해 Nano Metrics M8000X와 Rudolph Ellipsometer FE VII 시스템을 사용하였다.

3. 실험 결과 및 고찰

단차가 서로 다른 패턴 웨이퍼에서의 CMP 공정은 패턴 밀도에 매우 민감하게 반응하는데 moat 밀도는 연마 패드와 웨이퍼 표면의 산화막과의 접촉면적의 비율로 나타낸다. 그림 2는 CMP 공정에 의한 표면 평탄화 특성을 분석하기 위하여 20초 간격으로 STI 패턴 된 웨이퍼를 CMP한 후 넓은 필드 산화막 지역과 좁은 필드 산화막 지역의 산화막과 Moat 지역에 있는 질화막 위의 산화막 두께를 나타낸 것이다.

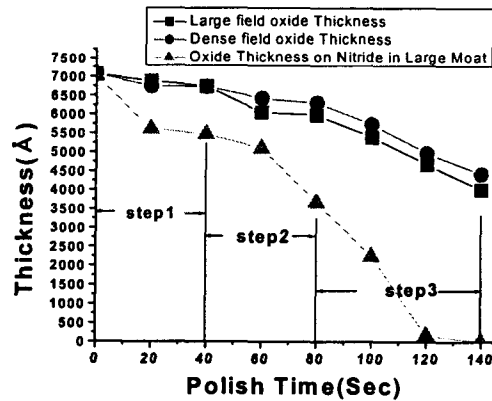


그림 2. 연마 시간에 따른 각 지역별 산화막 및 질화막의 두께 비교.

Fig. 2. Oxide thickness in the each area a function of polish time.

그림 2의 Step 1에서는 높은 지역의 산화막이 연마 패드와 직접 접촉되어 연마되므로, 초기 연마율은 높게 나타난다. 반면에 넓고 좁은 필드 지역의 산화막은 STI 때문에 형성된 산화막 단차로 인하여

아직까지 패드와의 접촉은 없으며 단지 화학적인 슬러리와 반응과 약간의 기계적인 힘에 의해 작은 양이 제거되었다. Step 2 지역은 초기 연마의 효과로 어느 정도 웨이퍼의 전반적인 연마가 이루어지다가 국부적인 평탄화에 의해 탄성체인 연마 패드와 날카로운 웨이퍼 표면의 단차가 제거되어 어느 정도 필드 산화막 지역과 접촉이 이루어져 약간의 연마율 차이를 보인다. 이는 좁은 지역과 넓은 필드 지역의 밀도 차로 인해 발생하는 것으로 좁은 지역의 moat 밀도가 더 높기 때문에 연마율은 더 낮아지며, 넓은 지역에 비해 제거되는 두께는 더 작게 나타났다. 마지막으로 Step 3은 국부적인(local) 평탄화에서 광역(global) 평탄화로 전환되는 지점으로 웨이퍼 전 지역에서 연마 패드와의 접촉이 일어나며 연마가 순조롭게 진행되는 단계이다. 이때 질화막 위의 산화막이 완전히 제거되며 질화막과 패드의 접촉이 일어나면서 연마되어진다. 질화막과 웨이퍼 전면에서 접촉이 일어나 연마가 되는 시점에서부터 필드지역에서의 디싱(dishing)이 시작되며, 이 지점에서 연마는 끝나게 된다.

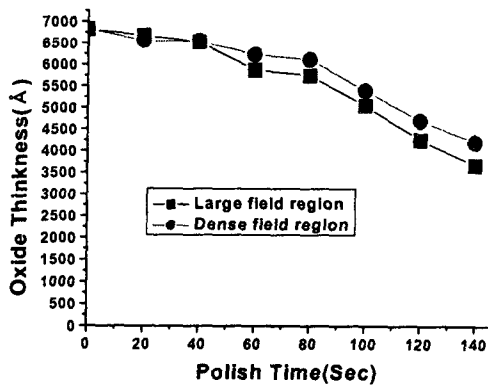


그림 3. 연마 시간에 따른 좁은 필드 지역의 산화막 두께의 평균값.
Fig. 3. Average Oxide Thickness in the dense and large field area as a function of polish time.

그림 3는 연마 시간에 따른 좁은 필드 산화막 지역과 넓은 필드 산화막 지역의 산화막 두께의 평균값을 나타낸 것으로 앞에서 언급하였듯이 moat 밀도의 영향으로 약간의 두께 차가 발생하였다. 연마 초기에는 좁은 지역과 넓은 지역의 산화막 두께의 차이가 거의 없었으나 연마가 더 진행될수록 좁은 지

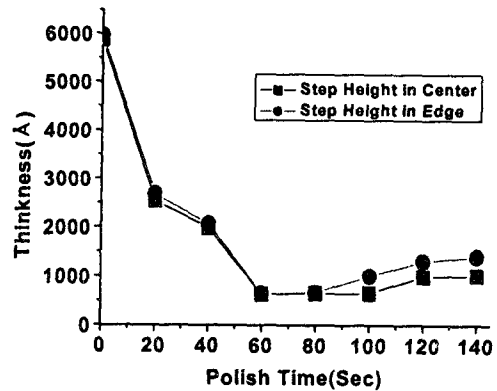


그림 4. 연마 시간에 따른 넓은 필드 산화막 지역에 서의 단차.
Fig. 4. Analysis of step heights in the large field oxide area as a function of polish time.

역보다는 넓은 필드 지역이 더 제거됨을 알 수 있었다. 그림 4는 연마 시간에 따른 넓은 필드 산화막 지역의 중앙 부분과 가장자리(edge) 지역의 단차를 분석한 것으로 0초에서 60초까지는 CMP에 의해 표면의 단차가 급격히 제거되었다. 또한 60초에서 80초까지는 단차의 변화가 거의 없는 국부적 평탄화가 진행되었고, 80초 이후부터 단차가 다시 상승하는 것을 알 수 있다. 이는 디싱 효과에 의한 것으로 생각된다. 그리고 90초 이상에서부터 웨이퍼 내 중앙 부분과 가장자리 부분의 차이가 발생함을 보이고 있

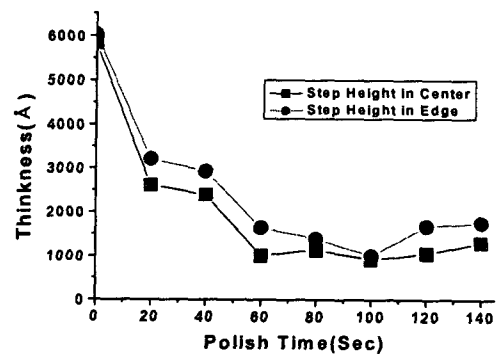


그림 5. 연마 시간에 따른 좁은 필드 산화막 지역에 서 단차.
Fig. 5. Analysis of step heights in the dense field oxide area as a function of polish time.

다. 이는 연마 패드로서 IC1000이라는 비교적 단단한 패드를 사용함으로써 인해 나타나는 일반적인 연마 특성에 의한 것으로 생각된다.

그림 5는 연마시간에 따른 좁은 필드 산화막 지역의 중앙 부분과 가장자리지역의 단차를 분석한 것이다. 그림 4에 보인 넓은 필드 산화막 지역의 결과와 약간의 차이는 보였지만 0초에서 60초 전까지 급격히 제거되고 있음을 알 수 있다. 그리고 100초 이상에서부터 다시 단차가 조금씩 차이를 보이며 증가하였는데 이것은 바로 디싱의 시작을 의미한다.

4. 결 론

좁은 필드 산화막 지역과 넓은 필드 산화막 지역은 moat 밀도의 차이에 의해 연마 특성이 서로 다르게 나타났다. 즉, 좁은 지역이 넓은 지역보다 연마되는 제거율이 더 낮기 때문에 더욱 늦게 연마되며, 단차 분석 결과도 넓은 필드 산화막 지역에서는 80초 이후부터 디싱 효과가 나타났으며, 좁은 필드 지역에서는 100초 이후부터 디싱 효과가 나타났다. 이는 moat 밀도의 차이에 의한 것으로 볼 수 있다. 즉, 접촉되는 면적의 양이 많기 때문에 좁은 지역의 평탄화 속도는 넓은 지역에서의 평탄화 속도보다 더 느리게 나타났다. 따라서, 평탄화 이후 계속 진행되는 디싱 효과는 moat 밀도가 낮은 부분으로부터 시작하므로, 좁은 지역에서의 초기 디싱이 일어나기 전에 연마를 마쳐야 함을 알 수 있었다. 이는 질화막 위의 산화막에 잔존물(residue)이 없음을 의미한다. 또, 한가지 고려할 요소는 넓은 필드 지역에서 소자 형성 지역인 moat 지역의 손상이다. 이는 디싱 효과가 극대화되면 질화막을 파괴하고, 더 나아가서 실리콘 지역에까지 물리적인 손상을 줄 수 있기 때문이다. 결국, 좁은 지역에서 moat 위의 산화막이 완전히 제거 될 때까지 넓은 필드 산화막 지역에서의 디싱 효과를 최소화시키는 점을 찾는 것이 이 공정의 Key라고 할 수 있다. 허용할 수 있는 최대의 디싱 효과 크기와 질화막 위의 산화막 제거가 되는 산화막의 두께 범위를 찾아내는 즉, 공정 마진을 확보하는 것이 중요할 것으로 생각된다.

참고 문헌

- [1] J. Jui, et al., "Scaling limitation of submicron LOCOS technology", Tech. Dig. IEDM, p.392, 1985.
- [2] P. Sallagoity, F. Gaillard, M. Rivoire, M. Paoli and F. Martin, "STI process steps for

sub-quarter micron CMOS", Microelectron. Reliability, Vol. 38, No. 2, pp. 271-276, 1998.

- [3] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역 평탄화에 관한 연구", 한국전기전자재료학회 논문지, Vol. 11, No. 12, pp. 1084-1090, 1998.
- [4] K. Smekalin, "CMP dishing effects in shallow trench isolation", Solid State Technology, pp. 187-194, 1997.
- [5] 서용진, 정현상, 김상용, 이우선, 이강현, 장의구, "STI-CMP 공정에서 Torn oxide 결함 해결에 관한 연구", 한국전기전자재료학회 논문지, Vol. 14, No. 1, pp. 1-5, 2001
- [6] Yong-Jin Seo, Sung-Woo Park, So-Young Jeong, Woon-Shik Chol, Sang-Yong Kim, "Slurry induced metallic contaminations on different silicate oxides by as-deposited and post-CMP cleanine", 2001 Proceedings Sixth International Chemical-Mechanical Planarization for ULSI Multilevel Interconnection Conference (CMP-MIC), March, 7-9, 2001, Santa Clara, CA. USA, pp. 287-290.
- [7] Yong-Jin Seo, Chul-Bok Kim, Sang-Yong Kim, "A study on removal rate control of oxide CMP(Chemical Mechanical Polishing) process", 2001 Proceedings Sixth International Chemical-Mechanical Planarization for ULSI Multilevel Interconnection Conference (CMP-MIC), March, 7-9, 2001, Santa Clara, CA. USA, pp. 527-530.