

새로운 에너지 회수 방식을 채용한 고효율 PDP 구동회로

한상규, *이준영, *박정필, 문건우, 윤명중
KAIST, *삼성SDI

A New and High-Efficient Energy-Recovery Circuit for Plasma Display Panel

Sang-Kyoo Han, *Jun-Young Lee, *Jung-Phil Park, Gun-Woo Moon, and
Myung-Joong Youn
KAIST, *SAMSUNG SDI

ABSTRACT

A new and high-efficient energy-recovery circuit is proposed to drive a plasma display panel (PDP) and compared with the conventional circuit. The proposed circuit uses only two inductors and no auxiliary circuit to recover the energy stored in the equivalent intrinsic capacitance of PDP so that it features a very simple structure, small volume, fewer power devices, low production cost and high efficiency. Besides, the light emitted from PDP is very stable and uniform. It is suitable for wall-hanging color TVs. The proposed circuit, operating at 200kHz, is verified to be applicable on a 42-inch PDP by an experiment.

1. 서론

1964년 일리노이 대학의 Bitzer 교수와 Slottow 교수에 의해 플라즈마 디스플레이 패널(Plasma Display Panel)^[1,2,3]이 발명된 이래 수십 년간 그 가능성에 대해 논의되어 왔고 최근 그 가능성이 확인됨에 따라 대부분의 디스플레이 업체들은 20인치에서 60인치 사이의 벽걸이형 TV로 플라즈마 디스플레이 장치를 선택하게 되었다. 이러한 플라즈마 디스플레이는 메모리 특성이 있어 큰 사이즈의 디스플레이 장치를 만들어도 LCD에 비해 밝은 화면을 얻을 수 있으며, LCD나 projection 방식에 비해 수명이 길 뿐만 아니라 시야 각이 매우 넓다. 또한 플라즈마 디스플레이는 충격과 외부 자기장에 거의 영향을 받지 않으며 온도 특성 또한 매우 우수하며

제조 공정이 CRT공정과 공통되는 부분이 많아 현 CRT공정의 많은 부분을 그대로 사용할 수 있다는 장점을 가지고 있다.

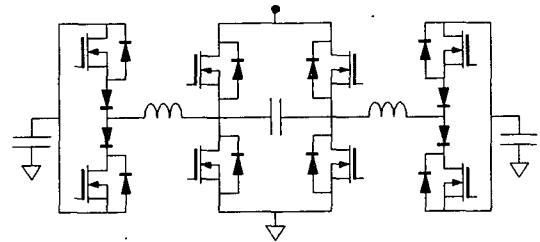


그림 1 기존 에너지 회수회로

Fig. 1 Conventional energy recovery circuit

현재 국내의 많은 업체에서 채용하고 있는 AC PDP의 기본적인 동작 원리를 살펴보면 다음과 같다. 방전을 시작하는 breakdown 전압을 V_{bd} 라고 하면 V_{bd} 와 $V_{bd}/2$ 사이의 전압을 갖는 AC 서스테인 전압(sustain voltage) V_S 를 패널에 가했을 때 방전은 일어나지 않는다. 여기에 V_{bd} 보다 높은 전압을 갖는 writing pulse를 가해주면 가스방전이 일어나 자외선이 발생한다. 이 자외선은 유리 기판 및 측면 격벽에 배치된 Red, Green, Blue의 형광막에 조사되어 가시광이 발생한다. 서스테인 전압이 역으로 가해지면 패널의 갭에는 벽에 쌓여있던 전하에 의해 약 2배의 V_S 가 가스에 가해지게 되어 방전이 지속적으로 이루어지게 된다. 따라서 AC PDP는 지속적인 화소의 발광을 위해 서스테인 전압을 발생하기 위한 서스테인 회로를 필요로 한다.^[4] AC PDP에서는 유리 기판 사이에 유전체를 도포하여 전류제한을 하는 용량성 부하이므로 서스테인 회로는 회로적으로 부하가 캐패시터인 DC/AC 컨버터로서 기본적인 풀 브릿지 형태를 취한다. 한편 PDP 패널의 캐패시턴스를 C_p 라고 한다면

PDP 패널에 저장되는 에너지는 $C_p V_s^2/2$ 이며 이 에너지는 서스테인 회로에서 방전되어야 한다. 스위칭 다이오드의 스위칭 주파수를 f 라고 한다면 전체 전력손실은 $2f C_p V_s^2/2$ 으로 매 스위칭 시 상당히 큰 전력소모가 발생되며 스위칭 시의 서지성 전류로 인하여 EMI문제도 심각하다^[35]. 이를 해결하기 위해서는 패널 캐패시터에 저장된 에너지를 회수하는 회로가 필수적이며 그림 1과 같은 에너지 회수회로^[1,2,4]가 제안되었다. 먼저 그림 1의 기본 동작을 살펴보면 주 스위치가 도통되기 전 보조스위치가 도통하여 패널 캐패시터에 저장된 에너지를 무효전력 회수회로에 설치된 캐패시터에 저장하거나 또는 무효전력 회수회로에 설치된 캐패시터에 저장된 에너지를 패널 캐패시터에 이동시키는 등 에너지의 교환을 함으로써 전력손실을 피하고 있다. 그러나 이러한 방식의 단점은 주 회로인 풀 브릿지 회로보다 보조회로에서 다루는 에너지가 크므로 보조회로의 부피가 주 회로보다 훨씬 크고 복잡하고 스위칭 소자에 높은 전류 스트레스가 가해지므로 현재 다수의 스위칭소자를 병렬로 사용하고 있다. 또한 보조회로 측의 스위치에서 발생하는 추가적인 스위칭 손실로 인해 전체시스템의 효율을 저감시키기도 한다. 따라서 패널 구동시스템은 전원시스템과 더불어 전체 PDP 시스템의 부피에서 차지하는 비율이 매우 크게 되고 이로 인해 패널의 두께 및 가격상승을 부추기는 요인이 되며 전체시스템의 효율 저하를 야기 시키게 된다.

따라서 본 논문에서는 기존 회로에서 나타나는 상기 문제점들을 해결하기 위해 그림 2와 같은 새로운 에너지 회수 회로를 제안한다. 제안된 회로는 에너지 회수와 투입을 위해 별도의 보조회로가 없이 인덕터만으로 그 동작이 가능하며 적은 수의 전력 스위치와 소자들로 구현되므로 구조가 매우 간단하고 부피가 작으며 제작단가를 절감할 수 있는 장점을 가진다. 또한 패널의 충 방전을 위한 전류가 공진 반주기동안만 불연속적으로 흐르므로 도통 손실이 적을 뿐만 아니라 보조회로가 없으므로 추가 손실이 없는 특징을 보인다.

2. 본 론

2.1 제안된 에너지 회수 회로

그림 2는 제안된 회로의 모드별 동작을 보이고 있다. 제안된 회로는 다이오드와 직렬로 연결된 L_1 , L_2 가 풀 브릿지 인버터 상부 스위치에 각각 병렬로 부가되어 PDP 패널 등가 캐패시터와의 LC 공진을 통해 패널 에너지 투입과 회수동작을 하게 된다. 한편 풀 브릿지 인버터 상부 스위치로서 역 병렬 다이오드가 없는 IGBT를 사용하든지, 바디 다이오드가 내장되어 있는 MOSFET를 사용할 경우는 스위치와 직렬로 블러킹 다이오드를 삽입하여야

한다. 이는 패널의 에너지 투입 및 회수를 위한 LC 공진 시 상부 스위치의 역 병렬 다이오드를 통해 인덕터 양단이 단락되는 것을 막기 위함이다. 다음은 에너지 회수 및 투입 동작의 한 주기를 $t_0 \sim t_2$ 와 $t_2 \sim t_4$ 와 같이 반주기로 나누고 또 $t_0 \sim t_2$ 를 두 개의 모드로 나눠 각 모드별 동작을 설명한다.

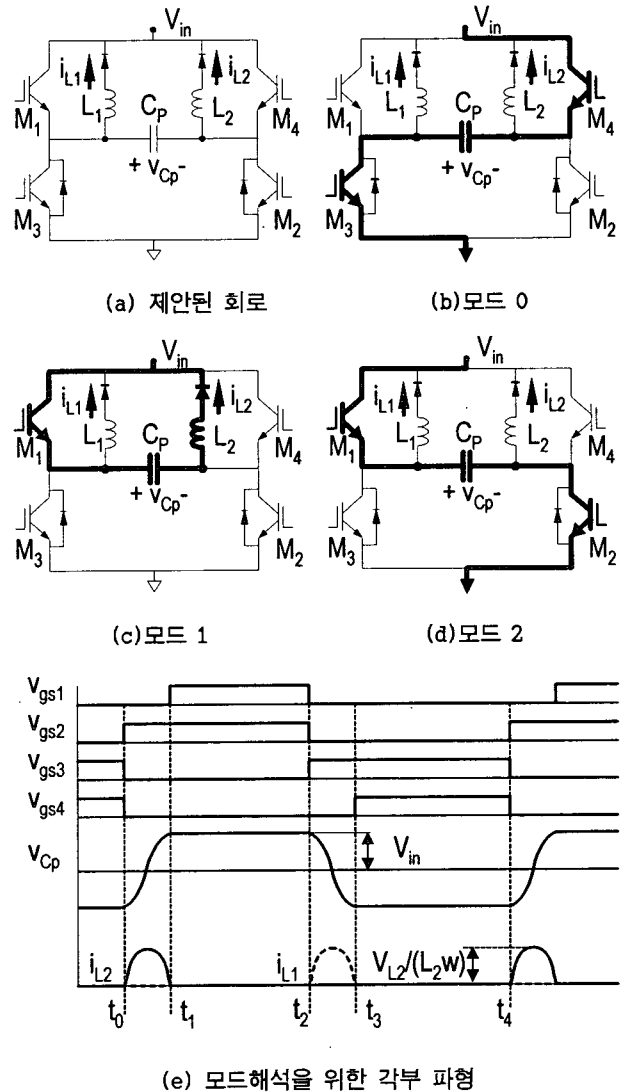


그림 2 제안된 에너지 회수 회로와 모드별 동작
Fig. 2 Proposed energy recovery circuit and circuit operation for each mode

2.1.1. 동작모드 0

그림 2 (b)와 같이 스위치 M3, M4가 온 되어 있으므로 패널 양단 전압 v_{Cp} 는 $-V_{in}$ 으로 유지되어 있다.

2.1.2. 동작모드 1

스위치 M3, M4가 턴 오프되고 동시에 M1이 턴 온 하면 그림 2 (c)와 같이 패널 등가 캐패시터와

공진 인덕터 L_2 로 이루어진 공진 회로를 형성하게 되고 패널 전압은 그림 2 (e)처럼 $-V_{in}$ 에서 V_{in} 까지 반주기 공진을 통해 상승하게 된다. 패널 전압이 반주기 공진을 한 후 모드1의 동작은 끝나고, 모드 2로 전환하게 된다. 이때 패널 전압과 공진 인덕터 전류는 아래와 같이 표현된다.

$$\begin{aligned} v_{Cp}(t) &= -V_{in} \cos(\omega t) \\ i_{L2}(t) &= \frac{V_{in}}{\sqrt{(L_2/C_p)}} \\ \text{where } \omega &= 1/\sqrt{(L_2 C_p)} \end{aligned} \quad (1)$$

2.1.3. 동작모드 2

모드1에서 패널 양단 전압이 V_{in} 까지 도달하게 되면 M2 스위치를 턴 온 시켜 그림 2 (d)와 같은 경로를 형성하고 패널 양단 전압을 입력 전압 V_{in} 으로 유지시키게 된다. 이때 패널 전압과 패널 전류는 아래와 같이 표현된다.

$$\begin{aligned} v_{Cp}(t) &= V_{in} \\ i_{L2}(t) &= 0 \end{aligned} \quad (2)$$

이후 반주기인 $t_2 \sim t_4$ 의 동작은 $t_0 \sim t_2$ 의 동작과 동일하며 결과적으로 $t_0 \sim t_4$ 의 동작이 계속 주기적으로 반복하게 된다.

2.2. 기존 회로와 제안된 회로의 비교 분석

다음은 기존 회로와 제안된 회로를 토폴로지 구조적 측면과 전력 손실 측면에서 서로 비교한다.

2.2.1. 토폴로지 구조적 측면

기존 회로의 경우 AC 출력을 위한 기본적인 풀 브릿지 인버터와 에너지 회수 및 투입 동작을 위한 보조회로가 X 및 Y 전극에 대해 각각 부가되어 있다. 반면 제안된 회로의 경우 AC 출력과 패널 전압 유지를 위한 풀 브릿지 인버터와 에너지 회수 및 투입을 위한 별도의 보조회로 없이 공진 인덕터와 블러킹 다이오드만 있는 구조이다. 따라서 기존 회로에서 사용되었던 보조회로를 제안된 구동회로에서는 사용하지 않으므로 그 만큼 사용되는 전력 스위치와 전력 스위치 구동을 위한 회로, 다이오드, 에너지 회수용 캐패시터등 소자 개수를 파격적으로 줄일 수 있고 적은 수의 소자만으로도 동일한 기능을 기대할 수 있다는 장점을 가지고 있다. 더욱이 제안된 회로의 풀 브릿지 위쪽 스위치에 바디 다이오드가 없는 IGBT를 사용할 경우 바디 다이오드가 항상 내장되어 있는 MOSFET를 사용할 때 내부 바디 다이오드를 블러킹 하기 위해 직렬로 삽입해야 하는 다이오드가 불필요해지므로 소자 수를 더

줄일 수 있을 뿐 아니라 다음 장에서 다루겠지만 IGBT는 출력 캐패시턴스가 작으므로 스위칭 손실 측면에서도 더욱 유리한 장점을 가져 최종적으로 그림 2와 같은 구성으로 구현된다.

2.2.2. 소모전력 측면

먼저 손실 전력을 계산적으로 구하기 위해 회로 경로상의 도선 저항 성분과 PDP패널의 내부 기생 저항 성분에 의한 손실은 스위치와 다이오드에서 발생하는 손실에 비해 무시할 만큼 작으므로 스위치와 다이오드에서 발생하는 손실에만 국한하기로 한다. 스위치에서 발생하는 손실은 먼저 스위치 온 저항 R_{ds} 에 의한 $I^2 R_{ds}$ 도통손실(conduction loss)과 스위치의 출력 캐패시터에 저장된 에너지가 외부로 빠질 수 있는 경로가 형성되지 않아 스위치 내부에서 모두 소모될 때 발생하는 스위칭 손실 (switching loss), 그리고 스위칭 과정에서 스위치 양단 전압과 스위치에 흐르는 전류가 서로 겹치면서 발생하는 스위치 턴온 손실(turn on loss)들로 이루어져 있다. 한편 다이오드에서 발생하는 손실은 다이오드의 온 전압강하가 실제 존재하므로 다이오드에 흐르는 전류에 의해 다이오드 도통 손실 (diode on loss)이 발생한다. 한편 MOSFET 스위치 대신 IGBT 스위치를 사용할 경우의 손실은 위에서 언급한 손실 중 도통 손실이 스위치 내부 출력 저항에 의한 $I^2 R_{ds}$ 로 나타나지 않고 스위치의 온 전압강하(Saturation Voltage)에 의한 도통 손실 (conduction loss)로 나타나는 특징이 있다. 위 내용을 종합하여 손실분석을 위한 계산식과 손실 분석 결과를 다음과 같이 제시한다. 이때 전력 손실 분석에 사용된 소자는 다음과 같다.

- ▶ MOSFET: 2SK2995 (TOSHIBA)
- ▶ IGBT : IRG4BC30W (IR)
- ▶ DIODE : F10KF40 (NIEC)
- ▶ PDP : 80nF (42-inch)

$$\text{MOSFET conduction Loss} = \frac{1.57 V_L^2 C_p^{1.5} R_{ds}}{T_s \sqrt{L}} \quad (3)$$

$$\text{Diode on Loss} = \frac{2V_L C_p V_{Don}}{T_s} \quad (4)$$

$$\text{IGBT conduction Loss} = \frac{2V_L C_p V_{CE}}{T_s} \quad (5)$$

$$\text{Switch turn on Loss} = \frac{V_{ds} I_{ds} T_{rise}}{6T_s} \quad (6)$$

$$\text{Switching Loss} = \frac{C_{oss} V_{ds}^2}{2T_s} \quad (7)$$

where

- T_s = 스위칭 주기
- T_r = 패널 등가 캐패시터와 공진 인덕터의 공진 반주기
- R_{ds} = MOSFET 온 저항
- V_{Dom} = Diode 온 전압 강하
- V_{CE} = IGBT 온 전압 강하
- V_L = 공진인덕터 양단 최대전압
기존회로 1 : $V_L = 0.5V_{in}$
제안된 회로 : $V_L = V_{in}$
- V_{ds} = 스위치 전압 스트레스
기존회로 1 : $V_{CE} = 0.5V_{in}$
제안된 회로 : $V_{CE} = V_{in}$
- T_{rise} = 스위치의 rising time
- I_{ds} = T_{rise} 시점에서의 스위치 전류
- C_{oss} = 스위치의 출력 캐패시턴스

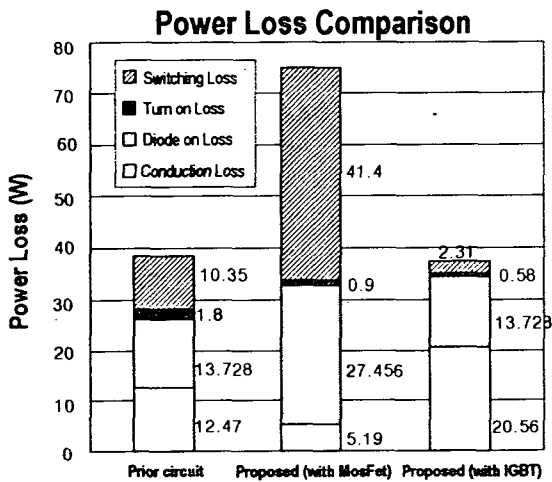


그림 3 기존회로와 제안된 회로의 전력 손실비교
Fig. 3 Computational Results for power consumption

위의 식에 따라 손실을 계산해 보면 그림 3과 같은 결과를 얻을 수 있는데 전체 손실 면에서 각 회로의 우위를 결정하는 가장 큰 비중을 차지하는 부분은 스위치의 출력 캐패시터에 저장된 에너지가 외부로 빠져나가지 못하고 고스란히 스위치 내부에서 소모되는 스위칭 손실로서 이는 스위치의 출력 캐패시턴스 값의 크기, 스위치 양단 전압 스트레스, 그리고 한 주기 내 스위칭 수에 의해 결정된다. 이 중 다른 값들은 토폴로지와 구동 방식에 의해 조절이 불가능하고 출력 캐패시터가 작은 스위치를 선정한다면 전력 소모에 관해 많은 개선이 있을 것으로 기대 된다. MOSFET 스위치의 경우 출력 캐패시터가 다소 크고 도통 손실이 작은 반면 IGBT 스위치의 경우 도통 손실은 다소 큰 반면 출력 캐패시턴스가

MOSFET에 비해 매우 작다. 따라서 본 논문의 제안된 회로에 IGBT 스위치를 적용하였을 때의 손실을 구해본 결과 도통 손실은 MOSFET 스위치를 사용한 회로에 비해 다소 크지만 낮은 출력 캐패시턴스로 인해 스위칭 손실은 매우 낮으므로 전체 손실은 기존회로보다 더 우수한 것으로 나타났다. 또한 MOSFET 스위치를 적용한 제안된 회로에서는 MOSFET의 내부 바디 다이오드의 도통을 막기 위해 블러킹 다이오드를 삽입을 해야 했지만 IGBT의 경우 내부 바디 다이오드가 없기 때문에 따로 추가해야 할 블러킹 다이오드가 필요 없게 되고 다이오드에 의한 도통 손실 또한 발생하지 않으므로 전력 손실 측면에서나 제작 단가 측면에서 더욱 유리함을 알 수 있다.

2.3. 공진 인덕터 설계

일반적으로 스위칭 주파수는 PDP의 물리적 특성에 의해 결정되고, PDP의 휘도는 주파수에 따라 증가하므로 패널 전압 상승 및 하강 시간인 $t_0 \sim t_1$ 과 $t_2 \sim t_3$ 를 가능한 짧게 하는 것이 바람직하다. 한편 상승 및 하강 시간 $t_0 \sim t_1$ 과 $t_2 \sim t_3$ 는 패널 등가 캐패시터와 공진 인덕터의 공진 반주기와 동일하며 패널 등가 캐패시터는 이미 알고 있는 값이므로 다음과 같은 식 (8)에 의해 공진 인덕터 L_1 과 L_2 를 결정할 수 있다.

$$L_1 = L_2 = \frac{1}{C_p} \left(\frac{t_1 - t_0}{\pi} \right)^2 = \frac{1}{C_p} \left(\frac{t_3 - t_2}{\pi} \right)^2 \quad (8)$$

그러나 실제 구현시 위의 식에 의해 결정된 값보다는 다소 작은 인덕턴스 값을 적용하여야 하는데 이는 회로 내에는 기생 인덕턴스 값이 실제 존재하므로 설계치 보다는 다소 작은 값을 써야 원하는 상승 및 하강 시간을 얻을 수 있고 패널 양단 전압을 유지 전압 끝까지 올려 풀 브릿지 스위치의 하드 스위칭을 막을 수 있다.

2.4 실험결과

제안된 에너지 회수회로를 제작하여 42인치 PDP에 적용하여 그 동작을 확인한다. 설계된 회로에 사용된 소자와 설계 사양은 다음과 같다.

- ▶ 동작 주파수 : 200kHz
- ▶ 입력전압 : 165V
- ▶ 공진 인덕터 L1, L2 : 0.6uH
- ▶ PDP 패널 : 80nF (42-inch)
- ▶ 스위치 M1, M4 : HGTC30N60A4D IGBT
- ▶ 스위치 M2, M3 : HGTC30N60A4D IGBT
- ▶ 다이오드 : F10KF40

그림 4 (a)는 패널의 광 출력 파형을 나타낸 것으로

패널 에너지 회수 및 투입 후 패널 양단 전압이 방전 유지전압 부근에 이르게 되었을 때 안정적인 고압이 출력됨을 보이고 있다.

그림 4 (b)는 패널의 양단 전압과 공진 인덕터 전류 파형을 보이고 있는데 앞서 살펴본 그림 2의 이론적인 파형과 잘 일치하는 것을 볼 수 있다.

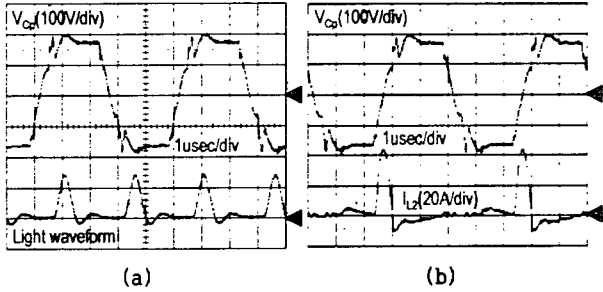


그림 4 백색 화면 출력시 실험 결과 파형
 (a) 패널 양단 전압 파형과 광출력 파형
 (b) 패널 양단 전압 파형과 공진 인덕터 전류
 Fig. 4 Experimental waveforms of proposed circuit in displaying white image
 (a) Voltage across PDP and light emitted from PDP
 (b) Voltage across PDP and inductor current

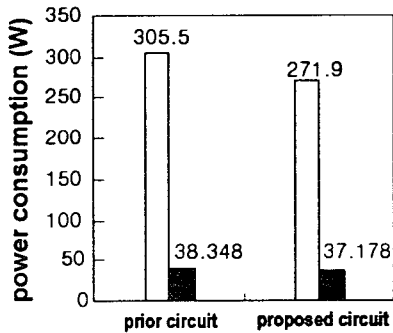


그림 5 백색 화면 출력시 소모전력 비교 결과
 □ 실험 결과 (방전 하는 경우)
 ■ 계산 결과 (방전 하지 않는 경우)
 Fig. 5 Comparative result for power consumption in displaying white image
 □ experimental result (with light emitted)
 ■ computational result (with no light emitted)

그림 5는 기존 회로와 제안된 회로를 42인치 PDP에 적용하여 백색 화면 출력시 소모 전력을 측정하여 비교한 결과를 나타내고 있는데 기존 회로가 제안된 회로에 비해 약 34W정도 전력 소모가 높은 것을 볼 수 있다. 이는 앞서 계산적으로 살펴본 바와 마찬가지로 기존회로에 부가된 보조회로에서 발생하는 추가적인 손실에 기인한 결과라 할 수 있다.

3. 결 론

본 논문에서는 새로운 에너지 회수 방식을 채용한 고효율 PDP 구동회로를 제안하고 제안된 회로에 적합한 공진 인덕터 설계 방법을 제시하였다. 또한 기존 회로와 제안된 회로의 토폴로지 구조적 측면과 전력손실의 측면에 대해 비교 검토하였는데 제안된 회로는 기존 회로에 비해 그 구조가 매우 간단하며, 소자수가 적어 제작단가측면이나 시스템 부피측면에서 많은 장점을 가지며, 손실 면에서 출력 캐패시턴스가 큰 MOSFET를 사용할 경우 기존 회로에 비해 꽤 많은 전력 소모를 보이거나 출력 캐패시턴스가 작고 역 병렬 다이오드가 없는 IGBT를 사용할 경우 기존회로와 유사한 전력 소모를 보임을 이론적으로 증명하였다. 최종적으로 제안된 회로의 설계와 분석의 타당성 검증을 위해 제안된 회로를 실 용량에 맞게 설계 및 제작하여 42인치 PDP를 구동하였으며 그 결과 실험 파형에서도 보였듯이 패널에서 발산되는 광의 파형이 매우 안정적이며 균일하였고 전력소모도 기존회로보다 다소 우수함을 실험 결과로 검증하였다. 간단한 구조, 작은 부피, 적은 소자 수, 낮은 제작단가 및 높은 효율 등의 장점을 고루 갖춘 제안된 PDP 구동회로는 차세대 벽걸이 컬러 TV에 적합하게 사용될 수 있다.

이 논문은 (주)삼성SDI의 연구비 지원에 의하여 연구되었음

참 고 문 헌

- [1] Webber & Wood, "Power efficient sustain drivers and address drivers for plasma panel", *U.S. Patent* No 5081400, Jan 1992
- [2] Akito Tanaka, "Low power driver circuit for AC plasma display panel", *U.S. Patent*, Number 5,438,290, August, 1995.
- [3] Horng-Bin Hsu, "Regenerative Power Electronics Driver for Plasma Display Panel in Sustain-Mode Operation", *IEEE Transactions on Industrial Electronics*, Vol. 47, No. 5, October 2000.
- [4] Chen-Chang Liu, "An Energy-Recovery Sustaining Driver with Discharge Current Compensation for AC Plasma Display Panel", *IEEE Transactions on Industrial Electronics*, Vol. 48, No. 2, April 2001.
- [5] Chen-Chang Liu, "A Novel Energy-Recovery Sustaining Driver for Plasma Display Panel", *IEEE Transactions on Industrial Electronics*, Vol. 47, No. 6, December 2000.