

3상 전류평형 제어기술 적용장치 개발

천영식, 성형수*, 원화재, 한정준
한전기공(주)

A Development of 3 Phase Current Balance Control Unit

Y.S. Cheon, H.S. Seong, H.J.Won, J.H. Han
Korea Power Plant Service & Engineering Co.Ltd

Abstract - In general, Power SCR(Silicon Controlled Rectifier) is most widely used in Power Plant as well as Industrial field. It has been controlled and operated according to its own control method. Especially, in case of Power plant, it plays a major role in AVR(Automatic Voltage Regulator) or electro chlorination control circuits. Generally, they used in Analog control system at above field. But each SCR current value is different because of load unbalance or switching characteristic variations, it may cause power plant unit trip or system disorder according to SCR element burn out or bad operating condition. Therefore, in this paper a development of 3 phase current balance control unit is described. it gets over the past analog control system limit, uses DSP(Digital signal processor) had high speed response, controls SCR gate firing angle for 3 phase current balance.

1. 서 론

산업설비나 발전설비에 설치되어 운전되고 있는 대전력 SCR(실리콘제어 정류기)들은 기존의 제어기술이 적용된 제어회로에 의해 동작되고 있다. 특히 발전설비의 경우 발전기 제어회로에 중요한 부분을 차지하고 있는 AVR(자동전압조정기)이나 해수 전해설비의 제어회로는 대부분 아날로그 제어방식이 적용되고 있다.

그러나 SCR의 경우 부하불균형이나 스위칭 특성 변화로 인해 분담 전류량이 달라지게 되고 운전환경에 따라 소자의 소손이나 설비고장으로 인한 발전정지등의 고장을 초래하게 된다.

그래서 본 논문에서는 기존의 아날로그 제어방식의 한계를 극복하고 속응성이 있는 DSP(Digital Signal Processor)를 이용하여 SCR의 Gate Firing 위상각을 제어하여 3상 전류평형 제어기술 적용장치를 개발한 결과를 제시하였다.

2. 본 론

2.1 게이트 전류와 SCR의 특성

전력용 반도체 SCR의 트리거 신호의 전원은 SCR 특성과 부하 및 전원의 성질에 따라서 게이트정격을 넘지 않는 적절한 게이트전류와 전압을 공급해야 한다. 트리거 전원의 임피던스, 트리거 신호의 발생시점과 신호폭, OFF일 때의 조건 등이 중요한 설계요소가 되며 그림 1을 참조하여 게이트 트리거 과정에 대해 설명한다.

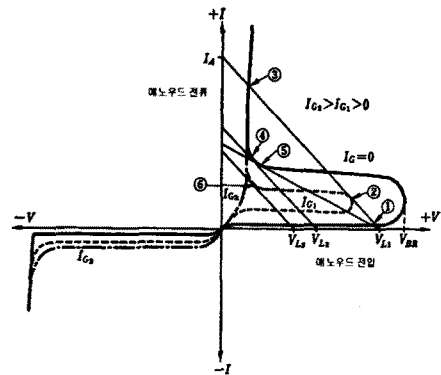


그림 1. 게이트 전류와 SCR의 특성

직류게이트 전류를 서서히 증가시키면 스위치 동작은 먼저 대칭적인 트랜지스터의 동작으로부터 시작되고 애노우드 전류는 게이트 전류에 비례해서 증가한다. 애노우드 전압이 (+)인 경우 애노우드 전류는 전자사태의 모양으로 급격히 증가하는 점까지는 비교적 애노우드 전압의 영향을 받지 않는다. 이 점에서 다이리스터의 소신호 임피던스(dV/dI)는 빠르기는 하지만 비교적 완만하게 높은 정(+)의 저항으로부터 0저항으로 변화해가도 다시 전압의 감소를 수반하면서 전류가 증가함에 따라 부(-)의 저항이 증가해간다. 부성저항영역은 2개의 트랜지스터가 포화상태에 이를 때까지 계속되며 임피던스는 완만하게 (-)에서 0으로, 그리고 (+)의 저항으로 반전해간다. 트리거를 위한 조건은 게이트전류 이외에 애노우드 회로의 임피던스의 크기와 공급전압에 의해서도 좌우된다. 게이트전류가 0인 경우 특성곡선은 ①에서 부하선과 교차하고 게이트 전류가 I_{G1}인 경우는 ②에서 부하선과 접하게 되며 이점에서는 다이리스터의 부성저항의 크기는 외부의 부하저항과 같다. 이 조건은 동작점이 불안정하기 때문에 다이리스터는 안정한 동작점 ③의 로우임피던스 상태로 스위치 한다. 이와 같이 되면 게이트 전류를 없애도 동작점 ③에서 도통이 유지된다. 만일 공급전압이 V_{L2}로 감소하면 부하선이 이동하여 동작점 ③은 원점으로 향하여 이동한다. 부하선이 동작점 ④에서 특성곡선과 접하게 되면 다시 불안정한 조건으로 되고 다이리스터는 원래의 하이임피던스 OFF 상태로 되돌아 간다. 동작점 ④에 있어서의 애노우드 전류는 이 조건에 있어서의 유지전류이다. 만일 공급전압을 내려서 동작점 ④에 이르는 것이 아니고 부하저항을 증가시켜 갔다고 하면 특성곡선이 부하선과 접하는 점은 ⑤보다 낮은 전류로 된다. 이것은 그 조건하에서의 유지전류이다. 만일 공급전압 V_{L3}이 저하한 후 애노우드 게이트 전류 I_{G1}이 흐른다면 턴 오프는 동작점 ⑥에서 일어나고 그

애노우드 전류는 보다 낮은 값으로 된다. 따라서 SCR을 트리거 하려면 보다 큰 게이트 전류 I_{G2} 를 필요로 한다. 그러나 게이트 신호를 I_{G1} 이하로 내리면 OFF 상태로 되돌아가므로 SCR은 실제로 ON 상태로 래칭 되어 있다고 할 수는 없다. 래칭 전류는 적어도 유지전류와 같든가 또는 저전류의 도통이 불균일한 영역에서 일어나기 때문에 보다 높은 값으로 된다. 이와 같이 다이리스터의 트리거는 애노우드와 게이트 양쪽의 조건에 의해서 결정된다.

2.2 3상 전류평형 제어장치 개발

3상에 흐르는 전류의 불평형에 대해 SCR의 Gate firing 위상각을 제어하여 3상 전류를 평형으로 유지시키기 위한 정밀제어를 DSP를 사용하여 개발한 3상 전류평형 제어기술 적용장치의 전체 구성도는 그림2와 같다.

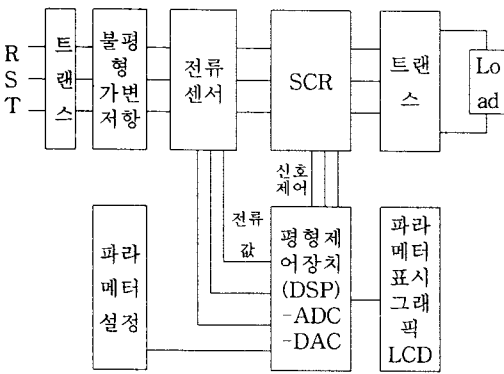


그림 2. 3상 전류평형 제어장치 구성도

그림2 에서 3상 전류 평형 제어 장치는 입력 신호로 실 계통의 3상 전류신호를 입력한다. 이 신호를 1차 트랜스를 통하여 전압을 다운 시켜서 3상 신호의 전압, 위상, 주파수를 일치시킨다. 이 일치된 신호를 전류평형 제어장치를 통하여 SCR의 GATE를 제어하여 평형화된 전류를 2차 트랜스를 거쳐서 부하에 일정한 전류를 보내 준다.

만일 이들 조건 중에서 한가지라도 만족하지 않는다면 평형제어 장치는 이를 보상하기 위한 가변 신호를 SCR에 출력하고 변환된 3상 출력을 가지고 다시 평형 여부를 판단한다. 이 과정은 평형화 조건이 만족할 때까지 반복되며 만일 평형화 조건이 만족하게 되면 보다 좋은 조건의 평형화 조건을 만족을 위하여 계속적으로 수행한다.

표 1. 전류평형 요구조건

평형화 조건	주파수 (Hz)	전류(A)
기준값	60.0	1.41
기준값에 대한 오차	0.0	0.1

실험을 통하여 R상의 전류를 증가/감소 변화시키면 S상의 전류도 증가/감소의 형태로 연동하여 변화하고 S상의 전류를 증가/감소 가변시키면 T상의 전류도 증가/감소 변화하고 T상의 전류를 증가/감소 가변시키면 R상의 전류가 증가/감소 연동하여 상회전에 따라 변화한다.

만약 R 상의 전류가 변화하면 S 상의 전류의 값도 변화하므로 R, S상의 위상 (Phase Angle)을 둘 다 제어

하여야 한다. 이와 같은 실험을 토대로 개발한 그림 3은 전류평형 제어기술 알고리즘의 플로우차트 이다.

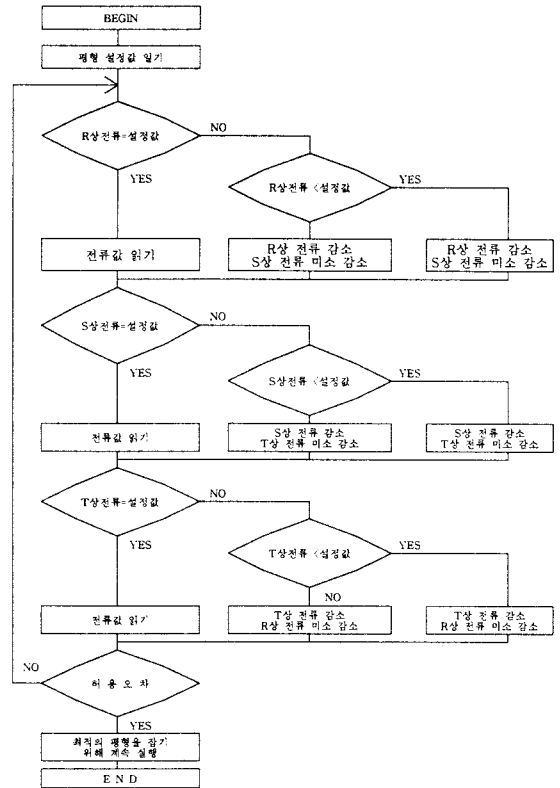


그림 3. 전류평형 제어기술 알고리즘

먼저 평형 설정값을 읽어서 R상의 전류를 측정하고 이 측정된 값이 평형 설정값과 비교하여 R상의 전류값이 평형 설정값 보다 작을 경우 R상의 전류값을 증가하면서 S상의 전류 값도 미소 증가하여 조정한다. 이와 같은 방법으로 S, T상도 설정치로 조정한다. 3상이 불평형에서 평형이 되었어도 DSP는 계속적으로 신호 전류의 최적의 평형값을 추적하여 출력을 내보냈다.

본 논문에서는 속응성을 가진 DSP를 이용하여 전류 평형 제어기술의 알고리즘을 적용시킨 DSP Controller와 LCD Driver를 개발하였으며 그림 4와 같다.

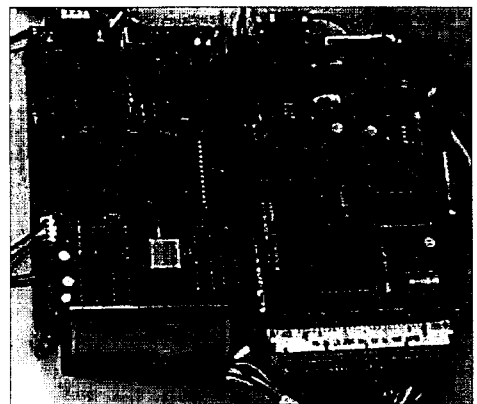


그림 4. DSP Controller & LCD Driver

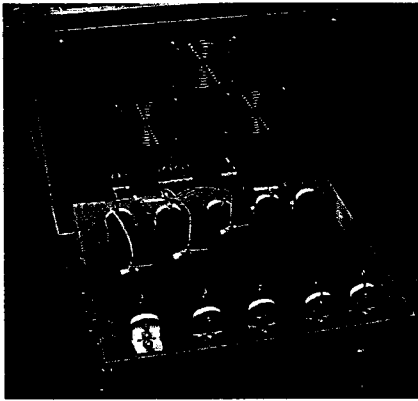


그림 5. 불평형 인가용 가변저항

그림5에서는 인위적으로 전류값을 불평형으로 실험 조건을 만들어줄 수 있는 가변저항을 나타내었으며, 그림 6은 3상 전원 공급장치로 2kVA급 가변전압 주파수 장치(VVVF) 이다.

표 2에서는 본 연구에서 개발한 전류평형 제어기술 적용장치를 사용하여 인위적으로 불평형을 인가한 후 전류평형을 자동 추적해가는 각 단계의 전류값을 나타내었다. 표2에서 알 수 있듯이 인위적 불평형을 인가한 단계로부터 각 상별 평형 목표 전류 설정치 1.41A를 추적하여 만족스러운 결과를 얻었음을 알 수 있다.

3. 결 론

본 논문에서는 중요 발전설비에서 빈번히 발생하는 3상 전류의 불평형에 대해 기존 아날로그 회로에서의 전류평형제어의 한계를 극복한 디지털 신호처리 알고리즘을 이용하여 정밀급 3상 전류평형 제어기술 적용장치를 개발하였다.

- 금번의 연구를 통하여 자체적으로 축적된 기술은
- 3상 전류평형을 위한 디지털 신호처리 알고리즘 개발
 - 트리거 위상 자동 전류 평형 추적하는 알고리즘 개발
 - DSP를 이용하여 필요한 파라미터의 제어 기법

이와 같이 제어방식의 파라미터를 기준으로 3상의 불평형 전류를 인식하고 이를 자동 보상하여 3상의 전류가 불 평형시 자동으로 대 전력 SCR 각각의 게이트 트리거 타이밍을 조정하여 불평형 전류를 평형으로 조정하며 설정치에 맞추는 디지털 신호처리 알고리즘을 개발하고 이를 프로그램으로 구현하였다.

DSP를 이용하여 각종 DATA를 취득하여 분석하는 기법과 DATA의 신뢰성과 운용의 편리성을 확인 할 수 있었으며 향후 DSP를 이용한 신호처리 기법을 응용하여 DATA를 분석하고 Upgrade의 기술을 습득하였다 아울러 본 연구를 통하여 취득한 기반기술은 향후 정밀급 DSP 응용 분야에 확대 적용 및 기존 아날로그 형태의 노후설비를 디지털화하여 교체하는데 많은 기여가 되리라 예상된다.

[참 고 문 헌]

- [1] Muhammad H. Rashid, "Power Electronics", pp.21-33, 1993
- [2] David Buchla, Wayne Mclachlar "Applied Electronic Instrument And Measurement" pp.101-162, 1992
- [3] David Finney, "The Power Thyristor and its Applications" McGraw Hill, Daventry, pp. 3 - 17, 1980
- [4]IEEE COMMITTEE REPORT "Computer Representation of Excitation Systems" IEEE Transactions on Power Apparatus and Systems, June 1968
- [5] Jasprit Singh, "Semiconductor Device" pp.190-248, 1994
- [6] Ljubisa Ristic, "Sensor Technology And Device" pp.76-84, 1994
- [7] 한전기공(주) 원자력 연구원 " 전력전자 " chap2.pp 1-19, 54-68, 2000

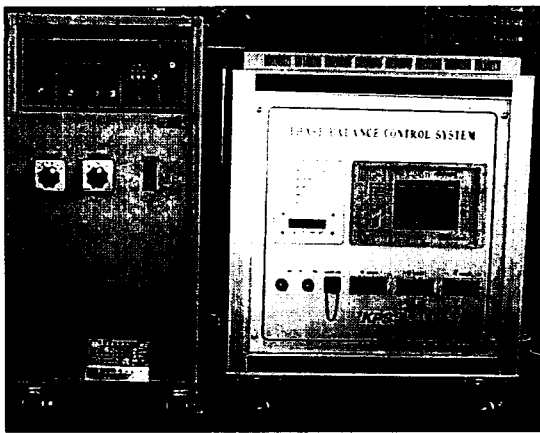


그림 6. 3상 전원장치 와 전류평형 제어장치

표 2. 전류평형장치 실험결과

실험조건 : R상 offset 저항(5Ω) 인가 평형 설정값 : 1.41A			
Step	R상 전류	S상 전류	T상 전류
1	1.28	1.38	1.30
2	1.34	1.38	1.33
3	1.36	1.38	1.34
4	1.37	1.36	1.36
5	1.38	1.38	1.37
6	1.37	1.37	1.39
7	1.38	1.38	1.39
8	1.39	1.40	1.40
9	1.40	1.41	1.41
10	1.40	1.41	1.41