

저온 다결정 실리콘 박막 트랜지스터의 신뢰도 향상을 위한 Counter-doped Lateral Body Terminal (CLBT) 구조

김재신, 유준석, 김천홍, 이민철, 한민구  
서울대학교 전기공학부

Reliability of Low Temperature Poly-Si TFT employing Counter-doped Lateral Body Terminal

J.S.Kim, J.S.Yoo, C.H.Kim, M.C.Lee, M.K.Han  
School of electrical engineering, Seoul National University

**Abstract** - A new low-temperature poly-Si TFT employing a counter-doped lateral body terminal is proposed and fabricated, in order to enhance the stability of poly-Si TFT driving circuits. The LBT structure effectively suppresses the kink effect by collecting the counter-polarity carriers and suppresses the hot carrier effect by reducing the peak lateral field at the drain junction. The proposed device is immune to dynamic stress, so that it is suitable for low voltage and high speed driving circuits of AMLCD.

1. 서 론

ELA (Excimer Laser Annealing)를 이용하여 제작한 저온 다결정 실리콘 박막 트랜지스터 (thin film transistor; TFT)는 높은 캐리어 이동도와 낮은 공정 온도로 인하여 유리 기판을 사용하는 AMLCD (active matrix liquid crystal display)와 SOG (System On Glass)에 가장 적합한 소자로서 주목받고있다[1]. 최근에는 아날로그 구동 방식이 가지는 한계점을 극복하기 위해 DAC (digital analog converter)와 아날로그 Buffer 등을 집적한 monolithic 디지털 데이터 구동회로를 대면적 유리 기판 위에 구현하려는 연구가 널리 진행되고 있다[2]. 그러나, TFT가 필연적으로 갖게되는 floating body 구조에 기인한 kink 현상은 다결정 실리콘 박막 트랜지스터의 아날로그 회로응용에 큰 장애가 된다. 드레인 접합 영역에서 이온화 충돌에 의해 발생한 counter-polarity 캐리어(n-type의 경우 정공, p-type의 경우 전자)가 소오스와 채널 아래의 활성층 body간의 전위 장벽을 낮추어 기생 bipolar 트랜지스터 동작이 나타난다[3]. 이러한 kink 현상은 CMOS 인버터와 같은 공통 소오스 증폭기에서의 전압이득을 감소시켜서 구동 회로 전체의 동작 속도를 저하시킨다[4]. 또한, kink 현상으로 인한 불안정한 포화 특성 때문에 다결정 실리콘 TFT로 아날로그 회로를 제작하는데 많은 어려움이 따른다[5]. 특히 ELA 다결정 실리콘 박막 트랜지스터는 다결정 실리콘 박막 내의 높은 결합 밀도로 인해서 전계에 의한 전자-정공쌍 생성률이 높다. 따라서 kink 전류가 더 쉽게 나타나기 때문에 이로인한 캐리어의 이동도 감소 등의 장시간 구동에 따른 문제를 일으킨다[6]. Body 영역에 축적된 counter-polarity 캐리어들은 다결정 실리콘 박막에 gap state를 생성하거나 하부 산화막에 포획되기 때문에, 정적·동적 전기적 stress를 가하면 심각한 소자의 열화를 일으킨다[7]. 또한, n-type 다결정 박막 트랜지스터의 안정성은 고온 전자(hot carrier) 효과에 매우 민감한 것으로 알려져 있다[8]. 고온 전자는 심각한 문턱 전압 변화를 야기하여 다결정 실리콘 박막 트랜지스터 회로의 동작 성능을 저하시킨다[9].

본 연구의 목적은 다결정 실리콘 박막 트랜지스터의 안정성

문제 해결을 위하여 counter-doped lateral body terminal (CLBT)를 이용한 새로운 다결정 실리콘 박막 트랜지스터를 제안하고 제작하는 것이다.

본 논문은 제안된 소자의 전기적 특성과 정적·동적인 전기적 stress에 대한 소자의 안정성에 관하여 보고한다.

2. 본 론

2.1 소자 구조와 제작

그림 1은 counter-doped LBT 다결정 실리콘 박막 트랜지스터의 구조이다.  $W_{ch}$ 와  $L_{ch}$ 는 channel의 폭과 길이이고,  $W_B$ 와  $L_B$ 는 CLBT의 폭과 길이이다. 제작 공정상 제안된 CLBT poly-Si TFT는 기존의 저온 CMOS poly-Si TFT의 제작 공정과 비교하여 추가되는 mask가 없으므로 기존의 저온 CMOS 다결정 실리콘 TFT 제작 공정과 호환 가능하다.

5000Å 두께의 실리콘 산화막 위에 PECVD (plasma-enhanced chemical vapor deposition)를 이용하여 800Å 두께의 비정질 실리콘 활성 박막을 증착하고, XeCl 엑시머 레이저를 이용하여 다결정 실리콘 박막으로 재결정화하였다. 레이저 결정화시의 레이저 에너지 밀도는  $315\text{mJ}/\text{cm}^2$ 였다. 1000Å 두께의 TEOS (tetraethylorthosilicate) 게이트 산화막과 2000Å 두께의 Al 게이트 전극을 증착하고 패터닝 하였다. 소스/드레인/LBT의 도핑은 이온 주입을 이용하였고,  $240\text{mJ}/\text{cm}^2$ 의 에너지 밀도로 레이저를 조사하여 불순물을 활성화시켰다.

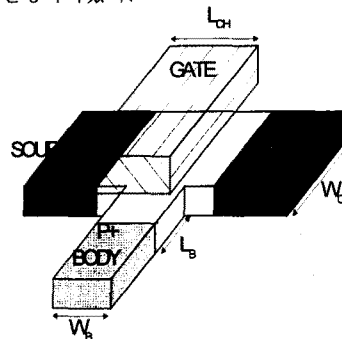


그림 1. CLBT를 이용한 n-type 다결정 실리콘 TFT의 구조.  $W_{ch}, L_{ch}$  : 채널의 폭과 길이.  $W_B, L_B$  : LBT의 폭과 길이.

2.2 소자 특성.

그림 2는 기존 소자와 제안된 소자의 전달 특성 (transfer characteristics)이다. 기존 소자와 제안된 소자의 전달 특성이 거의 동일함을 알 수 있다.

Table 1은 4개의 박막 트랜지스터의 주요 소자 특성 변수의 평균치를 나타낸다. 채널에서의 정공 축적은

body potential을 증가시키고, 소오스 영역에서 전위 장벽을 낮추어서 소오스로부터 채널 영역으로 많은 수의 전자가 주입된다[6,10]. 누설 전류는 드레인 영역에서의 전계 방출에 의한 전자 전류와 기생 BIPOLAR 트랜지스터 동작에 의해서 소오스로부터 주입된 정공 전류의 합이다. 제안된 소자에서는 정공 채널의 potential이 거의 0V이다. 따라서 body와 소스 영역 사이에 전위 장벽이 형성되어 소오스 영역 정공 전류가 감소한다.

그림 3은 n-type 다결정 박막 트랜지스터의 출력 특성(output characteristics)이다. 제안된 소자의 kink 현상이 기존 소자에 비해 크게 감소함을 알 수 있다. 큰 드레인 전계가 인가된 상태에서는 채널에 많은 수의 정공이 축적되면서 body potential이 증가하여 소오스의 전위 장벽을 낮추게 된다. 따라서 소오스로부터 채널로 전자가 주입되어 기생 bipolar 트랜지스터 현상이 나타난다.

Table 1. 제안된 소자와 기존 소자의 특성변수

parameter	N-type TFT	
	LBT	conventional
$u_{FE}(cm^2/Vsec)$	78.7	64.5
$V_{th}(V)$	1.91	1.97
$S_{fac}(V/dec)$	0.19	0.20

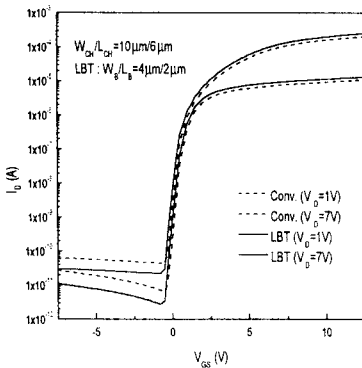


그림 2. 기존 소자와 제안된 소자의 전달 특성.  $W_{ch}/L_{ch}=6\mu m/10\mu m$ ,  $W_B/L_B=4\mu m/2\mu m$ ,  $V_{BS}=0V$  (LBT에 인가되는 전압)

Counter-doped LBT는 이온화 충돌에 의해 발생하는 정공을 효과적으로 모아서 소자밖으로 끌어냄으로써, 기생 bipolar 트랜지스터 현상을 억제한다. 제안된 TFT는 LBT의 효과로 kink현상이 감소하여 출력 저항이 증가한 것을 그림 3에서 확인할 수 있다. Body 전극과 body 영역 사이의 기생 저항은  $W_B/L_B$  비가 커지면 감소되고, Body영역의 potential증가는 더욱 효과적으로 억제된다.

### 2.3 소자의 안정성

소자의 특성 변수는 forward( $V_{DS}=5V$ )와 reverse( $V_{DS}=-5V$ ) 전압을 걸었을 때 각각에 대해서 측정하였다. 그림 4는  $V_{DS}=V_{GS}=25V$ 에서 정적 bias stress를 가한 후 소자의 열화 현상을 보여준다.

기존 소자는 높은 kink 전류에 의한 다결정 실리콘 박막에서의 결합 상태 생성으로 인해서 전계 효과 이동도가 감소한다. reverse 모드에서 측정된 s-factor와 문턱 전압은 드레인 전극 근처의 게이트 산화막에 포획된 음전하와 하부 산화막에 포획된 양전하에 의해서 상당히 저하됨을 알 수 있다. 제안된 소자는 kink 현상을 억제

시킴으로 forward와 reverse mode에서 측정된 소자 특성이 거의 비슷하여 bias stress에 대해서 안정된 특성을 갖는다.

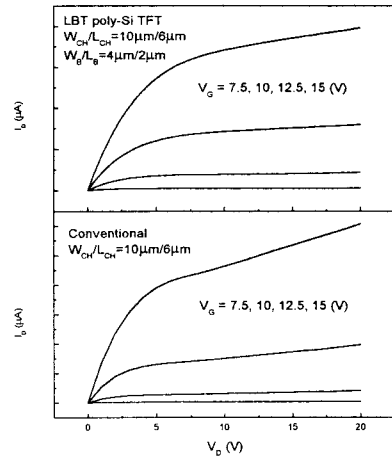


그림 3. 기존 소자와 제안된 소자의 출력 특성.  $W_{ch}/L_{ch}=6\mu m/10\mu m$ ,  $W_B/L_B=4\mu m/2\mu m$ ,  $V_{BS}=0V$  제안된 소자의 낮은 kink 전류는 출력 저항과 전압 이득 그리고 noise margin을 크게 한다.

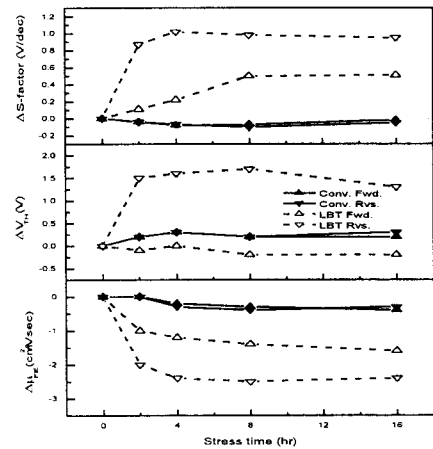


그림 4. 16시간동안  $V_{DS}=V_{GS}=25V$ 의 전기적 stress를 가한 후 기존 소자와 제안된 소자의 소자의 열화 현상을 보여준다. 특성 변수들은 sub-threshold factor와 문턱 전압 그리고 전계 효과 이동도이다. 각 특성변수들은 forward mode  $V_{DS}=5V$ (up-triangle)와 reverse mode  $V_{DS}=-5V$  (down-triangle)에서 측정된 값이다.

그림 5에서는 제안된 소자의 수평 전계를 재배치하면 드레인 전극에서 보다 body 전극에서 최대 전계가 발생함을 볼 수 있다. 그러므로, 드레인과 소스 전극에서의 수평 전계가 낮으므로 제안된 소자가 좌우 동일한 특성을 가짐을 알 수 있다.

### 2.4. CMOS 회로 신뢰성

그림 6은 공급 전압에 대한 11단계의 CMOS inverter-chain의 oscillation 주파수특성 그래프이다. 제안된 소자로 구성된 inverter-chain의 주파수 특성이 CMOS 인버터의 높은 전압이득과 큰 unit gain margin 때문에 기존 소자보다 높다. 이러한 특징은 특히 채널 길이가 짧을 때 두드러진다.

그러나,  $V_{DD}$ 가 10V 이상인 경우에는 kink현상에 의해서 드레인 전류가 증가하는 기존 소자의 진동 주파수

가 더 높다. 그림 7은 16시간동안  $V_{DD}=25$ 의 전기적 stress를 인가하여 동적 stress를 가한 후의 inverter-chain의 주파수 감소를 보여준다. 동적 stress를 가한 후 소자의 열화현상은 정적 stress를 가한 후보다 심각한 것으로 미루어 동적 stress에 의한 소자의 열화 메커니즘은 DC stress에 의한 열화 메커니즘과 다를 것으로 예상할 수 있다.

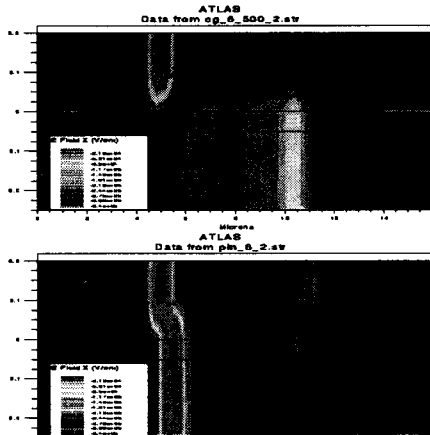


그림 5. 전기적 stress를 가한 후 수평 전계 분포의 simulation. conventional 소자의 전계는 드레인 전극에 집중되어있고, 제안된 소자의 경우 바디 전극에 집중되어 있다..

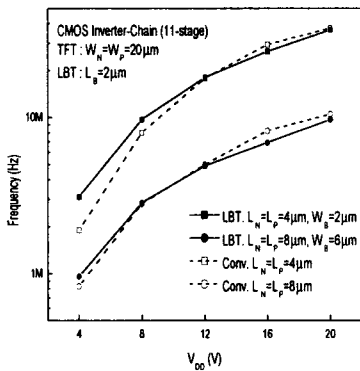


그림 6. Oscillation frequency vs. Supply voltage ( $V_{DD}$ ) of 11-stage CMOS inverter chain (ring oscillator). 제안된 소자의 ring oscillation의 주파수가 낮은  $V_{DD}$ 에서 기존 소자보다 높음을 알 수 있다.

Counter-polarity 캐리어의 주기적인 생성, 재결합 과정은 문턱 전압 이동과 이동도 감소를 촉진시키는 전하 포획과 전하 방출 때문에 수소화된 다결정 실리콘 박막에서 높은 밀도의 결함 상태를 생성한다. 낮은  $V_{DD}$ 에서 동작될 때 기존의 inverter-chain의 주파수가 심각하게 감소되는 것에 반하여 알 수 있다. 제안한 LBT구조는 생성된 counter-polarity 캐리어를 효과적으로 제거하므로 다결정 실리콘 박막에서 결함 상태의 증가를 억제한다.

### 3. 결 론

장시간의 회로 동작시 정적·동적인 신뢰도를 향상시키기 위해서 counter-doped LBT를 이용한 새로운 저온 다결정 실리콘 박막 트랜지스터를 제안하고 제작하였다.

LBT 구조는 효과적으로 kink 현상을 감소시키고 드레인 전극에서 수평 전계의 집중화를 억제한다. 제안된 소자는 전기적 bias stress에 영향을 적게 받고 forward와 reverse 모드에서 동일한 특성을 보여준다. Counter-polarity 캐리어를 효과적으로 제거하는 counter-doped LBT는 동적 stress를 가했을 때 다결정 실리콘 CMOS 회로의 열화현상을 억제한다. 제안된 소자는 높은 전압 이득과 우수한 noise margin 때문에 저전압 고속 CMOS 구동 회로의 적용에 적합하다.

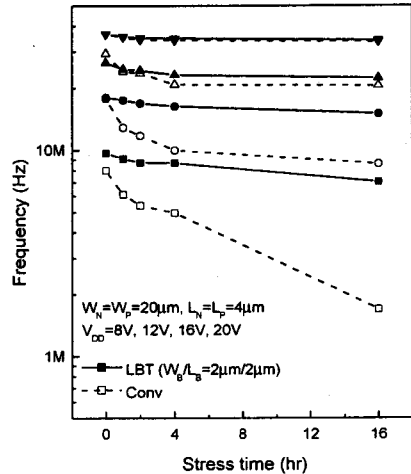


그림 7.  $V_{DD}=25V$ 에서 16시간동안 동작한 후 11-stage CMOS inverter-chain의 주파수 열화. low  $V_{DD}$ 에서 conventional ring oscillator의 주파수가 심각하게 감소된다. 제안된 소자는 동적 stress에 영향 받지 않는다.

### (참 고 문 헌)

- [1] M. Osame, M. Azami, J. Koyama, Y. Ogata, H. Ohtani, S. Yamazaki, *SID98 Tech. Digest*, pp.1059, 1998.
- [2] Y. Hirakatu, M. Sakakura, S. Eguchi, Y. Shionoiri, S. Yamazaki, H. Washio, Y. Kubota, N. Makita, M. Hijikigawa, *SID00 Digest*, no.42.3, pp.1014, 2000.
- [3] M. Hack, A. Chiang, T. Y. Huang, A. G. Lewis, R. A. Martin, H. Huan, I.W. Wu, P. Yap, *IEEE IEDM*, pp.252, 1988.
- [4] A. G. Lewis *et al* : *IEDM Tech. Dig.* pp.264, 1988.
- [5] B. H. Min, C. M. Park, M. K. Han : *IEEE EDL*, vol.16, no.5, pp.161, 1995.
- [6] J. G. Fossum, A. Ortiz-Conde, H. Shichijo, S. K. Banerjee, *IEEE Trans. on ED*, vol.32, no.9, pp.1878, 1985.
- [7] S. Inoue, H. Ohshima, T. Shimoda, *IEEE IEDM*, pp.527, 1997.
- [8] M. Hack, A. G. Lewis, I. W. Wu, *IEEE Trans. on Electronic Device*, vol.40, pp.890, 1993.
- [9] A. G. Lewis, I-Wei Wu, M. Hack, A. Chiang and R. Bruce, *IEEE IEDM*, no.20.6.1, pp.575, 1991.
- [10] C. M. Park, J. S. Yoo, M. K. Han, *SSDM Ext. Abs.*, pp.350, 1997.