

**Silicon Selective Epitaxial Growth를 이용한 Elevated Source/Drain의 높이가 MOSFET의 전류-전압 특성에 미치는 영향 연구**

이기암, 김영신, 박정호  
고려대학교 전기공학과

**A Study of I-V characteristics for elevated source/drain structure MOSFET use of silicon selective epitaxial growth**

Ki-Am Lee, Young-Shin Kim, Jungho Pak  
Department of Electrical Engineering, Korea University

**Abstract** - 0.2 $\mu$ m 이하의 최소 선폭을 가지는 소자를 구현할 때 drain induced barrier lowering (DIBL) 이나 hot electron effect와 같은 short channel effect (SCE)가 나타나며 이로 인하여 소자의 신뢰성이 악화되기도 한다. 이를 개선하기 위한 방법 중 하나가 silicon selective epitaxial growth (SEG)를 이용한 elevated source/drain (ESD) 구조이다. 본 연구에서는 silicon selective epitaxial growth를 이용하여 elevated source/drain 구조를 갖는 MOSFET 소자와 일반적인 MOSFET 구조를 갖는 소자와의 차이를 elevated source/drain의 높이 변화에 따른 전류-전압 특성을 이용하여 비교, 분석하였으며 그 결과 elevated source/drain 구조가 short channel effect를 감소시킴을 확인할 수 있었다.

**1. 서 론**

마이크로프로세서나 DRAM에서 소자의 성능을 향상시키고 집적도를 높이기 위해서 수평적으로 MOSFET 소자의 크기를 줄이는 것과 동시에 수직으로의 scale down도 급속히 이루어지고 있다. 이와 같이 소자의 크기를 축소하면, 소자의 동작전압이 낮아지고 속도의 향상을 가져올 수는 있으나 hot electron effect나 drain의 전위가 source쪽으로 침투하여 source의 전위 장벽을 감소시키는 drain induced barrier lowering 효과들이 나타나서 소자의 신뢰도를 악화시키므로 이러한 현상을 감소시켜야 한다. 이러한 short channel effect (SCE) 효과를 줄이기 위해서는 short channel 소자의 수평적인 부분과 수직적인 부분을 축소하면서 source/drain 영역의 불순물 농도도 함께 줄여야만 한다. 수직적인 부분의 축소는 MOSFET의 source와 drain의 junction depth를 되도록 얇게 만드는 것인데 MOSFET 소자의 최소 선폭을 0.18 $\mu$ m나 그 이하로 축소할 때 첫째로 대두되는 공정상의 문제가 바로 100nm 이하의 shallow junction을 제작하는 방법이다. 이를 위해서는 source/drain의 농도를 감소시켜 junction depth를 줄여야 하나 이것은 source/drain의 기생저항의 증가를 가져와서 short channel 소자의 기능을 감소시킨다. 기생저항을 줄이면서 원래의 MOSFET의 특성을 유지하고 또한 silicidation을 시행할 때 두꺼운 희생층을 형성하여 silicided junction의 leakage control에 효과적으로 대응할 수 있는 방법으로 제시된 것이 silicon selective epitaxial growth (SEG) 기술을 이용하여 elevated source/drain 구조를 가진 MOSFET소자를 제작하는 것이며 최근 이에 대한 연구가 활발히 진행되고 있다. [1-3]

본 논문에서는 silicon selective epitaxial growth를 이용한 elevated source/drain 구조에서 그 높이가 소자의 특성에 미치는 영향을 알아 보기 위하여 일반적인 MOSFET 소자와 elevated source/drain 구조를

이용한 MOSFET 소자의 전류-전압 특성을 TSUPREM-4와 MEDICI를 사용하여 simulation 하였으며 그 중에서도 short channel effect인 drain induced barrier lowering 및 hot carrier effect에 대해 각 소자에 대한 결과를 도출하여 이를 비교, 검토하였다.

**2. 본 론**

**2.1 Simulation 초기 조건**

MOSFET 소자의 구조는 반도체 공정 프로그램인 TSUPREM-4를 이용하여 simulation하였다. 그림 1은 simulation에 사용한 소자의 단면을 나타내고 있다. 기판은 p-type <100> 1 $\times 10^{15}$ cm<sup>-2</sup>를 사용하였으며 Field oxide isolation은 local oxidation of silicon (LOCOS)방법으로 400nm를 성장시켰다. Threshold voltage와 bulk punchthrough를 줄이기 위하여 각각 10keV, 9 $\times 10^{12}$ cm<sup>-2</sup>와 100keV, 1 $\times 10^{12}$ cm<sup>-2</sup>으로 two boron implantation을 실시했으며, 이 때 screen oxide는 6.5nm를 올려주었다. Gate oxide는 screen oxide를 제거한 후에 5nm를 dry oxidation 조건으로 올렸으며 그 위에 phosphorus의 doping concentration이 1 $\times 10^{20}$ cm<sup>-3</sup>인 polysilicon을 200nm 증착하였다. Gate 영역을 지정한 후에 900 $^{\circ}$ C에서 6분동안 reoxidation을 실시하였으며 LDD를 구현하기 위하여 source/drain 영역에 arsenic(1 $\times 10^{13}$ cm<sup>-2</sup>, 18keV)을 implantation하였다. 그 뒤 sidewall oxide spacer는 일정한 높이로 oxide를 deposition 한 뒤 식각하여 두께를 80nm로 만들었다. Silicon selective epitaxial growth를 실시하여 elevated source/drain을 만든 뒤 두 번째로 source/drain 영역에 arsenic(3 $\times 10^{15}$ cm<sup>-2</sup>, 25keV)을 implantation을 하였다. 그 뒤 rapid thermal annealing (RTA)을 950 $^{\circ}$ C에서 10초간 실시하였으며 마지막으로 TiSi<sub>2</sub>를 20nm 증착한 뒤 two-step RTA (1st 650 $^{\circ}$ C, 1min, 2nd 800 $^{\circ}$ C, 30s)를 실시하여 silicidation을 하였다.

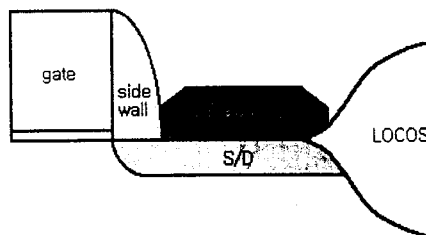


그림 1. Elevated source/drain의 구조를 가지는 소자의 단면도

## 2.2 Simulation 결과 및 분석

Elevated source/drain의 높이 변화에 따른 소자의 특성을 보기 위하여 elevated source/drain의 높이가 100nm인 소자와 50nm인 소자, 그리고 elevated source/drain 구조를 가지지 않은 소자를 비교하였으며 각각의 전류-전압 특성은 MEDICI를 이용하여 simulation을 하였다.

### 2.2.1 I-V Characteristics

$V_g = V_d = 2.5V$ 일 때 각 소자의 saturation current를 비교하면 그림 2와 같다. 그림에서 보는 바와 같이 gate length가 100nm인 소자의 경우 elevated source/drain 구조를 가지지 않은 소자는  $850.77 \mu A/\mu m$ 의 전류가 흐르는데 비해 elevated source/drain 구조를 가진 소자는  $512.06 \mu A/\mu m$ 의 전류가 흐른다. 이는 elevated source/drain의 두께가 높아질수록 doping profile이 substrate에서 낮은 분포를 가지게 되어 sheet resistance의 증가가 발생하기 때문에 전류의 양이 감소하게 된다.

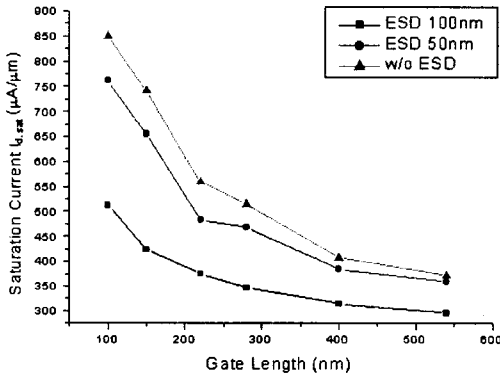


그림 2. Elevated source/drain의 두께를 변화시킬 때 gate length에 따른 saturation drain current  $I_{d,sat}$  ( $@V_d = V_g = 2.5V$ )의 simulation 결과

### 2.2.2 Hot carrier reliability

그림 3은 hot carrier effect 현상을 보기 위하여 gate length가 150nm인 소자에 대해  $V_d$ 가 3V일 때  $V_g$ 를 0V에서 5V까지 변화시켜 가면서 substrate current의 변화를 simulation 한 결과이다.

Implant 조건이 같은 상태에서는 elevated source/drain의 높이가 낮아질수록 substrate 부분의 doping concentration이 증가하고 수평방향으로의 diffusion도 증가하게 된다. 이로 인해 결과적으로 light doped drain (LDD) 영역의 감소가 발생하고 또한 LDD의 저항이 작아져서 drain 영역의 edge 부분에 lateral electric field가 강하게 걸리게 되어 hot carrier effect가 발생하는 원인이 된다. [1]

그림에서 보는 것과 같이 elevated source/drain 구조를 가진 소자의  $I_{sub}$  최대값은 elevated source/drain의 구조를 가지지 않은 소자에 비해 더 작은 값을 가지며 두께가 감소함에 따라 substrate current가 증가함을 알 수 있다. 이는 동일한 전압에서 electric field 최대값이 elevated source/drain 구조를 가진 소자에서 더 작다는 것을 의미한다. 이와 같이 elevated source/drain 구조의 소자는 낮은 lateral

electric field를 갖기 때문에 hot carrier effect를 감소시킬 수 있다.

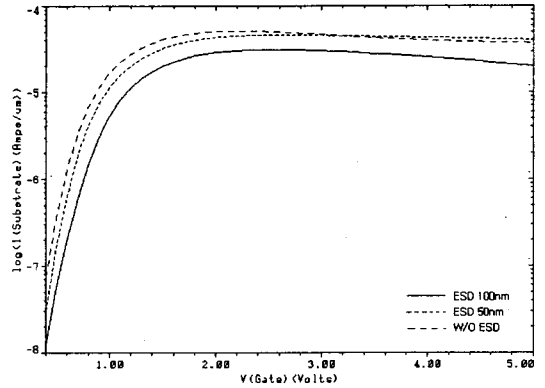


그림 3. Elevated source/drain의 높이가 각각 100nm, 50nm, 0nm일 때 gate voltage에 따른 substrate current  $I_{sub}$ 의 변화 (Gate length =  $0.15 \mu m$ )

### 2.2.3 Drain induced barrier lowering

그림 4는 각 소자의 drain induced barrier lowering에 관한 simulation 결과를 나타내고 있다. 조건은  $\Delta V_t$  (DIBL) =  $V_t(@V_d = 0.1V) - V_t(@V_d = 3V)$ 을 적용하였다. 그림에서 보는 바와 같이 모든 소자가 동일하게 소자의 gate length가 작아질수록 drain induced barrier lowering은 증가한다. 그러나 elevated source/drain 구조를 가진 소자와 그렇지 않은 소자를 비교할 때 elevated source/drain 구조의 소자가 DIBL 감소에 더 좋은 결과를 나타내고 있으며 특히 gate length가 100nm인 소자의 경우를 보면 elevated source/drain 구조를 가지지 않은 소자의  $\Delta V_t$ 가 90.83mV 였으나 elevated source/drain의 두께가 100nm일 때는  $\Delta V_t$ 가 70.18mV로써 22.7%정도 감소함을 알 수 있다.

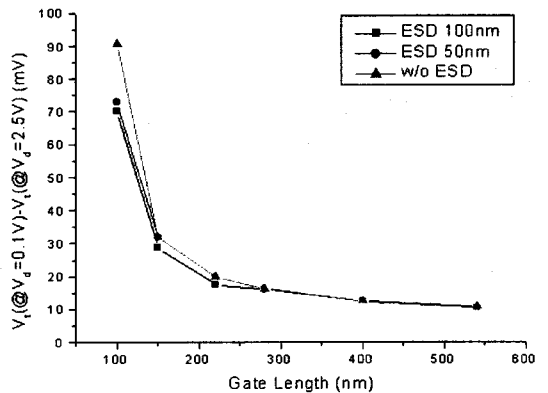


그림 4. DIBL( $\Delta V_t$ )에 기인한 threshold voltage의 이동과 gate length와의 관계에 대한 simulation 결과

### 3. 결 론

Elevated source/drain 구조를 가진 소자는 일반적인 소자와 비교할 때 hot carrier effect나 drain induced barrier lowering과 같은 short channel effect를 줄이는데 효과적인 역할을 함을 각각의 simulation 결과를 통해서 알 수 있었다. 특히 소자의 크기가 150nm 이하로 감소할 때 DIBL의 감소효과는 더 크게 나타난다. 위와 같은 결과로 소자의 scaling down시 나타나는 문제인 short channel effect를 줄이고 소자의 신뢰성을 유지하는데 silicon selective epitaxial growth를 이용한 elevated source/drain 구조의 소자가 효과적인 대안이 될 수 있다고 하겠다.

#### (참 고 문 헌)

- [1] Jie J. Sun, Robert F. Bartholomew, Kashyap Bellur, Anadi Srivastava, Carlton M. Osburn, and Nino A. Masnari, "The effect of the elevated source/drain doping profile on performance and reliability of deep submicron MOSFET's," IEEE Electron Devices, Vol. 44, pp. 1491-1498, 1997.
- [2] Emmanuel Augendre, Rita Rooyackers, Matty Caymax, E. P. Vandamme, An De Keersgieter, Charles Perello, Marc Van Dieval, Sandrine Pochet, and Goncal Badenes, "Elevated source/drain by sacrificial selective epitaxy for high performance deep submicron CMOS: Process window versus complexity," IEEE Electron Devices, Vol. 47, pp. 1484-1491, 2000.
- [3] J. R. Pfister, R. D. Sivan, H. M. Liaw, C. A. Seelbach, and C. D. Genderson, "A self-aligned elevated source/drain MOSFET," IEEE Electron Device Lett., Vol. 11, pp. 365-368, 1990.