

생산라인에서 SSA 기법에 근거한 디지털 회로 보ورد 검사 기술

고윤석
남서울대학교

Test Technology of Digital Circuit Board
Based on Serial Signature Analysis Technique in Production Line

Yun-Seok Ko
Namseoul University

Abstract-This paper proposes test strategy detecting the faulted digital device or the faulted digital circuit on the digital circuit board using signature analysis technique based on the polynomial division theory. SSA(serial Signature Analysis) identifies the faults by comparing the remainder from good device and reminder from the tested device, which remainder is obtained by enforcing the data stream outputted from output pins of tested device on LFSR(Linear Feedback Shift Register) representing the characteristic equation.

1. 서 론

최근 디지털 제품들은 고성능화, 다기능화를 추구하고 있기 때문에 회로는 고밀도화, 다층화되고 있으며 디지털 소자들이 회로에 장착되는 SM과정에서 부품 및 회로결합 문제들이 발생, 생산제품에 대한 품질 및 생산성을 심각하게 저하시킬 수 있다. [1-2] 회로관련 연구자들은 이러한 문제들을 해결하기 위해 노력해 왔는데, [3]에서는 회로 보ورد 단위로 테스트 패턴을 입력하여 출력패턴을 검사하는 회로기능 검사 기법이 제안되었다. [4]에서는 모든 상정사고 데이터를 DB화한 고장패턴 지식베이스를 이용하여 검사 효율성을 높이기 위한 방법을 제안하였는데 높은 프로그래밍 비용이 요구되었다. [5-6]에서는 검사비용 문제를 해결하기 위해 각 부품에 대해 개별적으로 검사함으로써 최소의 프로그래밍 비용으로 신속하게 고장부품을 확인할 수 있는 소자검사기법(In-Circuit Test)이 제안되었다. 특히 대부분의 회로들이 디지털화되는 추세에서 디지털 회로 보오드에 대한 검사의 정확성과 생산성을 개선시키기 위한 많은 관심과 노력이 집중되고 있는데 디지털 소자들이 TTL, CMOS 계열의 디지털 소자에서부터 ROM, RAM 등 고집적 소자들을 포함하기 때문에 검사에 많은 시간비용과 어려움이 따르게 된다. 따라서 본 연구에서는 SSA (Serial Signature Analysis) 기법을 이용하여 디지털 회로 보오드상의 소자들을 검사함으로써 검사 생산성을 크게 제고할 수 있는 디지털 회로 보오드 검사기술을 제안하고자 한다. 제안되는 검사기술은 TTL, CMOS 계열의 디지털 소자에서부터 RAM, ROM 등 고밀도 디지털 소자들에 적용될 수 있다.

2. 기본개념

TTL 및 CMOS 계열의 IC, ROM, RAM 또는 특수 IC인 ASIC 등으로 구성되는 디지털 보오드에 대한 경험은 그림 1과 같이, 치구부의 푸르부를 이용하여 테스트 패턴을 입력하고자 하는 입력노드와 그 응답을 보고자 하는 출력노드들을 전기적으로 접촉시킨 다음, 가능한 모든 시험 입력패턴들을 입력노드에 순차적으로 가하면서 출력 노드로부터 생성되는 출력패턴을 정상치와 비교함

으로써 확인될 수 있다. 그림 1은 NOR, NAND 등 수 개의 논리 게이트로 구성된 아주 간단한 디지털 회로를 보이는데, D_i 는 i 번째 디지털 다바이스들, □는 노드번호를, 그리고 일반 숫자는 IC의 핀 번호를 표시한다.

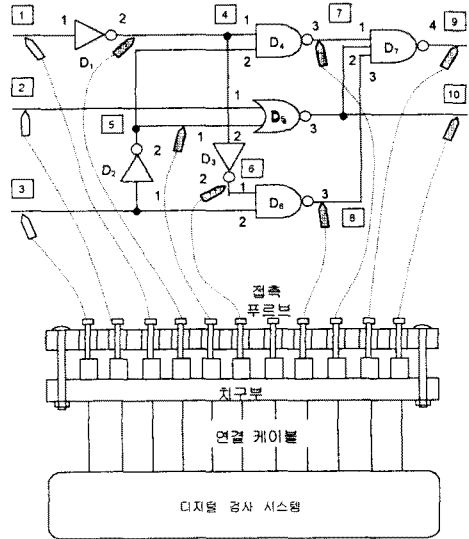


그림 1 검사 시스템 구성

접선은 치구부의 검측 푸르브와 직접 접촉되야 할 노드의 1: 1 대응관계를 표시한다. 그림 1의 디지털 회로를 검사하고자 한다면, 입력노드들 1, 2, 3에 가능한 모든 입력 데이터 패턴들 즉, 7개의 입력 패턴들을 순차적으로 가하면서 출력 노드들의 응답을 감시해야 한다. 만약, 출력노드들의 응답들이 표 1의 출력노드 응답들과 동일하다면, 회로는 정상적인 것으로 판정된다.

표 1 디지털 검사 신호 패턴

패턴 #	입력패턴			내부 노드 패턴						출력패턴	
	1	2	3	4	5	6	7	8	9	10	
1	0	0	1	1	0	0	1	1	0	1	
2	0	1	0	1	1	0	0	1	1	0	
3	0	1	1	1	0	0	1	1	1	0	
4	1	0	0	0	1	1	1	1	1	0	
5	1	0	1	0	0	1	1	0	1	1	
6	1	1	0	0	1	1	1	1	1	0	
7	1	1	1	0	0	1	1	0	1	0	

그렇지만, 7개의 응답 패턴들 중 하나 이상의 동일하지 않은 패턴들이 발견된다면 고장이 포함되어 있음을 알 수 있으며, 필요에 따라 내부 노드들의 응답들을 통

해 고장 디바이스를 확인할 수 있다. 즉, 3번째 패턴에서 출력응답이 1.0가 아니고 1.1이라면 입의의 내부 디바이스에서 고장이 있음을 알 수 있다. 그러나, 이러한 검사과정은 대규모 집적회로의 경우 검사패턴 수가 증가함으로써 검사속도의 저하로 인한 심각한 생산성 저하 문제를 일으킨다. 이러한 문제는 signature analysis 기법을 이용하여 해결될 수 있다.

3. Signature Analysis 회로설계

다중 비트 버스트 데이터를 검사하기 쉬운 형태로 압축하는 방법에는 대표적인 transition 카운터법이 있으며 다른 한 방법으로는 통신분야에서 사용되온 PRBS (PseudoRandom Binary Sequence) 생성자에 의해서는 만들어지는 CRC(Cyclic Redundance Check) 코드를 이용하는 방법이 있는데, 이 개념에 근거를 둔 검사 방법을 SA(Signature Analysis) 기법이라 하며 전자에 비해 훨씬 더 효율적이다.

3.1 PRBS 생성기 설계

SA는 PRBS에 근거를 둔다. PRBS는 입력 데이터 스트림을 PRBS 생성기로 입력하여 그 데이터 스트림을 PRBS 생성기의 특성 다항식으로 나눔으로써 얻을 수 있다. 입력 스트림은 이진 다항식으로 표시될 수 있기 때문에 입력 스트림의 나눗셈은 modulo-2 연산자를 이용한 계수 덧셈, 곱셈으로 가능하다. 따라서, PRBS 생성기는 X-OR 회로인 modulo-2 가산기와 단순히 한 클럭동한 한 번의 시간지연 기능을 하는 메모리 요소인 D flip-flop들을 직렬로 연결한 다음, 수개의 flip-flop들의 출력을 X-OR한 결과를 레지스터 입력으로 취하는 LFSR(Linear Feedback Shift Register)를 이용하여 구현된다.

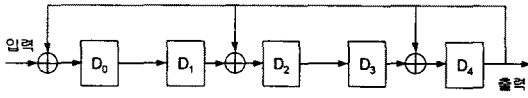


그림 2 내부형 LFSR 구조의 PRBS 생성기

PRBS 생성기는 내부형 LFSR 구조와 외부형 LFSR 구조로 설계될 수 있는데, 그림 2는 입력 데이터 스트림을 특성 항식 $x^5+x^4+x^2+1$ 로 나누기 위한 내부형 LFSR 구조를 보인다. 그림에서, 심볼 □는 저장 디바이스 D flip-flop을, 심볼 ⊕는 modulo-2 덧셈, 뺄셈, 즉 X-OR 게이트들을 표시한다. LFSR에 의한 나눗셈 과정은 다음과 같다.

표 2 내부형 PRBS에 근거한 입력 스트림 처리결과

입력 스트림	레지스터 내용					출력 스트림								
	D ₅	D ₄	D ₃	D ₂	D ₁									
1	1	0	1	0	1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	0	1	1	0
1	1	0	1	0	1	0	1	1	1	1	0	1	0	1
1	1	0	1	0	1	0	1	1	1	0	1	0	1	1
1	1	0	1	0	1	0	1	1	1	0	1	0	1	1
나머지 →	0	1	0	1	1	1	0	1	0	1	0	1	0	1 ←

먼저, 모든 플립플롭들을 0으로 설정한다. 그리고, 그림 1의 LFSR에 데이터 스트림을 입력한다. 이때, 입력되는 데이터 스트림은 이진 다항식으로 표시될 수 있는데, 예를들면, 입력 스트림이 1.1.1.0.1.0.1.0.1.1이라하면

이진 계수를 가지는 다항식 $x^9+x^8+x^7+x^5+x^3+x+1$ 로 표시될 수 있다. 데이터 스트림은 피제수의 최고차항 x^8 의 계수를 시작으로하여 모든 계수들이 내림차순으로 직렬로 쉬프트되며, 모든 피제수 계수가 천이되어 몫이 출력을 끝마치면 레지스터에 최종적으로 나머지 값이 남게된다. 그리고 이 나머지를 signature라 부른다. 표 2는 스트림 $x^9+x^8+x^7+x^5+x^3+x+1$ 을 특성 다항식 $x^5+x^4+x^2+1$ 을 가지는 내부형 LFSR로 나눈 결과를 보이는데 몫이 1.0.1.0.1 그리고 나머지가 0.1.0.1.1임을 알 수 있다. 따라서 이나머지 항 즉 signature를 해석함으로써 결함을 확인할 수 있다. 그림 3은 입력 스트림에 대한 나눗셈을 실현하는 외부형 LFSR 구조의 PRBS 생성기로서 그림 1과는 달리 X-OR 게이트들이 외부에 설계되기 때문에 구조적으로 보다 간단함을 알 수 있다.

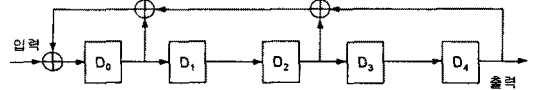


그림 3 외부형 LFSR 구조의 PRBS 생성기

표 2는 특성 다항식 $x^5+x^4+x^2+1$ 을 가지는 외부형 PRBS 생성기로 입력 스트림 $x^9+x^8+x^7+x^5+x^3+x+1$ 을 처리한 결과를 보이는데, 몫은 1.0.1.0.1로 동일하나 나머지는 1.1.1.0.1로써 표 1의 경우와 다름을 알 수 있다. 즉 외부형 PRBS에 대한 입출력 응답이 내부형 PRBS와 동일하나 레지스터 내부상태가 다름을 확인할 수 있지만 이들 두 signature들은 모두 결함확인에 유용하다.

표 3 외부형 PRBS에 근거한 입력 스트림 처리결과

입력 스트림	레지스터 내용					출력 스트림								
	D ₅	D ₄	D ₃	D ₂	D ₁									
1	1	0	1	0	1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	1	0	0	0
1	1	0	1	0	1	0	1	1	1	0	1	0	1	0
1	1	0	1	0	1	0	1	1	1	0	1	0	1	0
1	1	0	1	0	1	0	1	1	1	0	1	0	1	0
1	1	0	1	0	1	0	1	1	1	0	1	0	1	0
1	1	0	1	0	1	0	1	1	1	0	1	0	1	0
나머지 →	1	1	1	0	1	1	0	1	0	1	0	1	0	1 ←

3.2 PRBS 생성기에 근거한 고장검출 확률

SA과정에서 S(x)를 n비트의 입력 데이터 스트림이라 가정하자. 그리고, LFSR로 구현되는 계수 P(x)를 m차 다항식으로, 나머지 R(x)를 r보다 작은 차수의 다항식으로 가정하자. 이때, 나머지 R(x)는 S(x), P(x)와 식 (1)과 같이 관계된다.

$$S(x) = P(x) \cdot Q(x) + R(x) \quad (1)$$

다음, Y(x)를 에러 스트림 E(x)를 포함하는 S(x)와는 다른 n비트 스트림이라 가정하자. 예를들면 정확한 입력 스트림이 1.1.0.0.0.1이면 S(x) = x^5+x^4+1 , 에러를 포함한 입력 스트림이 1.1.1.0.1.1이면 Y(x) = $x^5+x^4+x^3+x+1$ 이 되며 에러 스트림은 0.0.1.0.1.0이므로 E(x) = x^3+x 가 된다. 따라서, Y(x)에 대한 관계식은 식 (2)와 같이 표시된다.

$$Y(x) = P(x) \cdot Q'(x) + R'(x) \quad (2)$$

만약, 에러 스트림 e(x)가 p(x)의 multiple이면 S(x)와 Y(x)의 signature들 즉, R(x)와 R'(x)는 같은 값으로 사상되므로 에러를 검출할 수 없다. 결함을 검출할 수 없을 확률은 검출불가능한 에러에 대한 전체 에러의

바로 표시될 수 있다. 입력 스트림 S(x), Y(x)가 n비트 스트림으로써, n개의 비트에서 모두 에러가 발생할 수 있기 때문에, 전체 에러는 2^n-1 으로 표시된다. 반면에, 검출 불가능한 에러는 PRBS 생성기 P(x)가 m비트로써 m비트를 제외한 n-m비트에서 발생할 수 있기 때문에, $2^{n-m}-1$ 이다.

$$Prob(PRBS, fail) = \frac{\text{검출불가능한에러수}}{\text{전체에러수}} = \frac{2^{n-m}-1}{2^n-1}$$

따라서, 결함을 검출할 수 없을 확률은 식 (3)과 같이, 표시될 수 있다.

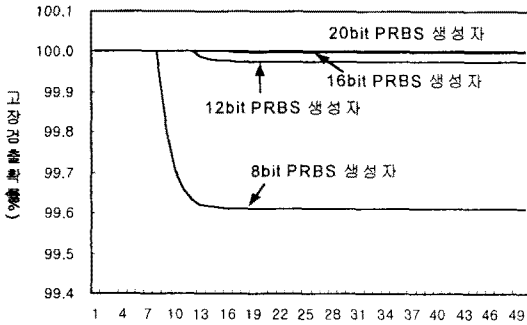


그림 4 입력 스트림의 길이(비트 수)

4. 시뮬레이션 결과

본 연구에서는 디지털 보오드 검사를 위해 16 비트 PRBS 생성기에 근거를 둔 signature analysis 회로를 설계하였다. 따라서, 제안된 설계결과와 유용성을 검증하기 위해서는 비교적 긴 입력 데이터 스트림을 가질 수 있는 디지털 회로에 대해서 내부 디바이스들의 고장 경우들을 모의할 필요가 있다. 그림 5는 성능검증을 위해 도입된 전자회로 모델을 보이는데, 6개의 입력노드들 (1,2,3,4,5,6)과 3개의 출력노드들 (20,21,22)들을 포함한다.

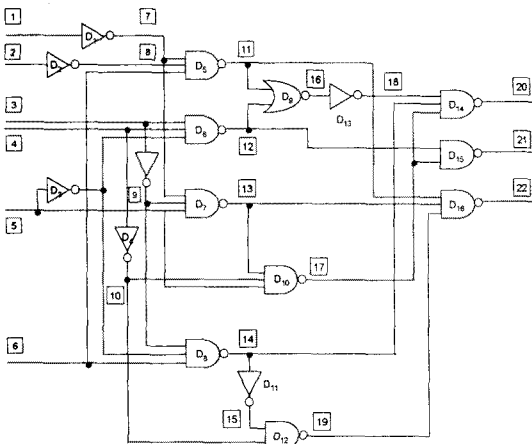


그림 5 성능검증을 위한 전자회로 모델

먼저, 고장을 발생시키지 않은 정상상태에서 고장 검출기를 적용하여 그 응답을 확인한다. 다음, 그림 5에서 보인 디지털 회로 구성 디바이스들 중 수개의 디바이스들을 선정하여 임의의 핀들에 대해 고착1에러(stuck at 1)나 고착0 에러(stuck at 0)를 발생시킴으로써 대표적인 에러형태인 연속집중 에러(burst error)나 반복분산 에러(repeated use fault)들에 대한 결함 검출능력

을 확인한다. 표 4는 이들에 대한 시뮬레이션 결과를 보인다. 먼저 0번째 경우 고장 검출기는 정상 signature와 동일한 signature, DEB4를 얻어 정확하게 PASS를 결정한다. 다음, 두 번째 경우에서 signature 94CB를 얻게되는데 정상회로의 signature와 다른 결과를 보임으로써 Fail 결과를 얻는다. 이와같이 제안된 검사 전략은 수개의 고장 경우들에 대해 정확하게 고장을 검출함으로써 그 유용성을 확인할 수 있다.

표 4 시뮬레이션 결과

Test #	고장 게이트	고장 노드#	고장 타입	정상 SIGNATURE	출력 SIGNATURE	결과
0	-	-	-	DEB4	DEB4	PASS
1	D ₁	7	고착0	DEB4	94CB	FAIL
2	D ₁	7	고착1	DEB4	50E3	FAIL
3	D ₂	8	고착0	DEB4	CA82	FAIL
4	D ₂	8	고착1	DEB4	D134	FAIL
5	D ₃	9	고착0	DEB4	DE87	FAIL
6	D ₃	9	고착1	DEB4	A7AA	FAIL
7	D ₄	10	고착0	DEB4	1405	FAIL
8	D ₄	10	고착1	DEB4	75AC	FAIL
9	D ₅	11	고착0	DEB4	823D	FAIL
10	D ₅	11	고착1	DEB4	94CB	FAIL
11	D ₅	12	고착0	DEB4	E196	FAIL
12	D ₆	12	고착1	DEB4	94CB	FAIL
13	D ₂	13	고착0	DEB4	1405	FAIL
14	D ₇	13	고착1	DEB4	80FD	FAIL
15	D ₈	14	고착0	DEB4	EDA4	FAIL
16	D ₈	14	고착1	DEB4	80CE	FAIL
17	D ₁₀	17	고착0	DEB4	EDA4	FAIL
18	D ₁₀	17	고착1	DEB4	1405	FAIL

5. 결 론

본 연구에서는 SA(Signature Analysis)기법을 이용하여 대량 생산되는 디지털 보오드상의 SMD 타입의 소자나 회로의 결함을 확인하는 디지털 보오드 검사전략을 제안하였다. 8,12,16, 20비트 SSA에 대해 입력 패턴들의 수를 변화시키면서 검출 불가능한 에러의 발생 확률을 검토함으로써 16비트 PRBS 생성기에 근거하는 최적한 SSA 회로를 설계하였다. 검사 시스템의 연속집중 에러(burst error)나 반복분산 에러(repeated use fault)에 대한 검증능력을 확인하기 위해서 주어진 시험 전자회로 모델에 대한 다양한 고장 시나리오를 모의하였다. 시뮬레이션은 내부 디지털 회로 구성 디바이스들 중 수개의 디바이스들을 선정하여 수개 핀들에 대해 고착1에러나 고착0에러를 발생시킴으로써 실행되었으며, 모든 경우에 대해서 정확한 고장검출능력을 보임으로써 그 유용성을 입증하였다.

(참 고 문 헌)

- [1] Jon Turino, "Functional Testing's Place In Electronics Manufacturing", Evaluation Engineering, pp 58-61, September 1984.
- [2] Reynold, "In-Circuit McTesters the Future of In-Circuit Test", Evaluation Engineering, pp 8-15, February 1987.
- [3] David T. Crook, "Analog In-Circuit Component Measurements: Problems and Solutions", Hewlett-Packard Journal, pp 34-42 march 1979.
- [4] Steve J Baker, "Analog-Component Faults Yield to In-Circuit Testing", GenRad journal pp 15-20.
- [5] Peter Hansen, "Ensuring ASIC Testability at the Board Level Tools and Strategies", ATE & Instrumentation Conference, pp 33-43 1987.