

스트레스에 따른 다결정 실리콘 TFT의 영향

Characteristics of Polycrystalline Silicon TFT with Stress-Bias

백 도현* 이 용재**
(Do-Hyun Baek, Yong_jae Lee)

Abstract

Polycrystalline Silicon Thin Film Transistors(Poly-Si TFT's), fabricated at temperature lower than 600°C are now largely used in many applications, particularly in large area electrons. In this work, electrical stress effects on Poly-Si TFT's fabricated by Solid Phase Crystal(SPC) was investigated by measuring electric properties such as transfer and output characteristics, and channel conductance. Consequently, It is turned out that it should be noted the output characteristics, drain current and channel conductance, strongly degrade around origin.

Key Words : TFT, Polycrystalline, Stress, Kink, SPC

1. 서론

다결정 실리콘 박막 트랜지스터(Polycrystalline Silicon Thin Film Transistors, 이하 Poly-Si TFT's)는 미래의 액티브 매트릭스 액정 디스플레이(AMLCD)에 대하여 중요한 기술로 도래되고 있다. 실제로, 최근의 다결정 실리콘 공정의 발전에 기인하여 소자 기능은 실질적으로 향상되어지고 있고, AMLCD를 포함한 드라이브 주변회로의 집적가능성을 나타낸다. 현재 대부분의 TFT-LCD(Liquid Crystal Display) 양산에 사용되는 비정질 실리콘 TFT(a-Si:H TFT)는 일반적으로 아주 낮은 누설전류(Leakage current)와 작은 동작 전류를 갖는데, 화소 메모리 내의 데이터를 디스플레이 물질이 반응하기 위한 충분히 긴 시간동안 유지하는데 필요한 작은 누설전류와 적절한 동작 전류를 갖도록 크기를 조절할 수 있기 때문에, 매트릭스 디스플레이에서 잘 동작할 수 있다. 그러나, 액정 디스플레이의 면적이 점차 대형화되어 가면서 여러 가지 문제점이 생기기 시작하였다. 비정질 실리콘의 전계 효과 이동도(Field effect mobility)가 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 이하로 낮기 때문에 $20\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 전계 효과

이동도가 필요한 구동회로의 소자로 쓰일 수 없다. [1] 이는 Poly-Si TFT가 비정질 실리콘 박막 트랜지스터에 비하여 전계 효과 이동도가 커서 주변 회로 일체형 LCD 제작에 적합하기 때문이다. 따라서 구동 IC 값만큼 저가격화를 이룰 수 있기 때문에 차세대 디스플레이로서 큰 기대가 모아지고 있다. 그러나, Poly-Si TFT는 게이트 전압과 드레인 전압이 증가함에 따라 큰 누설 전류를 가지고 있어, TFT가 픽셀의 스위칭 소자로 사용될 경우 픽셀에 저장된 데이터가 새어나가게 되어 디스플레이의 질을 저하시키고 저장 시간을 제한하게 된다. 이에 누설전류를 최소화하도록 소자의 구조적 개선과 공정 개발이 요구된다. 또한, Poly-Si TFT를 포함한 구동회로에 공급되는 전압은 상대적으로 높기 때문에 소자는 높은 전계에서 동작하므로 Hot-Carrier 영향을 받게된다. 오랫동안 소스와 드레인에 높은 전압을 인가한 Poly-Si TFT는 소자 특성이 열화되고, 이 열화는 Hot-Carrier 효과에 주된 것이다. 그러므로 그 물리적 원인을 정확히 이해할 필요가 있다. 이에 본 논문에서는 비정질 실리콘 박막을 증착한 후 저온($\leq 600^\circ\text{C}$)에서 열처리하여 결정화시키는 고상결정화 방법(Solid Phase Crystallization, 이하 SPC)으로 다양한 채널길이($2\mu\text{m}\sim 50\mu\text{m}$)를 가지는 n-채널과 p-채널 Poly-Si TFT를 제작하여 채널 길이

와 외부 스트레스에 따른 특성을 측정하였고, 이 결과로부터 Hot-Carrier의 영향과 Kink 영향을 분석하고자 한다.

2. 소자 제작

그림 1은 유리기판에 저온 공정 기술($\leq 600^\circ\text{C}$)로 poly-Si TFT를 제작하기 위한 소자제작 공정 순서이다. 먼저 SiO_2 의 기초산화막을 APCVD(Atmospheric Pressure Chemical Deposition)법으로 유리기판 위에 증착한 다음, 1000 Å의 채널 박막은 450°C 에서 Si_2H_6 를 이용하여 LPCVD(Low Pressure CVD)방법으로 증착하였다. 이 채널 막은 450°C 에서 비정질 상태로 증착되기 때문에 600°C 의 N_2 분위기에서 10h동안 어닐링하였다. 어닐링 후에 채널 막이 $1\mu\text{m}$ 의 평균 grain size를 가지고 채널 두께에 걸쳐 완전히 결정화되었음을 TEM 관측으로 확인하였다. 게이트 SiO_2 (1000Å)와 게이트 폴리실리콘막(1000Å)은 550°C 에서 각각 LPCVD로 증착하였다. 게이트 패턴을 형성한 후에 소오스와 드레인, 게이트를 형성하기 위하여 100 KeV의 에너지로 $5 \times 10^{15} \text{ cm}^{-2}$ 의 인을 이온 주입하였다. 그런다음, PSG(Phosphorus silicate glass)을 증착한 후에 앞에서 주입된 이온을 여기서시키기 위해서 600°C , N_2 분위기에서 열적 어닐링을 행하였다. 전극을 형성하기 위한 접착 층을 사진 식각으로 열어 알루미늄을 증착하였다. 특히, 알루미늄을 증착하기 전에 전극의 접착저항을 줄이기 위해 텅스텐 실리사이드 (WSi_2)를 형성하였다. 또한, 소자 성능을 향상시키기 위하여 접착 층을 열기 전에 순수한 수소 플라즈마($1.3\text{W}/\text{cm}^2$)에서 350°C , 30분간 수소화 공정을 행하였다. 제작된 poly-Si TFT의 구조는 Top 게이트 형태의 구조이며, 측정된 소자의 채널 폭은 $5\mu\text{m}$ 이고 채널 길이의 범위는 $1.5\mu\text{m} \sim 50\mu\text{m}$ 이다.

위의 공정순서를 거쳐 제작된 Poly-Si TFT의 전기적 특성들- 채널 길이에 따른 전달특성, 스트레스에 따른 전달특성, 채널 전도도의 변화-를 측정하였다.

3. 실험 및 결과 고찰

그림 2는 채널 폭이 $5\mu\text{m}$ 이고, 채널 길이가 각각

1.5, 2, 2.5, 3, 5, 10, $50\mu\text{m}$ 인 n-채널과 p-채널 poly-Si TFT에 대해서, 게이트 전압이 각각 6V, -6V일 때, TFT의 출력 특성(I_d-V_d) 변화를 나타낸 것이다. 높은 드레인 바이어스에서 채널길이가 짧아짐에 따라 드레인 전계의 증가로 인한 충격 이온화의 증가와 그레인 경계에서의 전위 장벽 저하로 인하여 드레인 전류가 상당히 증가하였다. 그러나, n-채널의 경우는 $1.5\mu\text{m}$, p-채널의 경우는 $2.5\mu\text{m}$ 이하의 경우, 낮은 드레인 바이어스에서 드레인 전류가 감소하였다. 이는 단채널에서 grain 내 트랩 밀도의 증가로 설명된다.^[2]

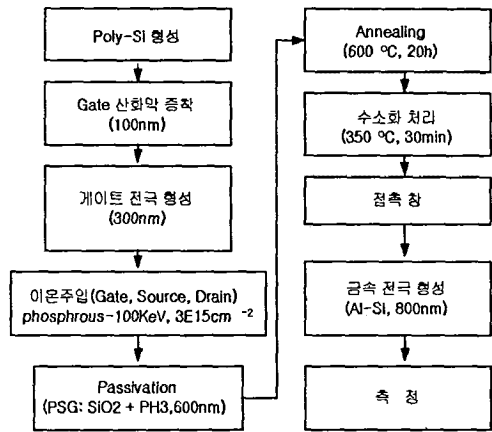


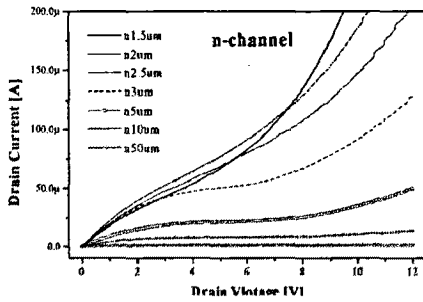
그림1. 소자 제작 공정 순서

Fig 1. Process Sequence

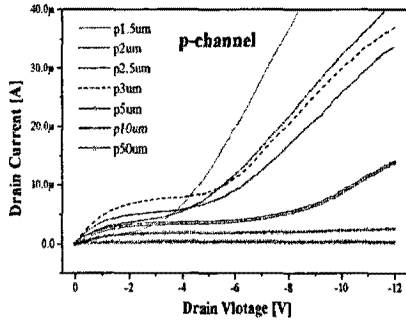
또한 그림 2는 채널길이에 따른 출력 특성의 변화를 보여주고 있는데, 높은 드레인 바이어스에서 채널길이가 짧아짐에 따라 kink 효과가 점점 더 커짐을 알 수 있다. 이는 기생바이폴라 트랜지스터의 베이스 폭이 감소하기 때문이다. 이와 같이 kink 효과의 채널 길이 의존도를 설명할 수 있는 이론이 아발란치 유도 기생 바이폴라 효과이다.^[3] 이 모델은 TFT의 floating 기판 구조에 기인한 것으로 SOI(Silicon-on-Insulator)에서 나타나는 항복현상을 두 소자가 모두 floating 기판이라는 공통점으로 poly-Si TFT에 적용해본 것이다. 메카니즘은 다음과 같다. 드레인에 높은 전계가 걸리면 드레인의 pinch-off 영역에 충격이온화가 생기고 이에 의해 생성된 소수캐리어가 기판을 경유하여 소오스 쪽으로 빠져 나가다가 그 생성율이 높아지면 소오스 근처에 쌓이게 된다. 이 쌓인 소수캐리어는 기판 전

위를 올리게 되어 문턱전압을 감소시켜서 드레인 전류의 증가를 유발한다. 이 때 기판의 재 결합율이 높지 않다면 높아진 기판 전위에 의해 소오스 영역에 주입된 소수캐리어가 바이폴라 트랜지스터의 베이스 전류로 작동하여 소오스에서 기판으로의 다수 캐리어 주입을 늘려서 전류를 전류증폭비인 β 만큼 증폭하게 된다.

그림 3은 채널길이가 $3\mu\text{m}$ 인 n-채널 poly-Si TFT의 드레인 전압에 따른 전달 특성을 나타낸다. 그림 10에서 알 수 있듯이 차단상태 전류(누설전류)가 V_g 와 V_{ds} 에 크게 영향을 받는다.



(a) n-채널



(b) p-채널

그림 2. poly-Si TFT의 채널길이에 따른 출력 특성의 변화.

Fig.2. Channel length dependence of the Output characteristics of the poly-Si TFT

그림 4는 게이트와 드레인에 스트레스를 인가하여 Hot-Carrier의 영향을 알아보기 위하여 게이트에 5V의 전압을, 드레인에 15V의 전압을 매 100초씩

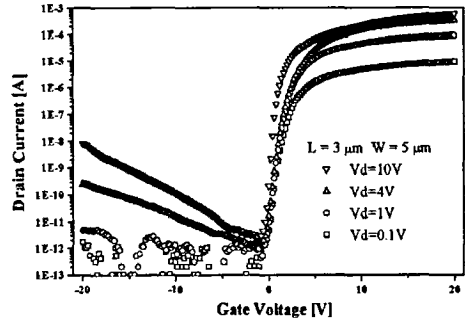
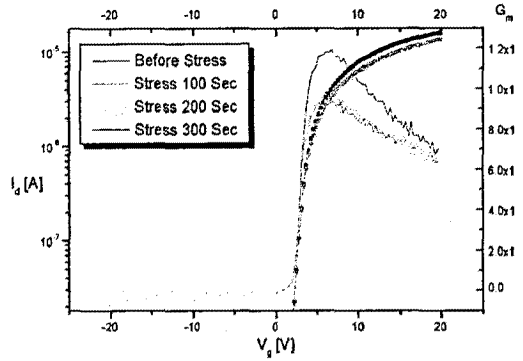
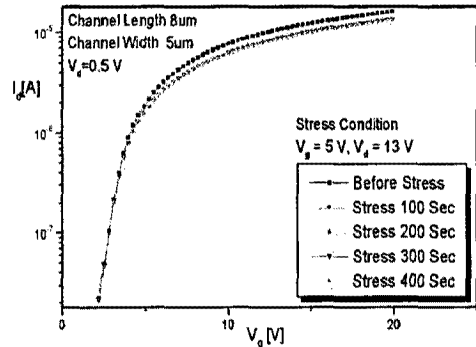


그림 3. n-채널 poly-Si TFT의 드레인 전압에 따른 전달특성

Fig. 3. Transfer characteristics of n-channel poly-Si TFT with drain voltage



(a) 스트레스 인가 후 G_m 과 전달특성의 감소



(b) 스트레스 인가 후 드레인 전류의 특성

그림 4. 스트레스 인가후의 전달특성
Fig 4. Degradation of transfer characteristics on Poly-Si TFT after stress-biased

400초간의 스트레스를 인가하였다. 그 뒤 전달 특성을 측정하기 위하여 드레인에 0.5V의 전압을 인가하였고, 게이트의 전압을 -20V에서 20V까지 인가하여 측정하였다. 그림 4에 나타나듯이 측정된 드레인 전류의 감쇠가 나타나고, 또한 전달 컨덕턴스도 나빠졌다. 이 전기적 특성의 감쇠는 Hot-Carrier 효과와 연관되고, 전계가 최대인 지점에서 드레인 접합 부근의 계면 상태와 연관된다.^{[3][4]}

4. 결론

본 논문에서 유리 기판 위에 고상 결정화(SPC)로 제작된 다결정 실리콘 박막 트랜지스터(Poly-Si TFT)에 대해 전류-전압 특성을 측정하였고, 스트레스 인가에 따른 Poly-Si TFT 소자에 미치는 영향을 조사하였다. 측정 결과로 채널길이가 짧아짐에 따라 Kink 효과가 심하게 나타났으며, 누설전류도 드레인 전압과 게이트 전압에 상당히 의존적이었다. 또한, 게이트와 드레인에 일정 시간 스트레스를 인가하였을 때 소자의 특성 열화가 나타났는데, 이는 Hot-Carrier의 영향으로 인하여 열화된다고 판단된다.

참고 문헌

- [1]. L. Mariucci "Determination of hot-carrier induced interface state density in polycrystalline silicon thin-film transistors", Journal of Applied Physics, pp2341,1998
- [2]. G.A. Armstrong, etal, "Differentiation of Effects due to Grain and Grain Boundary Traps in Laser Annealed Poly-Si Thin Film Transistors", Jpn, J. Appl. Phys. Vol. 37, pp.1721-1726, 1998
- [3] B.Tala-Ighil, etal, "Gate bias stress in hydrogenated and unhydrogenated polysilicon thin film transistors", Microelectronics Reliability, Vol. 38, pp 1149-1153, 1998
- [4] J.Richard Ayres, etal, "Analysis of Drain Field and Hot Carrier Stability of Poly-Si Thin Film Transisotrs", Jpn. J. Appl. Phys. Vol. 37. pp. 1801-1808, 1998

- [5] Tae-Hyung Ihn, etal, "Electrical Stress Effect on Poly-Si Thin Film Transistors Fabricated by Metal Induced Lateral Crystallization", Jpn, J. Appl. Phys. vol. 36. pp. 5029 - 5032, 1997