

AC PDP의 addressing 시 3전극 상에서의 벽전하량 계측

The Measurement of the Wall Charge on the Three Electrodes in the Addressing Period of ac PDP

이기범*, 김동현*, 강동식*, 박차수*, 조정수*, 박정후*

*부산대학교 전기공학과

Ki-Bum Lee, Dong-Hyun Kim, Dong-Sik Kang, Cha-Soo Park,
Chung-Soo Cho, Chung-Hoo Park

Dept. Electrical Engineering Pusan National University

Abstract

The relationships between driving voltage and the wall charge distribution in the address period of surface discharge type AC Plasma Display Panel have been investigated. The quantity of wall charge on each electrode are detected simultaneously from the electrode current after applying only one addressing discharge pulse. The wall charge Q_y on the scan electrode Y is nearly the sum of Q_x on the address electrode X and Q_z on the sustain electrode Z. The Q_y increased with the driving voltage regardless of the kind of electrode, whereas the address time T_d decreased, Q_z and Q_y are increased considerably with the blocking voltage V_z , whereas Q_x is decreased. The increase rate of Q_x , Q_y and Q_z for increase in V_z was -13×10^{-2} (pc/Vz), and 60×10^{-2} (pc/Vz) and 70×10^{-2} (pc/Vz), respectively.

1. 서 론

본 연구에서는 ac PDP의 어드레스 시 각 전극 상의 벽전하 분포에 관해서 연구하였다. 본 연구의 주요 동기는 어드레스 미소 방전후의 벽전하 분포를 ac PDP의 X,Y,Z 세 전극의 전압값으로 명확하게 이해하고, ADS(Address and Display separated Period) 방식의 어드레스 기간에서 세부적인 구동전압의 조율에 기초가 되는 실험 데이터를 얻기 위해서이다. 어드레싱 타임은 인가 전압의 Peak로부터 방전 전류의 종점까지 걸리는 시간을 의미하는데, 이것을 측정함으로써 각 전극의 전압 조건과 어드레싱 속도와의 상관 관계를 규명하고자 하였다.[1-7]

2. 본 론

2.1 실험방법.

그림 1은 표 1과 같은 사양을 가진 4" ac PDP를 보여주고 있다. ac-PDP는 3mm 두께의 2장의 유리로 구성되어 있고, 이 중 상판에는 ITO (Indium Tin Oxide) 및 Cr/Cu/Cr로 이루어진 방전유지전극이 있고, printing 법에 의해 형성된 SiO_2 -PbO 계열의 유전체가 유지전극을 덮고 있으며, 유전체 보

호층인 MgO 박막이 sputtering 기법에 의해 유전층 상에 증착되어 있다. 그리고, 하판에는 방전을 제어하기 위한 Cr/Cu/Cr의 어드레스 전극과 표면방전에서 발생하는 진공자외선(VUV, vacuum ultra violet)을 가시광으로 변환하는 R, G, B 삼원색의 형광체가 도포되어 있으며, 인접 셀과의 구분을 위하여 sandblaster 기법에 의한 격벽이 형성되어 있다.

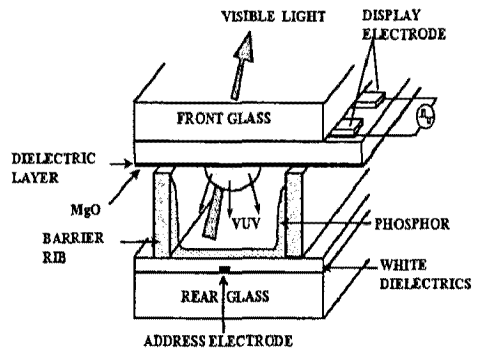


그림 1 표면 방전형 ac PDP의 개략도
Fig.1 The schematic diagram of surface discharge type ac PDP

표 1. 4인치 ac-PDP의 사양
Table 1. Spec. of 4-in ac PDP

Front panel		Rear panel	
ITO width	310 μ m	Add width	100 μ m
ITO gap	60 μ m	White back thickness	15 μ m
Bus width	100 μ m	Rib height	150 μ m
Dielectric thickness	25 μ m	Rib pitch	360 μ m
MgO thickness	5000 Å	Rib width	70 μ m
		Phosphor thickness	20 μ m

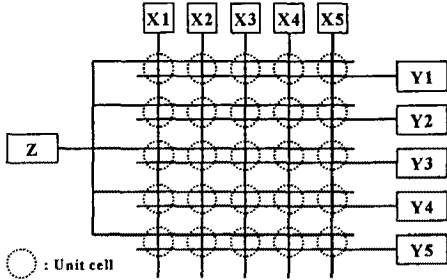


그림 2 ac PDP에서의 전극 배치
Fig 2 The electrode arrangement in ac PDP

그림 2는 전극 배열을 나타내고 있다. 하나의 방전 셀에는 세 개의 전극이 있다. X,Y,Z 전극은 각각 어드레스 전극, 주사 전극, 서스테인 전극이다. ADS 방법에서 한 프레임은 8 서브필드로 나누어지고 각 서브 필드는 리셋 구간, 어드레스 구간, 서스테인 구간으로 구성되어진다.[8]

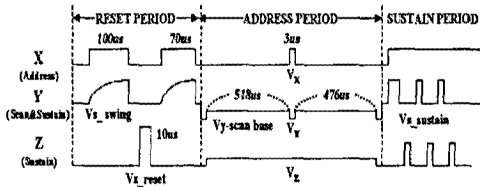


그림 3 어드레스 펄스 1개 인가시 구동 파형
Fig 3 The Driving scheme with only one addressing pulse

그림 3은 하나의 어드레스 펄스로 4인치 패널을 구동하는 구동 파형이다. 앞의 화상은 리셋 구간에서 지워진다. 어드레스 구간에서는 X와 Y전극 사이에 어드레스 방전이 일어나는데, 이때 발생한 전하

들은 X,Y,Z 전극 위에 분포하게 된다. 벽전하라 불리는 이 분포된 전하는 화상을 만드는데 중요한 역할을 하게 된다. 잘 분포된 벽전하는 서스테인 기간에 정확하고 좋은 화상을 만든다.[11-12] 그림 3에서 리셋과 어드레스 구간의 총 합은 1.2ms이고 한 서브필드 시간은 2ms이다. 각 전극에서의 벽전하들은 어드레스 방전 후 각 전극의 전류로부터 검출되었다.[13-14]

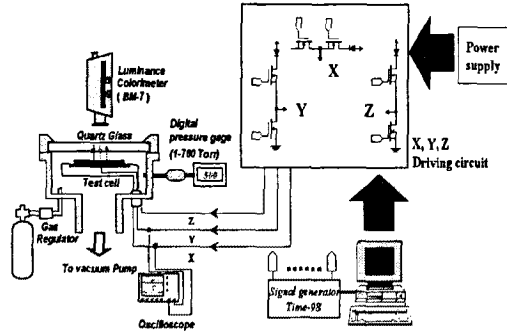


그림 4 계측 시스템의 개략도
Fig. 4 The schematic diagram of measurement system

그림 4는 계측 시스템의 개략도이다. 측정부의 quartz 유리 직경은 200mm이다. 이 시스템으로 동작 gas와 압력을 제어할 수 있다. 본 실험에서는 분자 펌프에 의해 10⁻⁸ Torr까지 배기한 후 He+Ne(30%)+Xe(4%) gas를 300Torr까지 주입하여 사용하였다. 전류 파형은 4ch Digital Oscilloscope로 측정하였다. 실험 변수는 어드레스 구간에서 X, Y, Z 전극의 전압 V_x,V_y,V_z이다.

표 2. 인가 전압의 상태
Table 2. The conditions of applied voltage

V _y	-150 V
V _{y_scan base}	-50 V
V _x	100 V
V _z	40 V
V _z	350 V
V _{s-sustain & swing}	130 V

표 2에 전압의 기본값들을 나타내었는데 이는 실제 AC PDP에서의 특정값들이다. V_x와 V_y는 각각 60≤V_x≤120 과 130≤V_y≤160의 범위내에서 변화

되었는데 이것은 역방전 없이 어드레싱이 가능한 범위이다. V_z 는 $15 \leq V_x \leq 60$ 의 범위내에서 가변되었는데 이는 어드레싱 방전시 X와 Z 전극 사이에 면방전 없이 어드레싱 가능한 범위이다. 표 2의 다른 변수들은 고정시킨 상태에서 주어진 파라미터를 변화시켰다.

2.2 실험 결과 및 고찰

그림 5는 펄스폭 $3\mu s$ 의 어드레스 펄스(펄스의 rising time: $\sim 150ns$)와 변위 전류 파형과 변위 전류 파형의 평균치이다. b와 c 곡선의 진동 부분은 패널의 R-L-C 분포 정수와 구동회로에 의한 것으로 추측된다.

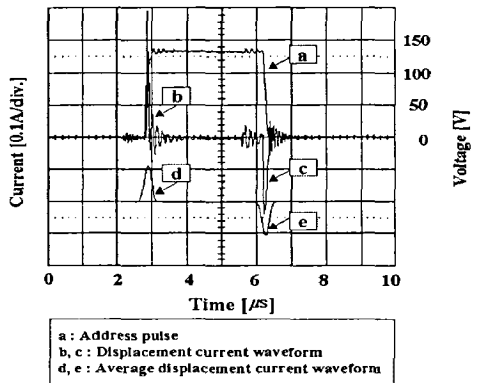


그림 5 어드레스 펄스와 변위 전류 파형
Fig. 5. The address pulse and displacement current waveform

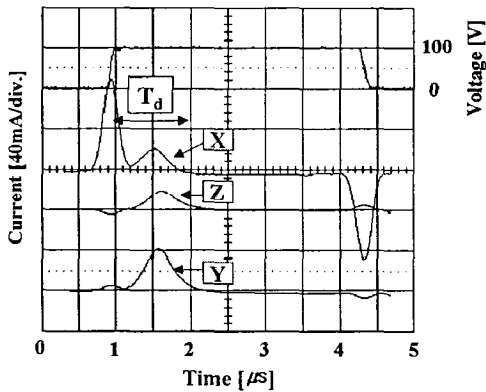


그림 6 어드레싱 방전 후의 X,Y,Z전극의 전류 파형
Fig. 6 The current waveforms of X, Y and Z electrodes after an addressing discharge

그림 6은 어드레스 펄스와 어드레스 방전후의 X,Y,Z, 전극의 전류 I_x, I_y, I_z 를 나타낸다. 전류 파형의 첫 부분($0 \sim 260\mu s$ 에서의 I_d)은 변위 전류이고 두 번째 부분 I_x, I_y, I_z 는 어드레싱 방전에 의한 방전전류에 상당한다. V_y 는 음의 값이고 V_x, V_z 는 양의 값이기 때문에 그림 6으로부터 다음과 같은 관계가 얻어진다.

$$I_y \approx I_x + I_z \text{ 또는 } Q_y \approx Q_x + Q_z \dots\dots\dots (1)$$

Q_x 와 Q_z 는 음의 전자들로 이루어져 있고 Q_y 는 양이온들로 구성되어 있다. 따라서 방전공간내의 전자들은 두 부분으로 나누어질 수밖에 없는데 그것이 Q_x 와 Q_z 이다. Q_y 는 $Q_x + Q_z$ 의 합과 거의 일치하는데 방전 공간에서 전자의 확산손실이 이온보다 크기 때문에 10%정도 내에서 Q_y 가 약간 크다. 그림 6에서 T_d 는 어드레싱 타임이다.

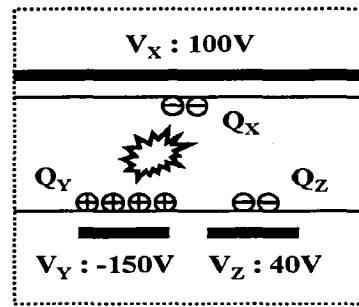


그림 7 전하 분포의 개략도
Fig. 7 The schematic diagram of charge distribution

그림 7은 전하 분포의 개략도이다. X와 Y전극 사이의 갭은 격벽으로 만들어졌다.

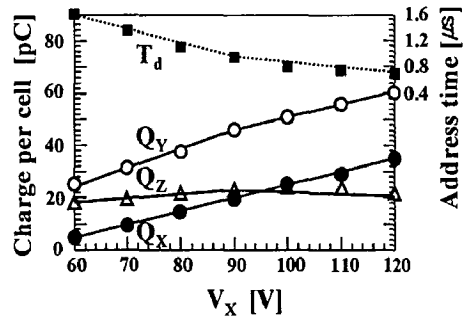


그림 8 V_x 에 따른 Q_x, Q_y, Q_z 와 T_d 의 특성 곡선
Fig. 8 The characteristics of Q_x, Q_y, Q_z and T_d as a parameter of V_x

그림 8은 V_x 에 대한 Q_x, Q_y, Q_z 와 T_d 의 특성 곡선으로 V_x 가 증가할 때 Q_x 와 Q_y 는 증가하고 반면에 Q_z 는 거의 일정한 값으로 유지한다. Q_x, Q_y, Q_z 의 각 셀당 증가율은 각각 $52 \times 10^{-2}(\text{pC}/V_x)$, $50 \times 10^{-2}(\text{pC}/V_x)$, $\pm 8 \times 10^{-2}(\text{pC}/V_x)$ 이다. 만약 V_x 가 증가하면 X와 Y사이의 강한 어드레스 방전이 일어나서 방전 공간에 더 많은 전하량을 만들고 T_d 는 감소하게 된다. 결과적으로 Q_x 는 V_x 에 비례하여 증가하고 반면에 Q_z 는 거의 일정값을 유지한다. X와 Z사이의 방전공간 때문에 V_x 와 V_z 사이의 상관관계가 매우 약하다는 것을 보더라도 또한 알 수 있다. Q_y 는 (1)식에 의해 V_x 에 비례하여 또한 증가한다.

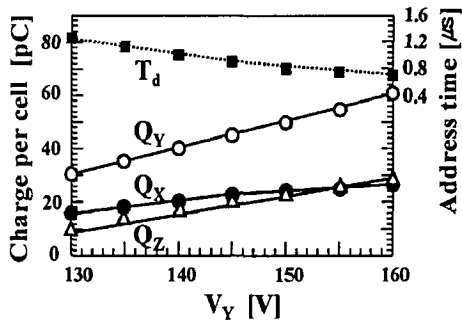


그림 9 V_y 에 따른 Q_x, Q_y, Q_z 와 T_d 의 특성 곡선
Fig. 9 The characteristics of Q_x, Q_y, Q_z and T_d as a parameter of V_y

그림 9는 V_y 에 따른 T_d 와 Q_x, Q_y, Q_z 의 특성을 나타낸다. Q_x, Q_y, Q_z 는 V_y 에 비례하여 모두 증가한다. Q_x, Q_y, Q_z 의 셀당 증가율은 각각 $40 \times 10^{-2}(\text{pC}/V_y)$, $110 \times 10^{-2}(\text{pC}/V_y)$, $64 \times 10^{-2}(\text{pC}/V_y)$ 이다. 그러나 T_d 는 감소했다. 특히 V_x 와 V_z 가 일정한 값을 유지하더라도 Q_z 의 증가율은 Q_x 보다 높았다. 어쨌든 V_x 나 V_y 를 변수로 한 전하분포는 매우 달랐는데, 그 이유는 다음과 같이 설명되어질 수 있다.

여기서 가장 중요한 점은 방전공간에서 전자 전하들이 어떻게 X와 Z 두 전극 위에 분포하느냐이다. 그림 8과 같이 V_x 가 증가하는 경우에 공간에서의 전체 전하량은 증가한다. 더욱이 V_x/V_z 비는 V_x 가 증가함에 따라 증가한다. 게다가 V_x 와 Q_z (또는 V_z)사이의 상관관계가 매우 약하다. 따라서 V_x 가 증가함에 따라 Q_x 는 증가하고 반면에 Q_z 는 거의 일정하다. 그림 9에서처럼 V_y 가 증가하는 경우에는 Y-X전극들 사이에 전계가 증가하기 때문에 전체 전하량은 증가한다. 그러나 Y-Z 전극들은 상판의 같은 유전체 위에 있고 그들의 갭이 Y-X 전극들보다 짧기 때문에 Y-Z 전극들 사이의 전계가 Y-X

전극들 사이의 전계보다 또한 더 증가한다. 따라서 V_y 에 비례하여 모두 증가하지만 Q_z 의 증가율이 Q_x 의 증가율보다 높다.

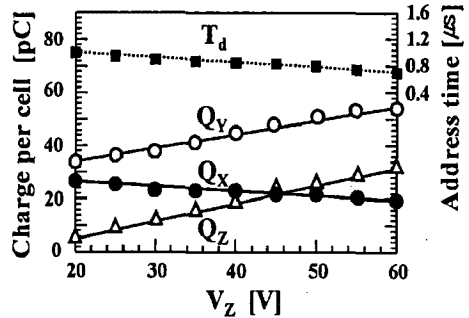


그림 10 V_z 에 따른 Q_x, Q_y, Q_z 와 T_d 의 특성 곡선
Fig. 10 The characteristics of Q_x, Q_y, Q_z and T_d as a parameter of V_z

그림 10은 V_z 에 대해 Q_x, Q_y, Q_z 와 T_d 의 특성을 보여준다. 이 경우에는 Q_z 와 Q_y 는 V_z 에 비례하여 증가하나 Q_x 와 T_d 는 감소한다. 단위셀당 Q_x, Q_y, Q_z 의 증가율은 각각 $-13 \times 10^{-2}(\text{pC}/V_z)$, $60 \times 10^{-2}(\text{pC}/V_z)$, $70 \times 10^{-2}(\text{pC}/V_z)$ 이다. 이 결과들은 다음과 같이 설명되어질 수 있다. V_z 가 증가하면 Z-Y 전극들 사이의 전계가 증가한다. 더욱이 X-Y 전극사이의 전계도 V_z 에 의해서 다소 영향을 받는다. 그러나 V_z 와 V_x 사이의 관계는 그림 9에서 언급했듯이 매우 약하다. 따라서 전체 전하량은 V_z 에 비례하여 증가하고 T_d 는 감소한다. 더욱이 V_z/V_x 비는 V_z 가 증가함에 따라 증가한다. 결과적으로 V_z 가 증가함에 따라 Q_z 는 조금 증가하고 Q_x 는 감소한다.

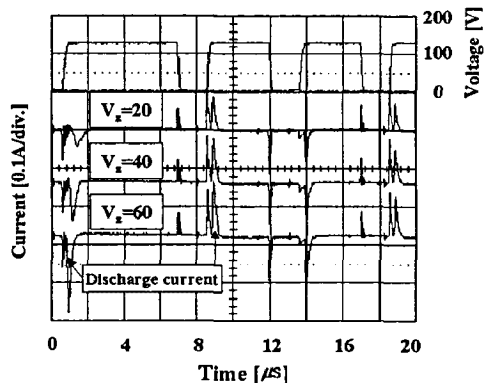


그림 11 V_z 변화에 따른 서스테인 전류파형
Fig. 11 The Sustain current waveform as a parameter of V_z

그림 11은 V_z 가 유지 방전전류에 미치는 영향을 나타낸다. 유지 방전 전류는 V_z 에 비례하여 증가한다. 높은 방전 전류는 안정한 유지 작용점에 빨리 도달한다.

지금까지 우리는 세 종류의 전극 전압에 대한 벽전하 분포에 관해서 살펴 보았다. 그리고 어드레스 기간 이전에는 벽전하는 전극상에 존재하지 않는다고 가정했다. 실제 PDP에서 어드레스 기간에서는 Q_x 와 Q_y 는 증가해야 하고 T_d 는 감소해야 한다. 왜냐하면 이런 조건에서 어드레스 실패가 적고 서스테인 오방전이 적고 어드레싱 타임이 줄어들기 때문이다. 이 조건들을 맞추기 위해서 V_x, V_y, V_z 를 제어해야 한다. 그러나 V_x 나 V_y 의 증가는 고전압 대용량 IC를 요구하기 때문에 구동 회로의 가격을 증가시킨다. 더욱이 너무 높은 V_y 와 V_z 전압은 어드레스 기간중에 Y-Z 전극간에 표면 오방전을 일으키기 쉽다. 따라서 실제 PDP에서 세밀한 구동전압을 결정하기 위해서는 벽전하 분포 특성과 구동회로 가격의 측면에서 구동 전압의 제약 조건을 동시에 고려해야 한다.

3. 결 론

본 연구에서는 AC PDP의 어드레스 기간에서 벽전하 분포와 구동 전압과의 상관관계를 연구하였다. 결과는 다음과 같이 요약될 수 있다.

- 1) 주사 전극 위의 벽전하량 Q_y 는 어드레스 전극 위의 벽전하량 Q_x 와 유지 전극상의 벽전하량 Q_z 의 합과 거의 일치한다.
- 2) V_x, V_y, V_z 어떤 종류의 전압을 증가시켜도 Q_y 는 증가하고 T_d 는 감소한다.
- 3) V_x 가 증가하면 Q_x 는 증가하고 Q_z 는 거의 일정하게 유지한다.
- 4) V_y 가 증가하면 Q_x 와 Q_z 는 모두 증가하고 Q_z 의 증가율이 Q_x 의 증가율보다 크다.
- 5) V_z 가 증가하면 Q_z 는 크게 증가하고 Q_x 는 거의 일정하게 유지한다

참 고 문 헌

[1] Y. Inanaga et al, Measurement of Wall Charge in a Surface Discharge AC-PDP [1] Proc. IDW'97, 527-530, 1997
 [2] U. Sahni et al, Spatial distribution of wall charge density in AC plasma display panels, IEEE Trans. Electron Devices, Vol.

26, No. 3, 223-226, 1979
 [3] P. D. T. Ngo, Charge Transport in an AC Plasma Panel, IEEE Trans. Electron Devices, Vol. 28, No.6, 659-665, 1981
 [4] C. Punset et al, Addressing and sustaining in alternating current coplanar plasma display panels, Journal of applied physics Vol. 86, No. 1 124-133, 1999
 [5] Shahid Rauf et al, Dynamics of a coplanar-electrode plasma display panel cell. I Basic operation, Journal of applied physics Vol. 85, No. 7, 3460-3469, 1999
 [6] Shahid Rauf et al, Dynamics of a coplanar-electrode plasma display panel cell. II, Cell optimization, Journal of applied physics Vol. 85, No. 7 3470-33476, 1999
 [7] R. Veerasingam et al, Two-Dimensional Simulations of Plasma Flow and Charge, Spreading Across Barrier Pixel in AC Plasma Displays, IEEE Trans. on plasma, science, Vol 24, No 6, 1411-1421, 1996
 [8] Y. Kanazawa et al, Method and Apparatus for Driving Surface Discharge Plasma Display Panel, U.S. Patent [5,446,344], 1995
 [9] T. N. Criscimagna et al, AC plasma display in Topics in Applied Physics, Vol 40, Display Devices. Berlin Springer-Verlag, 91-150, 1980
 [10] H. Sakuma et al, An ac-refresh panel with high-voltage CMOS drivers and unbalanced power supplies, in 1984 SID Sympo. Dig, 99-102, 1984
 [11] T. Tamida et al, Discharge Measurement of AC Plasma Display Panels using V-Q Lissajous' Figure, T.IEE Japan, Vol. 118-A, No. 4, pp. 353-358, 1998
 [12] L. F. Weber et al, "Quantitative Wall Voltage Characteristics of AC Plasma Displays", IEEE Trans. Electron Devices, Vol. ED 33. No. 8, pp. 1159-1167, 1986
 [13] Y. Hashimoto et al Characteristics of AC-PDPs using Wall Voltage transfer Curves, Proc. Fujitsu, Vol. 48, No. 3, 203-208, 1998
 [14] L. F. Weber, Measurement of Wall Charge and Capacitance Variation for Single Cell in AC Plasma Display Panel, Proc. SID, Vol. 18, No. 1, 80-85, 1977