

초소형 영상시스템을 위한 광센서 제조 및 특성평가

Fabrication and Characterization of Photo-Sensors
for Very Small Scale Image System

신경식, 백경갑*, 이영석**, 이윤희, 박정호***, 주병권

K. S. Shin, K. K. Paek*, Y. S. Lee**, Y. H. Lee, J. H. Park***, B. K. Ju

Abstract

We fabricated general photo diode, surface etched photo diode and floating gate MOSFET by CMOS process. In a design stage, we expect that surface etched photo diode will be improved as to photo sensitivity. However, because the surface of silicon was damaged in etching process, the surface etched diode had a high dark current as well as low photo current level. Finally, we examined the current-voltage properties for the floating gate MOSFET on n-well and confirmed that the device can be act as an efficient photo-sensor. The floating gate MOSFET was operated in parasitic bipolar transistor mode.

Key Words(중요용어) : diode, photo sensor, floating gate, MOSFET

1. 서 론

현재, 사용되는 CMOS 영상시스템은 1993년에, NASA의 JPL(Jet Propulsion Laboratory) 연구소에서 CCD 이미지 센서와 경쟁력 있는 고화질의 이미지 센서 소자로 CMOS (Complementary Metal Oxide Semiconductor)를 이용하려는 연구를 시작하였다. CMOS 기술은 현재의 모든 메모리소자와 마이크로 프로세서 등 실리콘을 사용하는 거의 모든 전자소자에 이용되고 있기에, CMOS 기술을 이용한 이미지 소자는 CCD 기술을 이용한 이미지 소자에 비하여 저가격과 다른 전자회로와의 집적화에 용이성, 저전력 특징을 지니게 된다[1-4]. 또한 단일칩으로 집적화된 CMOS 이미지 센서는 CCD 이미지 센

서에 비하여, 전체 시스템의 안정성을 향상시킬 수 있는 장점을 부가적으로 얻을 수 있다.

광센서는 CCD 이미지 센서나 CMOS 이미지 센서에서 모두 사용되며, 특히 CMOS 이미지센서에서 더욱 높은 성능의 광센서가 요구된다. 이는 CCD 이미지 센서의 경우, 각 화소의 면적 전부를 광센서가 차지하는 반면에 CMOS 이미지 센서의 경우, 광검출회로가 각 화소마다 위치하기 때문에 각 화소에서 광센서가 차지하는 비율(Fill Factor)이 CCD 이미지 센서에 비하여 매우 낮기 때문이며. 이에 CMOS 이미지센서에서 CCD와 비슷한 특성을 얻기 위해서는 광센서의 감도가 더 민감하여야 한다. 이에 대한 본연구에서는 photodiode형과 MOSFET형 광센서의 연구를 수행하였다.

2. 실 험

제작되는 광다이오드는 p-n 다이오드 형태로 구분되며, 일반적인 구조의 광다이오드와 더불어 광입

한국과학기술연구원 정보자료·소자연구센터

*대전대학교 전자공학과

**청운대학교 전자공학과

***고려대학교 전자공학과

디스플레이 광소자분야

사 면적을 증가시키기 위한 구조로 표면을 비등방성 식각을 통해 U자형으로 제작된 다이오드를 제작하였으며, 각각의 단면도는 다음과 같다.

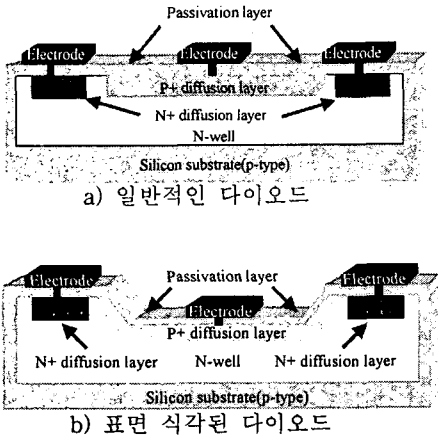


그림 1. 제작된 소자의 단면도

제작되는 다이오드의 공정 후 예상되는 도핑 분포도와 모양은 TSuprem4을 통하여 확인하였으며, 도핑 분포도는 다음과 같다.

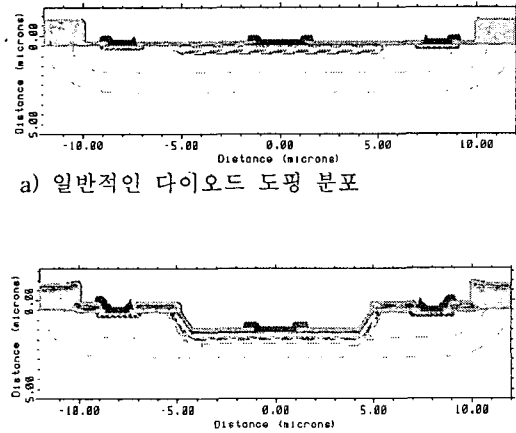


그림 2. 제작된 소자의 모의 실험된 도핑 분포

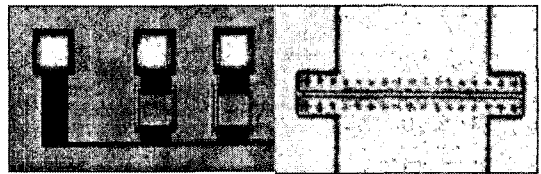
그림에서 알 수 있듯이 p+부분과 well에서 분포된 도핑농도가 표면식각된 광다이오드에서는 그 차이가 크게 나고 있음을 알 수 있다. 공핍층 깊이 x_d 는 다음 식과 같을 때,

$$x_d = \sqrt{\frac{2\epsilon V_{app}}{q} \left(\frac{1}{N_a} + \frac{1}{N_d} \right)}$$

(V_{app} 는 인가 전압, N_a 는 p+의 도핑농도, N_d 는 well의 도핑 농도)

p+층의 도핑농도가 일정할 시 well의 도핑농도에 반비례함을 알 수 있다. 따라서 이때 예상되는 결과는 일반적인 광다이오드 구조에 비하여 공핍층의 깊이가 깊어지며, 이는 전자-정공쌍의 발생이 일반적인 다이오드에 비하여 크게 나타날 수 있음을 의미한다. 따라서 광에 대한 광다이오드의 전류가 커질 것으로 예상된다. 또한 MOSFET형 광센서의 제작에서는 SOI기판에서, 게이트를 floating시킨 광센서에 대한 연구가 보고 된바 있다[2]. 이에 본 연구에서는 well에 형성된 p-channel형으로 게이트를 floating 시킨 MOSFET을 제작하여, 광센서로서의 동작 가능성을 확인하였다.

소자는 pn다이오드와 n형 well에 형성된 p채널 MOSFET이 제작되었다. 사용된 기판은 비저항 10-20Ωcm인 p형 (100)방향 실리콘 기판을 사용하였다. 제작된 소자의 게이트 산화막 두께는 약 25nm이고, pn다이오드와 p채널 MOSFET에서의 well의 형성은 31P⁺ 이온을 주입량 3.6×10¹²/cm²의 120keV 에너지로 이온 주입한 후 약 1100℃에서 30분간의 열처리 공정에 의해 형성하였다. pn다이오드의 p⁺영역과 소오스와 드레인은 49BF₂⁺ 이온을 주입량 3×10¹⁵/cm²의 40keV 에너지로 이온주입 후 950℃에서 30분간의 열처리 공정에 의하여 형성하였다. pn다이오드의 n⁺영역과 n형 MOSFET의 드레인과 소오스는 75As⁺이온을 이온량 5×10¹⁵/cm²의 80keV의 에너지로 이온 주입한 후 950℃에서 30분간의 열처리 공정에 의하여 형성하였다



a) 광 다이오드(100 μm×100 μm)

b) p 채널형 MOSFET

3. 측 정

제작된 소자의 측정 시스템 구성은 Keithley 236과 진공 micro probe station으로 이루어졌으며, 광

원으로는 현미경 램프를 사용하였다. 측정 개략도를 그림 4에 도시하였다.

열잡음 등의 영향을 줄이기 위하여 micro probe station내의 진공도를 약 1×10^{-2} torr에 맞추고 모든 장비를 접지시킨 후 측정을 하였다. p채널 MOSFET의 경우 게이트가 floating된 상태에서 램프에서 발생된 빛의 세기에 따른 드레인-소오스 전압과 드레인 전류를 측정하였다.

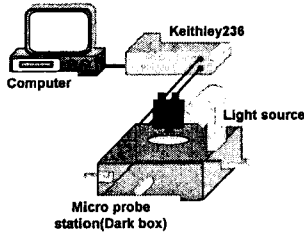
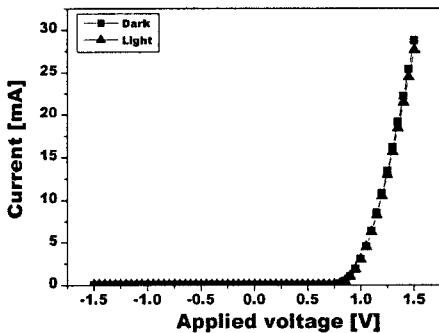
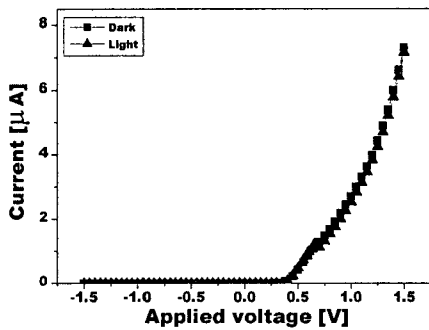


그림 4. 측정 시스템의 구성



a) 일반적인 다이오드



b) 표면 식각된 다이오드

그림 5. 제작된 다이오드의 전류-전압 특성

그림 5 a)는 일반적인 다이오드의 전류-전압을 측정한 것이며, 그림 5 b)는 표면 식각된 다이오드의 전류-전압 특성이다.

측정결과 예상과는 달리 표면 식각된 경우 다이오드 전류 특성이 낮아진 것을 알 수 있다. 이는 표면식각시 표면 상태의 악화로 누설전류 등의 증가 등에 기인한 것으로 사료된다. 또한, 과도한 식각으로 인하여, 전류-전압 측정이 어려운 소자도 많아졌으며, 이는 n 도핑된 well이 모두 식각되었기 때문인 것으로 사료된다. 표면 식각된 다이오드와 일반적인 다이오드에 빛을 조사하여, 측정된 역바이어스 상태의 전류-전압 특성을 그림 6에 나타내었다.

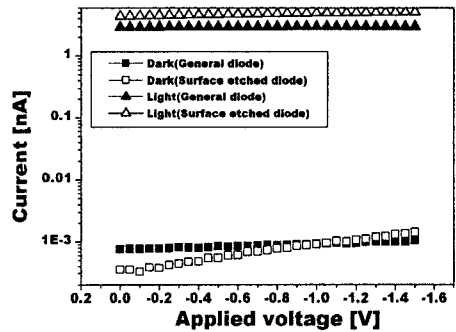


그림 6. 광 조사시의 전류-전압 특성

측정된 다이오드의 전류-전압특성에서, 표면 식각된 경우 저전압에서의 암전류가 일반적인 다이오드보다 크게 나타나고 있다. 또한, 광조사시의 전류에서도 일반적인 다이오드에서의 전류값이 크게 나타나고 있다.

MOSFET형 광센서의 측정 결과를 그림 7에 보이고 있다. Well에 형성된 $100 \mu\text{m}/2 \mu\text{m}$ 와 $100 \mu\text{m}/6 \mu\text{m}$ 의 W/L을 갖는 p채널 MOSFET의 전류-전압 특성으로, 빛이 조사되지 않을 경우 전류는 거의 나타나지 않았으며, 빛을 조사하였을 때 빛의 강도에 따라 전류가 증가하는 것으로 나타났다. 이는 well에 형성된 floating 게이트형 MOSFET도 광센서로 동작될 수 있음을 의미한다. 제작된 소자의 동작은 기생 바이폴라 트랜지스터에 의하여 동작하게 되며, 따라서, 게이트의 폭이 커짐에 따라, 광전류 특성은 낮아지게 된다. 이는 측정결과와 일치한다. 또한 암전류도 수십 pA 정도의 값을 보여, 매우 작음을 확인하였다.

디스플레이 광소자분야

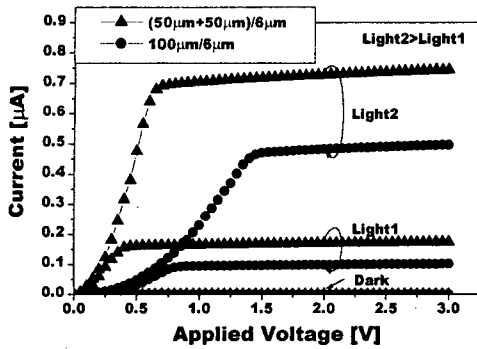


그림 7. MOSFET형 광센서의 전류-전압 특성

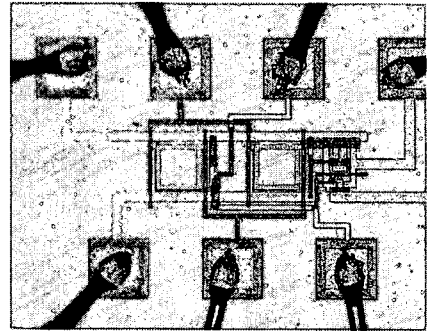


그림 8. 다이오드를 이용한 단위 화소 회로

4. 결 론

본 연구에서는 광센서의 성능향상을 위하여, 표면 식각된 다이오드를 제작하였으며, 또한 게이트가 floating 된 MOSFET형 광센서의 동작 가능성을 확인하기 위하여, 표준 CMOS공정에 따라 소자를 제작하여 평가하였다.

표면 식각된 다이오드의 경우, 예상과는 달리 소자의 개선이 이루어지지 않았으며, 이는 표면식각시, 표면 손상으로 인한 암전류 증가 등에 의한 것으로 사료된다.

게이트가 floating 된 MOSFET형 광센서는 빛의 조사시 빛의 양에 따라 반응하며, 광소자로서 사용 가능성을 보였으며, 제작된 소자는 기생 바이폴라 트랜지스터에 의하여, 동작하게 된다. 따라서, 게이트의 폭이 커짐에 따라, 전체 전류 특성이 낮게 나와져야 하며, 이는 측정결과와 일치한다. 게이트가 floating되면, 광센서가 차지하는 면적을 줄일 수 있는 장점을 지니게 될 것으로 사료된다. 또한 MOSFET형 광센서의 경우, CMOS 영상 센서를 제작하는 CMOS 공정에 적합하며, 소자의 게이트 폭이 작아짐에 따라, 더욱 큰 광 전류 특성을 얻을 수 있기에, 직접화에 적합할 것으로 사료된다.

끝으로, 제작된 다이오드를 실제 CMOS영상센서에서 사용되는 단위 화소를 제작하였으며, 이는 그림 8에 보이고 있다. 바이어스 전압을 3V 인가하여 파형의 변화를 관측하였으며, 약 1.6V정도의 전압이 변동됨을 확인하였다.

[참고 문헌]

- [1]. Kempainen, Stephen, "CMOS Image Sensors: Eclipsing CCDs in visual information" EDN, Oct 9, 1997
- [2]. Wequan Zhang 외 2명, "Performance of a CMOS Compatible Lateral Bipolar Photodetector on SOI Substrate", IEEE Electron Devices Letter, Vol.19, No.11, pp.435-437, 1998
- [3]. Weiquan Zhang 외 2명 "A Novel High-Gain CMOS Image Sensor Using Floating N-Well/Gate Tied PMOSFET", IDEM98, pp.1023-1025, 1998
- [4]. Hui Jin Lool 외 2명, "Metal-Semiconductor-metal photodiodes fabricated from thin-film diamond", Applied Phys. Letter, Vol.74, No.22, pp.3332-3334, 1999