

## 전기화학적 식각정지에 의해 제조된 SDB SOI기판의 평탄도

## Flatness of a SDB SOI Substrate Fabricated by Electrochemical Etch-stop

정 귀 상\*, 강 경 두\*\*  
(Gwiy-Sang Chung\*, Kyung-Doo Kang\*\*)

## Abstract

This paper describes on the fabrication of a SOI substrate by SDB technology and electrochemical etch-stop. The surface of the thinned SDB SOI substrate is more uniform than that of grinding or polishing by mechanical method, and this process was found to be very accurate method for SOI thickness control. During electrochemical etch-stop, leakage current versus voltage curves were measured for analysis of the open current potential (OCP) point, the passivation potential (PP) point and anodic passivation potential. The surface roughness and the controlled thickness selectivity of the fabricated a SDB SOI substrate were evaluated by using AFM and SEM, respectively.

**Key Words(중요어)** : Electrochemical etch-stop(전기화학적 식각정지), SDB SOI(실리콘기판 직접 접합 에스오아이), Thickness control(두께제어), Surface flatness(표면평탄도)

## 1. 서 론

최근, Si 마이크로머시닝기술을 이용한 마이크로 3차원 구조물 제작이 용이해짐에 따라, 전자소자와 기계부품 그리고 신호처리용 마이크로프로세스까지 집적화된 마이크로 전자기계시스템(MEMS : Micro Electronic and Mechanical System)을 구현하고자 하는 연구가 활발히 진행되고 있다.<sup>[1, 2]</sup> 특히, 벌크 Si 마이크로머시닝기술은 압저항 효과와 홀 효과 등 감지에 대한 우수한 물리적, 자기적 효과와 기계적 미세구조물 제작이 용이하기 때문에 압력센서, 가속도센서, 각도센서, MOS 홀센서, 밸브 그리고 펌프 등의 마이크로 센서 및 액추에이터 개발에 널리 이용되고 있다. 고성능 MEMS를 연구·개발하기 위한 능동소자 혹은 표면 미세구조물을 제작하기

위한 능동소자 혹은 표면 미세구조물을 제작하기 위해서는 Si 벌크마이크로머시닝기술과 기존의 IC 제조기술 그리고 Si foundary와 단결정 Si의 우수한 기계적 성질뿐만 아니라 전기적 절연체 상부에 단결정 Si 박막이 존재하는 SOI(Si-on- Insulator)구조의 기판을 이용하는 것이 가장 적합한 기술로 전망되고 있다.

현재, SOI구조의 제작기술중에는 절연층 상부에 성장된 비결정 혹은 다결정의 Si 박막을 용융후 재결정화하는 방법,<sup>[3]</sup> 에피택시 성장을 이용하는 방법,<sup>[4]</sup> 기판내부에 산소이온 주입 후 열처리를 행함으로써 산화층을 형성하여 표면 Si층과 기판을 분리하는 방법<sup>[5]</sup> 그리고 산화막이 형성된 두 장의 Si 기판을 직접접합(SDB : Si-wafer Direct Bonding)한 후, 한 면의 Si기판을 화학적·기계적 연마로써 박막화하는 방법<sup>[6]</sup> 등이 있다. 여러가지 방법중에 SDB기술은 완벽한 단결정 Si 박막과 우수한 절연 특성을 갖는 매몰층 산화막뿐만 아니라 대면적의 SOI기판을 제작할 수 있다. 특히, MEMS분야에 있

\*동서대학교 정보통신공학부

(부산광역시 주례동 동서대학교, Fax : 051-320-2122, E-mail : gschung@dongseo.ac.kr)

어서 매몰 cavity 혹은 3차원 미세구조물을 갖는 Si 벌크마이크로머신용 후막 혹은 박막 다이어프램, 켈티레버, 브릿지<sup>[7]</sup> 등을 보다 쉽고 정확하게 제작이 가능하며 단결정 Si의 우수한 전기적·기계적 특성을 이용할 수 있기 때문에 최근 활발히 연구·개발되고 있다.<sup>[8]</sup> 이러한 SDB SOI기술을 MEMS분야에 이용하기 위해서는 SOI 능동(active)층의 박막화와 정확한 두께제어기술이 무엇보다도 중요하다. 현재, SDB SOI구조의 박막화에는 그라인딩 후 폴리싱에 의한 기계적인 방법(non-selective method)이 널리 사용되고 있지만<sup>[9]</sup>, 장비의 평탄도와 정밀도에 크게 의존하며, 대면적의 능동층 박막두께를 정확하게 제어하기가 대단히 어렵다.

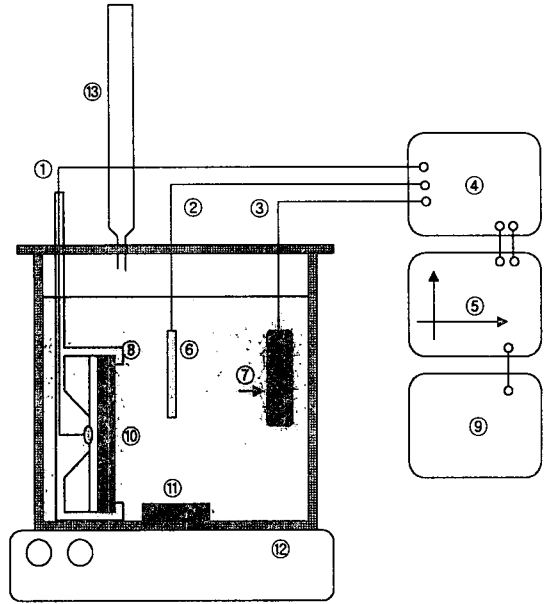
Si의 이방성 습식식각기술을 이용해서 cavity나 다이어프램 제작시 두께제어법으로는 식각시간법, 불순물 농도차를 이용하는 방법<sup>[11]</sup>과 전기화학적 식각정지법<sup>[12]</sup> 등이 있다. 그러나, 고농도 불순물을 식각정지층으로 사용할 경우, 잔류응력의 영향과 고농도 부분에 소자를 형성할 수가 없다. 한편, 역바이어스된 pn접합 다이어드의 성질과 양극산화현상을 이용한 전기화학적 식각정지법은 식각정지에 필요한 불순물의 농도가 높지 않고 매우 정확한 능동층의 두께제어가 가능하다.

따라서, 본 연구에서는 전기화학적 식각정지법을 SDB SOI기판의 박막화에 적용하여 식각정지 표면 및 박막두께 제어 특성을 분석·평가하였다.

## 2. 실험

그림 1은 SDB SOI기판을 제작하기 위해 사용된 전기화학적 식각 장치도를 개략적으로 나타낸 것이다. TMAH/IPA/pyrazine 이방성 식각용액<sup>[13]</sup>을 사용하여 식각용액의 온도를 80°C로 유지했으며, 식각시 Si기판의 두께변화에 따른 인가전압값의 변화를 막기 위하여 WE(Working Electrode)와 RE(Reference Electrode)사이에서 항상 일정한 전압값을 공급해주기 위해 Potentiostat를 사용하여 WE, RE 및 CE(Counter Electrode)의 3전극 시스템을 구성하였다. 식각용액의 교반효과를 주기 위해서 magnetic stirring을 사용하였으며, 식각용액의 온도는 ±0.5°C로 유지하였다. 전기화학적 식각시 식각용액과 ohmic contact간의 접촉을 방지하기 위하여 Teflon, O-ring 및 wax를 이용하여 샘플 홀더를 제작하였다.

그림 2는 SDB기술과 전기화학적 식각정지를 이용한 SDB SOI기판 제작공정 순서를 나타낸 것이다. 먼저, 5000Å의 열산화막이 성장된 p-형 지지기

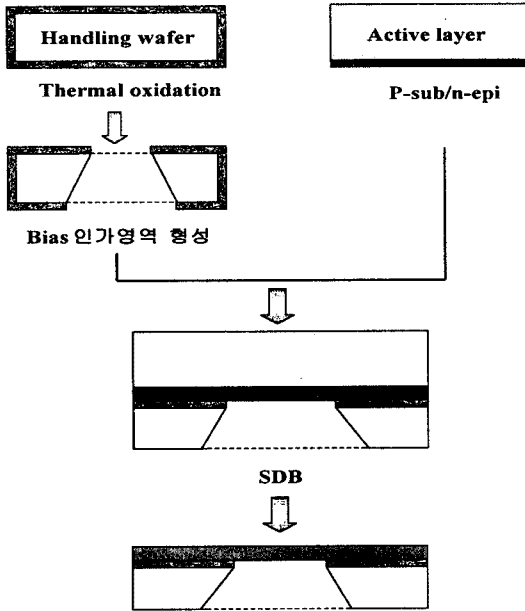


- |                          |                            |
|--------------------------|----------------------------|
| 1. WE(Working Electrode) | 2. RE(Reference Electrode) |
| 3. CE(Counter Electrode) | 4. Potentiostat            |
| 5. Plotter               | 6. Ag/AgCl                 |
| 7. Pt mesh               | 8. Teflon holder           |
| 9. PC                    | 10. Sample                 |
| 11. Magnetic stir-bar    | 12. Hot plate              |
| 13. Reflux condenser     |                            |

그림 1. 전기화학적 식각정지를 위한 장치도.

판을 SDB SOI기판 제작공정 순서를 나타낸 것이다. 먼저, 5000Å의 열산화막이 성장된 p-형 지지기판과 p-sub.에 15 μm의 n-epi.가 성장된 능동기판은 표면의 유기오염물을 제거시키기 위해서 HCl과 H<sub>2</sub>O<sub>2</sub>를 혼합한 용액과 H<sub>2</sub>SO<sub>4</sub>과 H<sub>2</sub>O<sub>2</sub>을 혼합한 용액에서 10분간 순차적으로 세정하였다. 세정이 완료된 p-형 지지기판은 전기화학적 식각정지시 능동기판의 n-epi.영역으로 전압을 인가하기 위해 SDB 공정을 행하기 전에 이방성 식각하였다. 식각이 완료된 p-형 지지기판과 p-sub./n-epi. 능동기판은 SDB 공정을 위하여 HF 2.0 % 희석용액에서 1분간 전처리 한 후, 0.1 kg/cm<sup>2</sup>의 무게를 인가하면서 초기접합<sup>[14]</sup>을 수행하였으며, 초기접합된 기판은 1000°C에서 60분간 열처리를 실시하였다. 그리고 능동층이 성장된 p-sub.기판의 passivation potential(PP점)과 open current potential(OCP점)을 각각 분석하여 전

기화학적 식각정지시 공급될 인가전압을 결정하였다.<sup>[15]</sup> n-epi.층에서 식각정지된 Si기판 표면의 평탄도는 AFM을 이용하여 식각용액의 농도 및 IPA와 pyrazine의 첨가에 따라 분석하였다. 또한, SEM을 이용하여 식각정지된 박막의 두께를 분석·평가하였다.

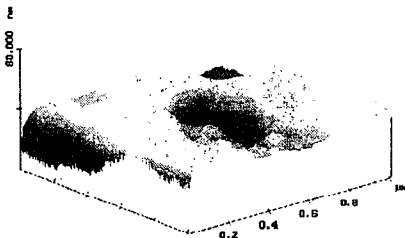


전기화학적 식각정지법에 의한 SDB SOI박막화

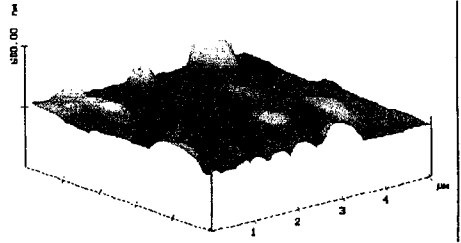
그림 2. 전기화학적 식각정지에 의한 SDB SOI기판의 제작 공정 단면도.

### 3. 결과 및 고찰

그림 3은 본 실험에서 사용한 Si기판의 거울면과  $\pm 5\mu\text{m}$  이상의 편차를 갖는 Si기판의 뒷면을 TMAH 20 wt.% 식각용액에서 전기화학적 식각정지된 Si 표면의 AFM 이미지이며 표 1은 각각 분석된 평탄도 결과를 요약한 것이다.



(a) Mirror surface of a Si wafer.



(b) Electrochemical etch-stoped Si surface.

그림 3. Si 표면 거칠기의 AFM 이미지.

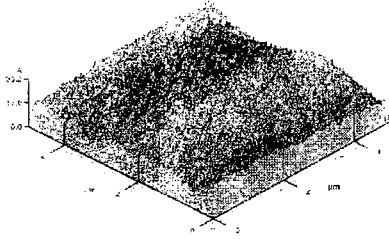
표. 1 Si 표면의 거칠기 분석결과.

거칠기 기판종류	Rough.(ave.)	Rough.(rms.)
Si기판 거울면	5.171 nm	7.310 nm
식각정지된 Si표면	13.056 nm	17.135 nm

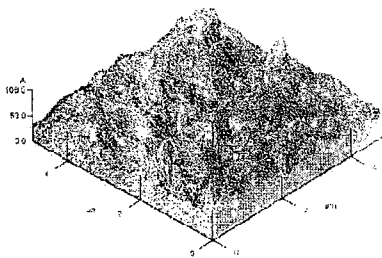
전기화학적으로 식각정지된 Si기판 표면의 평탄도는 일반 Si기판의 거울면보다 평균 거칠기가 증가하는 것으로 나타났다.

그림 4는 표면 평탄도를 개선하기 위해 TMAH 20 wt.%에 IPA 및 피라진이 첨가되어 식각정지된 Si 표면의 AFM 이미지를 각각 나타낸 것이다. 그림 (a)는 본 연구에서 사용한 Si기판 거울면의 AFM 이미지로 평균 거칠기가 5.12 nm로 측정되었으며, (b)는 TMAH에 IPA 17 vol.%가 첨가된 이방성 식각용액에서 전기화학적 식각정지된 Si 표면의 AFM 이미지로 평균 거칠기가 5.48 nm로 나타났다. 이와 같은 결과는 TMAH 20 wt.%에서 식각정지되었을 때의 일반적인 평균 거칠기인 12~13 nm와 비교할 때, 매우 개선되었음을 알 수 있다. 그러나, IPA를 첨가하므로써 평탄도는 크게 개선되었지만, 식각속도의 감소를 야기시키는 것으로 보고되고있다.<sup>[16]</sup> 그림 (c)는 TMAH 20 wt.%/IPA 17vol.%/pyrazine 0.5 g/100ml 이방성 식각용액에서 전기화학적 식각정지된 Si 표면의 AFM 이미지로 평균 거칠기는 5.4nm로 나타났다. 일반적으로 식각속도 개선을 위해 사용되는 피라진을 첨가하더라도 TMAH 이방성 식각용액에 IPA만을 첨가했을 때의 평균 거

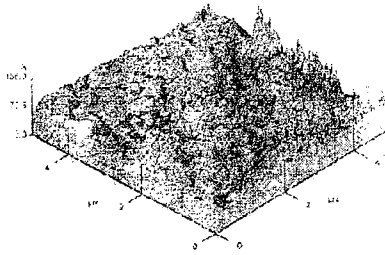
칠기와 비슷한 결과를 얻었다.



(a) Mirror surface of Si wafer



(b) TMAH 20 wt.%/IPA 17 vol.%



(c) TMAH 20 wt.%/IPA 17 vol.%/pyrazine  
0.5g/100ml

그림 4. 전기화학적 식각정지시 TMAH/IPA/pyrazine 이방성 식각용액에 따른 식각정지된 Si 표면의 AFM 이미지.

#### 4. 결 론

본 논문에서는 전기화학적 식각정지법을 이용하여 SDB SOI기판 제작할 경우, SOI 두께제어 및 TMAH/IPA/pyrazine 이방성 식각용액의 농도의 변화에 따라 식각정지된 Si 표면의 평탄도 특성을 분

석·평가하여 다음과 같은 결론을 얻었다.

- 1) 전기화학적 식각정지시 Si기판으로부터 식각용액(TMAH 20 wt.%, 온도 80°C)으로 흘러나오는 전류값을 측정한 결과, p형 Si기판의 OCP점과 PP점은 각각 -1.5 V와 0.9 V로 나타났다. 0.9 V이상의 인가되었을 때 양극산화현상에 의해 식각이 정지되었다.
- 2) 전기화학적 식각정지법으로 SDB SOI기판을 제작할 경우, 15  $\mu\text{m}$  두께의 n-epi층에서 정확한 식각정지를 얻을 수 있었다. 인가된 전압은 0.85 V로 식각정지 후 n-epi층의 표면 평탄도는 일반 Si기판의 거울면보다는 조금 거칠었다.
- 3) TMAH 이방성 식각용액의 농도가 증가할수록 전기화학적 식각정지된 Si 표면의 평탄도는 개선되었다.
- 4) TMAH/IPA/pyrazine 이방성 식각용액에서의 전기화학적 식각정지시 양호한 식각표면을 얻을 수 있다. 결과적으로, TMAH/IPA/pyrazine 이방성 식각용액에서의 전기화학적 식각정지법은 평탄도가 우수하며 정확한 SDB SOI의 박막화가 가능하다.

#### 참고문헌

- [1] M. Huff et al., *IEEE Solid-State Sensors & Actuators Workshop*, (1990)123.
- [2] P. Barth et al., *IEEE Solid-State Sensors & Actuators Workshop*, (1988)35
- [3] E. W. Maby et al., *IEEE Electron Device letter*, EDL-2(1981)241.
- [4] M. Ishida et al., *Appl. Phys. letter*, 53 (1988)1326.
- [5] Y. Irita et al., *Jpn. J. of Appl. Phys.*, 20(1981) L909.
- [6] T. Abe et al., *Jpn. J. of Appl. Phys.*, 29(199) L2311.
- [7] J. M. Noworolski et al., *Sensors & Actuators A*, 54(1996)709.
- [8] K. Mitani et al., *Appl. Phys. letter A*, 54(1992)543.
- [9] Sorin Cristoloveanu et al., *Kluwer Academic*, (1005)16.
- [10] A. Yamada et al., *5th Int. Workshop on Future Electronics Devices*, (1988)201.
- [11] A. Soderarg, *J. Electrochem. Soc.*, 139(1992) 561.
- [12] G. S. Chung et al., *J. Korea Sensors Society*, 7(1998)126.
- [13] G. S. Chung et al., *J. KIEE*, 47(1998) 2265.
- [14] G. S. Chung et al., *J. Korea Sensors Society*, 9(2000)134
- [15] G. S. Chung et al., *Proceedings of SPIE*, 3892(1999)346.
- [16] G. S. Chung et al., *J. KIEEME*, 10(1997)481.