2000년 한국정보처리학회 추계 학술발표논문집 제7권 제2호

Demodulator를 탑재한 Full-Duplex RFID칩 설계

김도균*,이광엽**
*서경대학교 컴퓨터과학과
**서경대학교 컴퓨터공학과
e-mail:dolhana@skuniv.ac.kr

Design of a Full-Duplex RFID chip with Demodulator

Do-gyun Kim*, Kwang-youb Lee**
*Seokyeong Univ. Computer Science
**Seokyeong Univ. Computer Eng.

요약

본 논문에서는 인식코드를 전송할 수 있는 modulator뿐만아니라 Reader system으로부터 코드 전송 제어 명령어를 수신할 수 있고 향후 EEPROM과 더불어 인식코드를 수정할 수 있는 RFID (Radio Frequency IDentification) Transponder 칩 설계에 관한 내용을 다룬다. RFID칩은 배터리를 사용하지 않고 명령어와 함께 형성되는 Field로부터 전원을 생성하고 동시에 코드를 제공하는 Full-Duplex 구조로 설계 하였다. Transponder IC는 power-generation 회로, clock generation 회로, digital block, modulator, overvoltge protection 회로로 구성된다. 설계된 칩은 저전력 회로를 적용하여 원거리 transponder칩을 구현할 수 있도록 하였다. 설계된 회로는 0.6㎛ 현대 CMOS 공정으로 레이아웃 하였으며 제작중에 있다.

1. 서론

전자 인식 시스템은 많은 응용분야에서 점차 그 수요가 증가하고 있다. 이 가운데 마그테틱 테잎을 이용한 접촉식 인식 시스템은 열악한 환경에서 그 신뢰성이 크게 문제가 되기 때문에 Radio Frequency(RF)를 이용한 비 접촉식 인식 시스템의 활용도가 점차 높아지고 있다. RFID(Radio Frequency IDentification) 시스템은 reader 시스템과 transponder로 구성되는데, Reader 시스템은 transponder 쪽으로 RF signal을 이용하여 전원과 데이터를 전송하고 transponder는 ID code와 데이터를 reader 시스템으로 전송하는 기능을 한다. 배터리가 내장되어 있지 않은 transponder를 Passive transponder라 하는데 passive transponder는 reader 시스템이 형성한 전기장 내에서 전원을 생성하여 사용한다. passive tansponder는 배터리가 없기 때문에 반영구적인 사용 및 제조비용 절감의 장점이 있다. 반면 배터리를 사용하는 active transponder에 비해 인식거리가 짧아지는 단점이 있다. 이러한 단점을 보완하기 위해 전자기장의 에너지를 최대한 활용할 수 있는 transponder 인터페이스 설계가 필요하다.

본 논문에서는 125kHz의 전달 주파수에 ASK 데이터 전송방식을 사용한다. ASK 방식은 하드웨어 구현이 간단하고, 전달 주파수와 전송방식 모두 제조 비용을 낮추기 위해 제안되었다. 본론에서는 CMOS를 이용한 transponder 칩의 저전력 회로 설계 및 0.6㎛ 현대 CMOS공정을 이용한 HSPICE 시뮬레이션, 레이아웃 및 제작에 대하여 기술한다.

2. 저전력 회로를 이용한 Transponder 칩 설계

2-1 Power generation 회로

Transponder에 전원 배터리가 없기 때문에 transponder 안테나에 유도된 전압을 정류하여 transponder 내부회로의 전원으로 사용한다. Transponder 안테나의 전압은 reader 안테나와의

상호유도 작용에 의해 유도되며 전압의 크기는 두 코일간의 결합계수에 의해 결정된다.

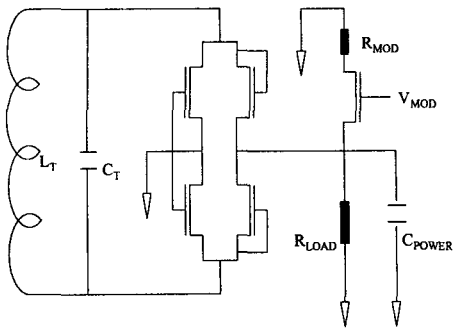

그림 1. Power generation, Modulation 회로

결합계수는 두 코일의 인덕턴스와는 무관하고 두 코일의 중심거리와 교각에 의해 결정된다. 그림1. 은 안테나에 유도된 전압을 정류하여 전원으로 만들어 주는 power-generation 회로이다. FWR(Full Wave Rectifier)는 N-MOS로 구성하였고 전원 커패시터와 칩 내부의 resistance가 평활 회로의 역할을 하여 DC 전원을 생성한다. 생성된 전원의 크기는 $V_{POWER} = V_{RF} - V_{D0}$ 로 안테나 전압 V_{RF}에서 V_{D0}만큼 다이오드에서 감소한 전압을 갖는다.

2-2 Clock generation 회로

Transponder 내부의 디지털 제어회로들은 시스템 클럭에 동기 되어야 한다. 클럭 신호는 안테나의 공진주파수를 구형파(square wave)로 만들어 사용한다.

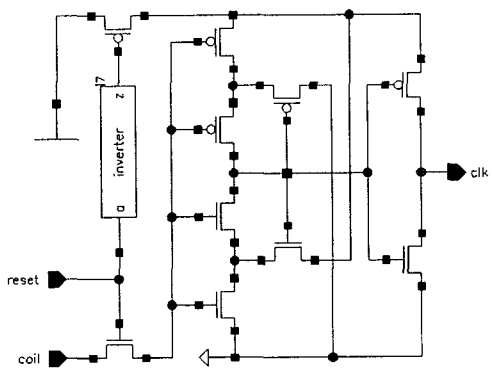

그림 2 Clock generation 회로

그림2 는 clock-generation 회로를 나타내고 있다. reset이 High 상태로 값이 변하기 전에는 작동하지 않는다. reset의 값이 Low 에서 High 상태로 변하게 되면, 입력단으로 VDD 와 RF signal이 입력되고, 이를 이용하여 클럭을 생성한다. Clock-generation 회로는 슈미트리거와 인버터로 구분되어있다. 슈미트리거를 통해 히스테리시스를 갖는 디지털 클럭 신호를 생성하고, 인버터를 통과하면서 sharp edge 를 가지는 클럭신호를 생성한다.

2-3 Modulator

Transponder에서 reader로 ASK 방식으로 데이터를 전송하려면 modulator가 필요하다. 그림1. 의 오른쪽 상단이 modulator의 회로인데 공진을 일으키는 transponder의 안테나에 modulation 스위치와 load resistor를 연결함으로 damping을 일으켜 구현할 수 있다. Digital block에서 생성된 신호에 의해 modulation 스위치가 off 상태에서 on 상태가 되면, 안테나 코일에 load 저항크기의 임피던스를 걸어주게 된다. 따라서 안테나에서는 damping을 일으키게 된다. modulation switching에 의하여 안테나 임피던스의 변화가 생기고 이는 reader 안테나의 임피던스 변화를 유도하여, reader 안테나 전압이 변하게 된다.

$$\Delta V_R = \Delta V_T \times k \times \sqrt{\frac{L_R}{L_T}} \times Q_R \qquad (1)$$

위 식의 관계에서 reader 전압 V_R이 결합계수 k 와 transponder 안테나 전압 V_T의 damping 크기에 비례해서 변화한다.

2-4 Overcurrent protection 회로

전원 충전 시에 transponder와 reader 시스템의 거리가 짧아질수록 transponder 안테나에 유도되는 전류가 증가하여 공진 신호의 전압이 최고 수십 볼트이상 증가하게 된다. 안테나 코일 양단의 노드는 내부 회로에서 트랜지스터 게이트의 입력으로 사용되기 때문에 수십 볼트로 증가 시 트랜지스터의 파괴가 일어난다.

안테나 공진 전압을 내부 회로가 견딜 수 있는 최대 전압에서 제한하기 위해 overvoltage protection 회로를 설계하였다.

그림3. 은 overvoltage protection 회로인데 다이오드 역할을 하는 P0,P1, P2, P3, P4, P5와 저항을 연결하여 안테나의 전압이 제한 전압에 이르면 다이오드들과 저항의 저항 비에 의해 N1를 동작시킬 수 있는 전압이 인가된다. 제한 전압 이상 올라갔을 때 N1을 통하여 급속하게 방전할 수 있도록 회로를

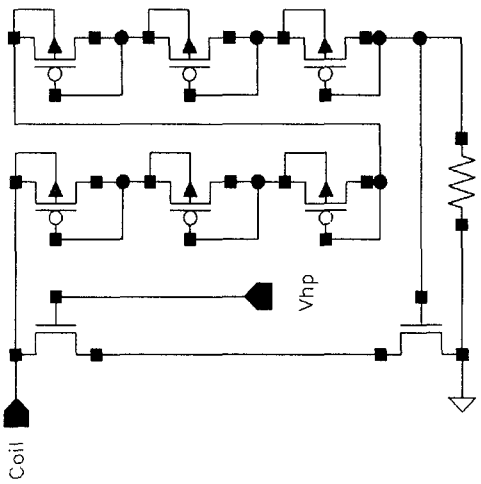

그림 3 Overvoltage protection 회로

구성하였다. 공진 전압이 최대 4V를 갖도록 overvoltage protection 회로를 설계하였다.

2-5 POR(Power On Reset) 회로

트랜스 폰더가 리더로부터 전원을 공급받아 디지털 블럭의 작동시키기 위해서는 Reset 신호를 발생하는 POR회로가 필요하다. Reset 신호는 IC 내부의 카운터, 상태레지스터, 메모리 주소 레지스터등의 디지털회로 초기화에 사용된다. Reset 회로는 슈미트 트리거를 이용한 구조로 설계하였다. 먼저 트리거 앞단에 active load와 캐패시터로 RC시상수 회로를 구성하여 캐패시터의 충전시간을 이용하여 reset 시간을 결정한다. 시뮬레이션 결과 약 20us 경과후 reset 신호가 발생함을 확인하였다

2-6 Demodulator 회로

Demodulator는 다이오드와 충전 캐패시터 그리고 charge와 discharge를 위한 두 개의 저항을 이용하여 low pass filter를 구성하여 전달 주파수는 제거하고 데이터 신호만이 입력 캐패시터에 걸리도록 간단히 구현하였다.

Demodulator를 거쳐 추출한 데이터 신호는 매우 작은 진폭을 가지므로 데이터 신호의 중심이 되는 평균 전압을 구하고 이 전압을 데이터 신호와 증폭기에 입력하여 비교과정을 거친 후 디지털 데이터로 복원한다. 증폭기의 입력으로 들어간 신호는 증폭기의 VDD 전압까지 swing할 수 있는 디지털 데이터 신호로 변환된다.

안테나 전압의 데이터 수신 모양과 최종 demodulator 및 증폭기를 거친 출력신호는 그림 4. 에 나타내었다.

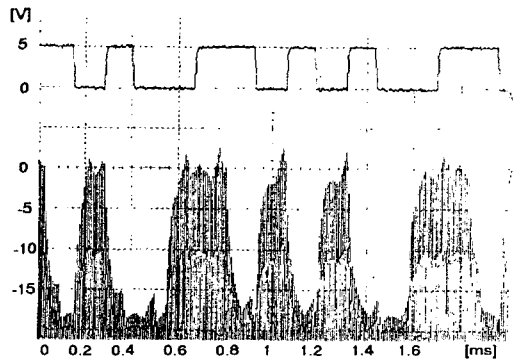

그림 4. 복원한 데이터 신호와
안테나 전압의 파형

3. 레이아웃 및 칩 제작

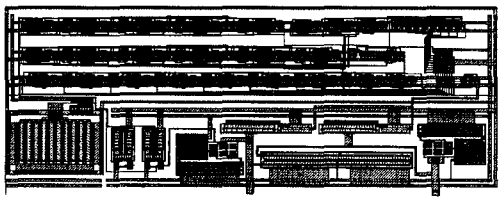

그림 5 전체 layout

본 Transponder IC는 현대 0.6um 2-poly 공정을 사용하여 HSPICE에서 회로 시뮬레이션을 수행하고 CADENCE TOOL로 레이아웃 하여 제작하였다.

그림5. 는 전체 회로의 레이아웃이다. FWR는 width 300um의 N-channel로 구성하였고 출력 단은 50pF까지 driving 가능한 버퍼로 설계하였다.

4. 시뮬레이션 결과 및 RFID system 구성

제작된 칩은 인터페이스 회로와 안테나, ID code를 저장하는 메모리, 메모리의 정보를 읽어내는 간단한 제어 로직을 포함하여 구성하였다. Clock generation 회로에서 얻은 클럭을 이용하여 데이터 클럭을 만들어 ID code 데이터를 순차적으로 전송한다.

Transponder 칩을 테스트하기 위한 Reader 는 전달 주파수를 생성하는 oscillator와 데이터 송신을 위한 low-pass filter, demodulator로 구성하였다.

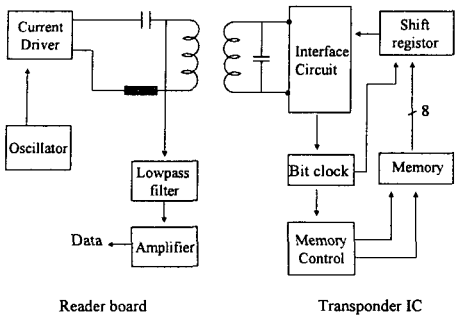

그림 6. 인터페이스 칩 테스트 보드

그림 6. 은 테스트 보드의 구성도를 나타낸다. Transponder의 메모리는 MASKROM을 사용하였고, 메모리의 데이터를 인터페이스의 modulator로 전달해주는 나머지 디지털 로직은 SYNOPSYS TOOL을 통해 시뮬레이션 결과를 확인하여 Transponder IC 에 포함하였다.
그림 7. 은 전체 시뮬레이션 결과이다.

5. 결론

본 논문에서는 표준 CMOS 공정으로 제작할 수 있는 ASK 방식의 RFID용 Transponder IC 및 RFID Transponder 의 인터페이스 설계를 제안하였다. 본 RFID칩은 Reader system에 인식코드를 제공하고 코드제어를 위한 명령어를 수신할 수 있는 modulator와 demodulator를 탑재하였으며 Full-duplex 구조로 동작하도록 설계하였다. 따라서 EEPROM이 탑재되면 writable RFID 제작이 가능하다. 또한 저전력회로 설계로 인식거리를 확장할 수 있었다.

제작된 reader system은 100V 이상의 안테나 전압을 형성하였고, Demodulator는 8cm 이내에서 정확한 데이터를 수신하였다. 향후 인식거리 확장에 관한 보다 많은 연구가 필요하다.

참고문헌

[1]Kasier, U., W. Steinhagen, "A Low-Power transponder IC for High Performance Identification System", IEEE J.Solid-State Circuits, Vol.30, No.3, pp.306-310,1995.

[2] J.Bouvier, Y.Thorigne, S.Abou Hassan, M.J.Revillet, P.Senn,"A Smart Card CMOS Circuit with Magnetic Power and Communications Interface", IEEE ISSCC97, SA 17.6, 1997

[3] Alan B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley & Sons, 1984

[4] D.Friedman, H.Heinrich, D-W, Duan, "A Low-Power CMOS Integrated Circuit for Field-Powered Radio Frequency Identification Tags", IEEE ISSCC97, SA 17.5, 1997

[5] C. Svensson and J. Yuan,"Latches and Flip-Flops for Low-Power Systems", Invited paper in Low-Power CMOS Design, IEEE Press, 1998

[6] Phillipe E.Allen and Dounglas R.Holberg, CMOS Analog Circuit Design, Saunders College Publishing, 1987

[7]R. Jacob Baker, Harry W. Li, David E. Boyce, CMOS Circuit Design,Layout,and Simulation, IEEE Press, pp.685-703,1997.

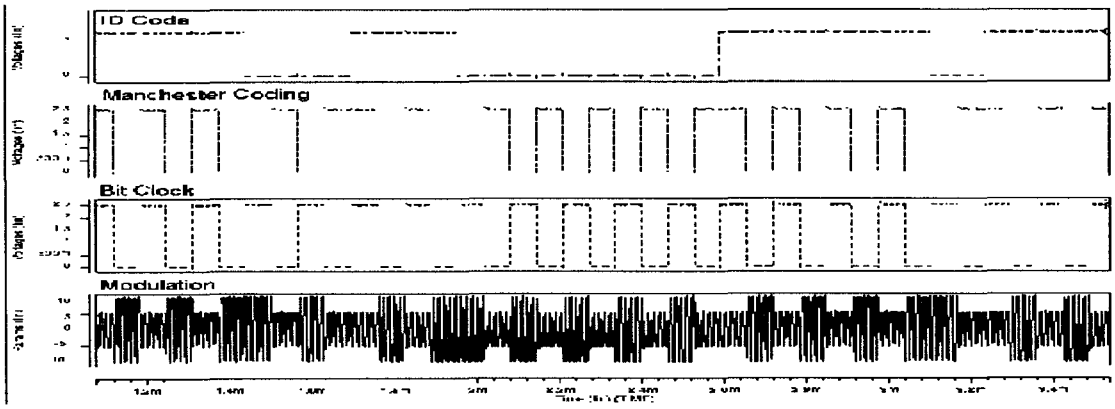

그림 7. 전체 시뮬레이션 결과