

이중코어 DSP를 이용한 저전력 MPEG-1/2 계층-III 복호화기의 구조

이규하*, 이근섭*, 황태훈*, 오현오* 박영철**, 윤대회*
*연세대학교 전기·컴퓨터공학과, **연세대학교 신호처리연구센터

An Architecture of Low Power MPEG-1/2 Layer-III Decoder Using Dual-core DSP

Kyu-Ha Lee*, Keun-Sup Lee*, Tae-hoon Hwang*, Hyun-O Oh*, Young-Chul Park**, Dae-Hee Youn*
Electrical and Computer Eng., Yonsei University*, CSPP, Yonsei University**
E-mail : ykh@radar.yonsei.ac.kr

요 약

본 논문에서는 DSP와 RISC 마이크로 콘트롤러의 결합으로 구성된 이중 코어 DSP를 이용하여 휴대장치에 적합한 저전력 MPEG-2 계층-III 복호화기의 구조를 제안하고 실시간 시스템을 구현하였다. 제안된 시스템은 디지털 오디오 데이터 처리부와 시스템 제어 정보처리부로 나누어 병렬처리가 가능한 구조이다. 디지털 오디오 데이터 처리부에서는 DSP의 강력한 산술연산기능으로 MPEG 복호화 알고리즘을 수행하며 시스템 제어부에서는 마이크로 콘트롤러의 장점인 저가, 저전력의 제어 기능으로 사용자 인터페이스 및 파일 관리, 비트스트림 제어를 담당하도록 구성된다. 입력부에서는 Multi Media Card(MMC)를 지원하고, PC와 호환 가능하도록 파일 관리 시스템으로 운용되며 직렬 통신의 데이터 전송과 16비트 해상도 및 최대 48kHz 표본화주파수로 스테레오 출력이 가능하다. 구현된 시스템은 이중 코어를 이용하여 DSP의 연산량 및 동작속도의 감소로 인한 저가, 저전력의 효과로 인해 휴대장치에 적합하다.

1. 서 론

기존의 아날로그 오디오에 비해 고음질과 넓은 대역폭을 가지는 디지털 오디오는 CD, DVD, 디지털 오디오 방송등으로 응용분야가 확대됨에 따라 더욱 관심이 고조되고 있다. 그러나 고음질의 디지털 오디오 신호를 얻기 위해서는 데이터양의 증가 문제가 대두되었다. 이에 따라 오디오 압축기술에 관한 연구가 진행되었고 고음질 및 저전송률을 갖는 MPEG-1/2 알고리즘의 표준화가 제정되었다[1-3]. MPEG 오디오 알고리즘중 계층-III은 12:1의 고압축률에서도 CD수준의 음질을 제공하

는 고효율 알고리즘이므로 차세대 휴대용 오디오 장치로 관심을 받게 되었다. 이에 따라 MPEG 복호화 디지털 신호처리 알고리즘의 저전력의 구현을 위해 DSP 코어와 RISC 마이크로 콘트롤러가 결합된 DSP, 마이크로 콘트롤러 명령어를 갖는 DSP, DSP 명령어를 갖는 마이크로 콘트롤러 등이 연구되고 있다[4-6].

본 논문에서는 16비트 고정소수점 DSP 코어와 32비트 RISC 마이크로 콘트롤러(이하 RISC 코어)가 결합된 이중 코어 DSP를 이용하여 저전력 MPEG-2 계층-III 복호화기의 하드웨어 및 소프트웨어의 구조를 제안하고 실시간 시스템을 구현하였다. 2장에서는 MPEG 오디오 복호화기의 구조를 제안하고, 3장과 4장에서는 이중 코어에 적합한 하드웨어 및 소프트웨어의 구조를 다루며 5장에서 실시간 구현의 실험 결과를 제시하고 6장에서 결론을 맺는다.

2. MPEG 오디오 복호화기 구조

MPEG 오디오 복호화기의 구조는 그림 1과 같이 디지털 오디오 데이터 처리부와 제어 정보 처리부로 나뉘어

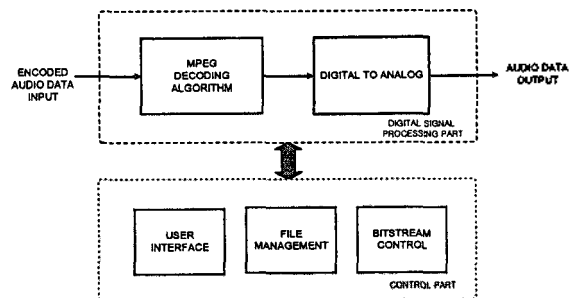


그림 1. MPEG 오디오 복호화기 블록도

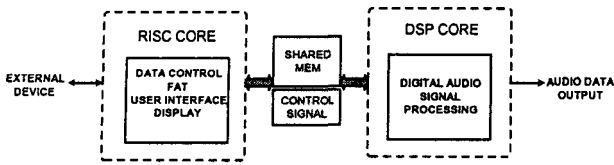


그림 2. 이중 코어 MPEG 오디오 복호화기 구조

구성된다. 디지털 오디오 데이터 처리부에서는 부호화된 오디오 데이터에 대해 MPEG 복호화 알고리즘을 수행하여 PCM 오디오 데이터를 복원하고 DAC를 거쳐 아날로그 오디오 신호를 출력한다. 제어 정보 처리부에서는 저장 매체에 저장된 파일 형태의 부호화된 오디오 데이터를 디지털 오디오 데이터 처리부의 전송 및 관리를 담당하고, 사용자와 인터페이스를 통해 정보를 받아들이며 디지털 오디오 데이터 처리부로 전송하거나 현재 시스템의 동작 상태를 알려 주는 역할 및 다른 시스템과의 정보교환을 담당한다. 본 논문에서는 그림 1의 구조에 대해 DSP 코어와 RISC 마이크로 컨트롤러 코어의 역할을 분담하는 구조를 제안하고 그림 2에 도시하였다. 디지털 오디오 처리부는 연산기능이 우수한 DSP 코어에서 담당하고, 제어 정보 처리부는 RISC 코어에서 담당하여 공유메모리 및 제어신호를 통해 상호간의 통신이 가능하므로 병렬처리가 가능한 구조이다.

3. 시스템 하드웨어 설계

제안된 MPEG 복호화기의 구조에 대해 하드웨어 시스템의 구조는 그림 3과 같다. 복호화 알고리즘 및 제어 정보의 처리를 담당하는 이중 코어 DSP부와 부트로딩을 위한 프로그램 롬, 부호화된 오디오 데이터가 저장된 MMC, 아날로그 출력을 위한 DAC 및 아날로그부, 시스템의 동작 상태를 표시하는 LCD와 사용자의 정보를 받아들이는 키입력부로 이루어진다. 그리고 PC등의 외부 장치에서 부호화된 오디오 데이터 및 정보의 전송을 위한 RS-232 통신부와 전지의 전원공급을 위한 전원부로 구성된다. 제안된 MPEG 복호화기는 48KHz, 44.1KHz, 32KHz의 표본화주파수와 절반인 24KHz, 22.05KHz, 16KHz의 MPEG-2의 규격을 모두 지원한다. 그러므로 그림 4와 같은 DSP부의 동작 클럭 구조를 갖

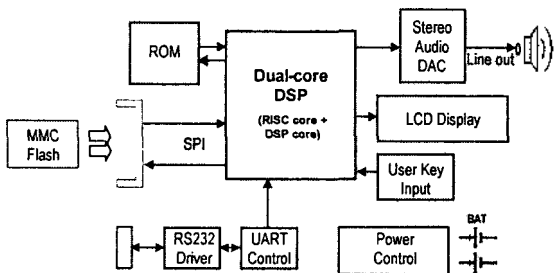


그림 3. 시스템 하드웨어 블록도

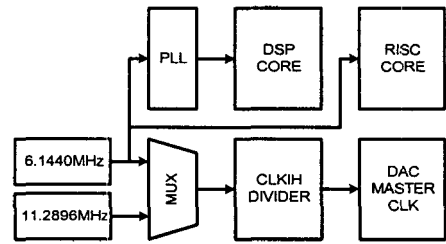


그림 4. 시스템 동작 클럭 구조

는다. 구현된 시스템은 Σ/Δ DAC의 사용으로 표본화 주파수의 128배, 256배, 384배 과표본화주파수가 DAC에 인가되어야 한다. 그러므로 44.1KHz의 배수는 11.2896MHz, 그외의 경우에는 6.1440MHz를 DAC 마스터 클럭으로 선택한다. 또한 RISC 코어 및 DSP 코어의 동작 클럭은 6.1440MHz를 입력으로 DSP코어는 PLL을 사용하여 8배 체배된 49.152MHz를 이용한다.

DAC부는 그림 5와 같이 저가 및 고음질을 위한 직렬 방식의 Σ/Δ DAC를 이용하므로 DSP의 직렬 포트와 고주파수 클럭부를 이용하여 PCM 데이터를 DA변환 뒤 아날로그부를 거쳐 출력한다. DAC의 동작 클럭은 MPEG 복호화 과정의 첫 부분의 수행에서 비트스트림의 표본화주파수 정보를 분석한 후 고주파수를 분주하여 인가된다. 직렬데이터 및 전송 클럭은 그림 6의 데이터 전송 타이밍과 같이 구성되어 DAC로 전송된다. 스테레오 출력을 위해 프레임 동기 신호는 채널 구분 신호로 사용되고 16비트 데이터 출력마다 상태가 천이 되도록 구성되었다. 또한 데이터 전송 클럭은 표본화 주파수의 32배로 L/R 채널의 각 16비트가 전송되도록 하여 프레임 동기 신호는 표본화 주파수를 갖고 DSP의 고주파수부를 분주시켜 구성한다.

부호화된 MPEG 오디오 데이터가 저장된 저장매체는 수십M바이트 이상을 저장하기 위한 고용량과 저가이며 전송률이 실시간 동작에 적합하여야 하며 프로세서와의 인터페이스가 간단하고 휴대가 간편하여야 하는 요건을 충족하여야 한다. 그러므로 구현된 시스템에서는 직렬 통신으로 데이터를 주고받는 MMC를 이용하여 그림 7과 같이 부호화된 비트스트림 저장부를 구성하였다.

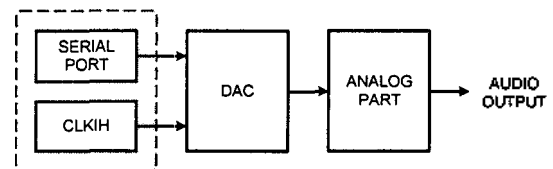


그림 5. DAC부의 구조

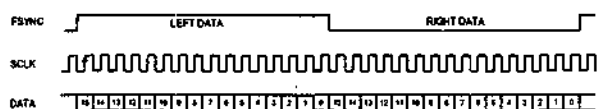


그림 6. DAC부 직렬데이터 전송 타이밍

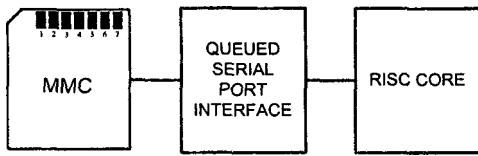


그림 7. MMC 오디오 데이터 저장부

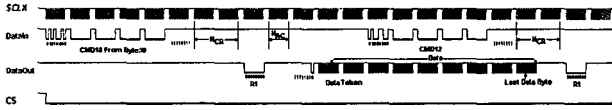


그림 8. MMC부 직렬데이터 전송 타이밍

MMC의 동작 신호와 데이터 전송의 동기를 위한 SCLK, MMC로의 명령 전송을 위한 데이터 입력부와 저장된 데이터 및 명령에 대한 응답을 위한 데이터 출력부의 데이터 전송 타이밍도는 그림 8과 같다[7].

전원공급부는 휴대용에 적합하도록 전지로 전원을 공급하며 시스템에 필요한 전압 및 전류용량, 소비전력이 낮게 구성되어야 한다. DSP 및 RISC 코어를 위해 1.8V, I/O 및 메모리 등의 장치를 위한 3.3V, LCD를 위한 5V로의 변환 및 공급 장치로 구성된다.

4. 시스템 소프트웨어 설계

MPEG 복호화기의 소프트웨어 구조에 있어서 기본적인 동작 상태도는 그림 8과 같다. PLAY, STOP, NEXT, PREV의 네가지 동작 상태와 다음의 동작으로의 천이를 기다리면서 유휴 상태인 IDLE의 5가지 상태로 구성된다. 초기화시 IDLE 상태에서 다음의 동작 상태로 천이된다. PLAY 상태는 현재 열려진 파일의 비트스트림에 대해 복호화 알고리즘의 수행을 시작한다. STOP 상태는 복호화 알고리즘의 수행을 중지하고 파일의 포인터를 맨 처음으로 옮긴 후 IDLE 상태로 천이된다. NEXT, PREV는 다음 파일 또는 이전 파일을 열고 포인터를 파일의 맨 처음으로 옮기는 역할을 담당하고 이전 상태인 IDLE 혹은 PLAY의 상태로 돌아간다. MPEG 복호화기 소프트웨어의 구조는 MPEG 복호화 알고리즘부, 사용자 인터페이스부, 파일 관리부, 비트스트림 제어부로 구성된다.

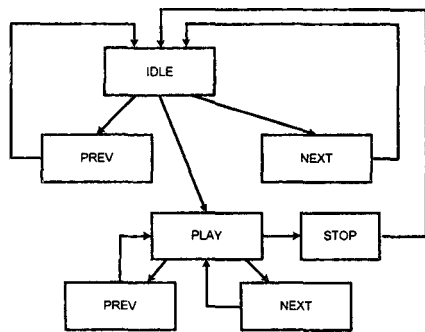


그림 9. MPEG 복호화기 상태천이도

사용자 인터페이스부는 인터럽트를 사용하여 그림 9의 상태도와 같은 형태의 구조를 갖는다. 사용자의 키입력에 대해 동작의 상태를 천이하게 되고 그 상태 및 정보를 사용자에게 LCD 등을 이용하여 알려 준다.

파일 관리부의 흐름도는 그림 9와 같다. 저장 매체인 MMC는 PC등과의 호환성을 고려해 file allocation table(FAT)을 갖도록 구성하였으므로 초기화에서는 부트섹터를 읽어 오고 첫번째 파일을 열어 대기한다. 사용자에게 의해 동작 상태가 PLAY상태로 천이되면 열린 파일을 읽어들이면서 파일의 끝을 점검한다. 파일의 끝에 오면 STOP상태로 천이하여 복호화기의 동작을 중지시키고 초기화하며, 다음 파일을 열고 다시 읽어들이는다. 저장매체내의 마지막 파일 복호화가 끝나면 다시 처음의 파일을 열게 된다. NEXT와 PREV는 다음 혹은 이전 파일을 여는 역할을 하는 것이므로 IDLE상태에서는 수행후 다시 IDLE상태로 환원시키고 PLAY상태에서는 STOP상태로 천이시켜 먼저 파일을 닫고 인근 파일을 열어 비트스트림 제어부로 이전시킨다.

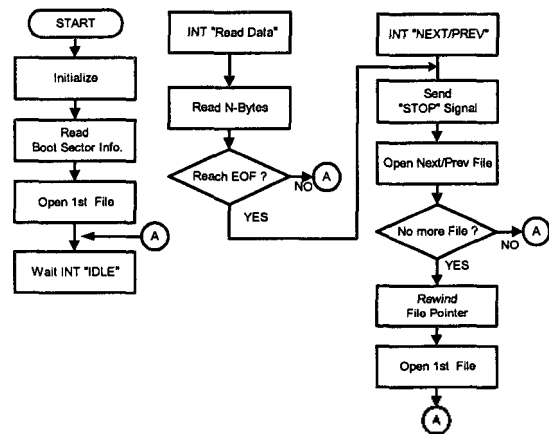


그림 10. 파일 관리부 흐름도

비트스트림 제어부는 파일에서 읽어야 할 비트스트림 양과 읽어진 비트스트림에 대해 버퍼 전송, 즉 RISC 코어의 제어 정보 처리부와 DSP 코어의 복호화간의 비트스트림 전송을 담당하고 그림 11의 구조를 갖는다. 복호화 수행시 현재 처리중인 프레임으로 인한 버퍼의 빈공간을 MMC에서 읽어내어 버퍼의 지정된 장소에 저장하고 수행 완료를 복호화기에 알려준다. MPEG 비트스트림은 바이트단위로 구성되지만 버퍼는 2바이트 워드 단위이므로 시작 번지와 저장량에 대한 정보 해석 및 수행완료의 플래그가 주요 목적이다. MMC 등의 저장매체는 블록 단위의 접근만을 허용하고 FAT에 의한 클러스터 단위로의 제한으로 인해 읽는 비트스트림의 양과 경계 주소에 대한 고려가 되어져야 한다.

이렇게 구성된 전체 시스템 소프트웨어의 구조는 그림 12과 같다. 전체 시스템의 제어 및 파일 관리, 비트스트림 제어를 담당하는 RISC 코어는 IDLE상태에서 PLAY상태로 천이 되면서 DSP 코어를 동작시킨다. 동작된

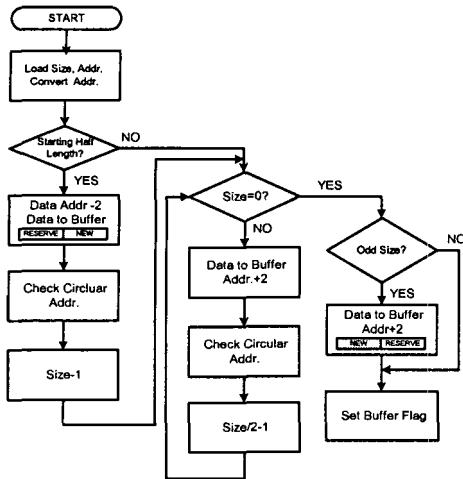


그림 11. 비트스트림 제어부 흐름도

DSP 코어는 복호화를 위한 초기화를 수행하고 RISC 코어에 버퍼링을 요구한다. DSP의 요구에 대해 인터럽트가 발생하면 RISC 코어는 MMC로부터 비트스트림 전송을 시작하고 완료시에 플래그를 준다. 이에 대해 DSP 코어는 복호화 과정의 첫단계인 동기화와 부정확을 얻어내고 데이터 주블록에 대한 복호화 과정을 수행한다. 복호화 과정시 DSP 코어는 RISC 코어에 처리중인 프레임 크기만큼 버퍼링을 요구한다. 한 프레임의 처리가 끝나면 DSP코어는 현재 상태의 점검후 복호화 수행 및 중지를 결정지으면서 병렬로 처리하게 된다. PLAY 상태에서 STOP상태로의 변환시 현재 진행중인 프레임의 복호화 완료후 초기화 및 IDLE 상태로 천이된다.

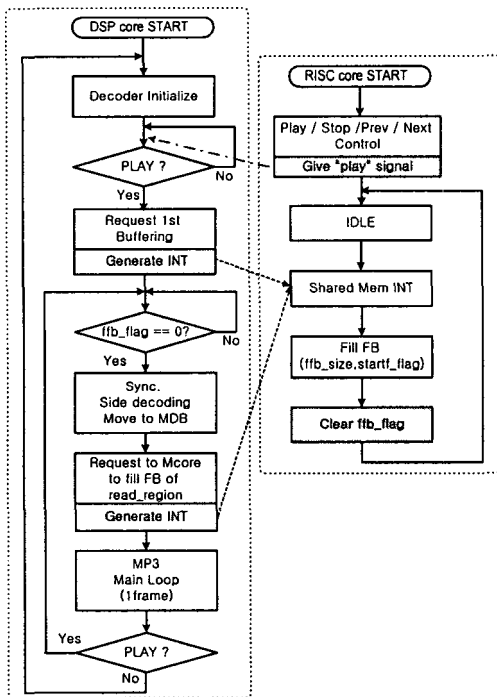


그림 12. 시스템 소프트웨어 구조

5. 실험 결과

본 논문에서 제안된 복호화기의 구조를 실시간 시스템으로 구현하고 표 1과 같은 결과를 얻었다. 표준화 그룹 Fraunhofer에서 제공된 테스트 비트스트림 및 부동소수점 복호화기의 출력과 구현된 시스템의 출력을 비교하여 식 (1)의 SNR을 척도로 삼았다.

$$SNR = \{ 20 \times \log_{10}(2^{16} - 1) \} - \{ 20 \times (\log_{10} 2) \times RMS_{PCM} \} \quad (1)$$

표 1. 구현된 시스템 실험 결과

	Performance
Output SNR	90~92dB
Complexity	35~45MIPS
Program Memory	~4K
Data Memory	~9K
Table ROM	~5.7K
RISC core Memory	~1K

6. 결론

본 논문에서는 이중 코어 DSP를 이용하여 MPEG-2 계층-III 복호화기의 구조를 제안하고 실시간 시스템을 구현하여 검증하였다. 디지털 오디오 데이터 처리부와 제어 정보 처리부로 나뉘어 DSP 코어에서는 복호화 알고리즘을, RISC 코어에서는 시스템 제어를 담당하여 병렬 처리가 가능한 구조이다. 최소 90dB의 SNR로 고음질과 최대 45MIPS의 DSP의 연산량으로 인한 저전력 시스템으로 휴대장치에 적합함을 확인하였다.

7. 참고 문헌

- [1] ISO/IEC JTC1/SC29/WG11 No.71, "Coding of Moving Pictures and Associated Audio for Digital Storage Media at up to about 1.5Mbit/s-CD 11172-3 (Part. MPEG-Audio)"
- [2] ISO/IEC JTC1/SC29/WG11 No.1519, "Generic Coding of Moving Pictures and Audio - CD 13818-3 (Part3. MPEG-Audio)", 2nd Edition, Feb.,1997
- [3] Ken C. Pohlmann, *Principles of Digital Audio*, McGraw-Hill, 1999
- [4] T. Sakamoto, M. Taruki, T. Hase, "A fast MPEG-audio layer III algorithm for a 32-bit MCU", IEEE Transactions on Consumer Electronics, Vol. 45 No. 3, pp 986-993, Aug. 1999
- [5] Dale Grouver and John R. Deller, *Digital Signal Processing and the Microcontroller*, Prentice Hall, 1999
- [6] Motorola Corp., *DSP56654 Based Digital Signal Processor User's Manual*, 1999
- [7] SanDisk Corp., *MultiMedia Card Product Manual*, 1999