

Simulation of RSFQ D/A converter to use as a voltage standard

전압표준용 RSFQ DAC의 전산모사 실험

Hyung-Gon Chu and Joonhee-Kang
추형곤, 강준희

Department of Physics of University of Incheon, Incheon 402-749, Korea
인천광역시 남구 도화동 177번지 인천대학교 물리학과, 402-749

Digital to analog converters based on the Josephson effect are promising for voltage standard, because they produce voltage steps with high precision and good stability. In this paper, we made a simulation study on RSFQ D/A converter. RSFQ D/A converter was composed of NDRO cells, T(toggle) flip-flops, D flip-flops, Splitters and Confluence Buffers. Confluence Buffer was used to reset the D/A converter. We also obtained operating margins of the important circuit values by simulational experiments.

1. 서론

고속 정보 통신의 발달에 따른 고속 데이터 전송은 필수적이다. 이러한 고속 데이터 전송의 신호처리를 위한 초고속 전자소자의 개발이 절실히 요구되고 있으나 반도체 소자의 내부적인 한계성과 작동속도를 높이기 위해 드는 제작비의 급속한 증가로 인하여 새로운 물질을 이용한 초고속 전자소자의 개발 필요성이 요구되고 있다. 초전도 조셉슨 소자는 초전도체만이 갖는 특이한 양자현상을 갖고 있어 반도체로는 불가능한 빠른 전환속도를 낼 수 있는 전자소자를 제작하는 것이 가능하며, 이를 이용한 초고속 전자소자의 개발이 선진국에서는 많이 연구되어 왔다. 현재 전압표준으로 사용되고 있는 조셉슨 배열 전압표준기는 현재 알려진 전압표준기 중 가장 정확한 것으로 알려져 있다. 하지만, 이 전압표준기는 정확한 주파수의 RF 신호를 사용하므로 정확한 교류의 전압

표준이나 정확한 파형의 분석, 높은 정확도를 갖는 DAC의 특성분석 등에 사용될 수 없다. 조셉슨 접합을 사용한 단자속 양자 회로를 이용할 경우 100 GHz에 이르는 빠른 속도의 디지털 신호를 얻을 수 있어 이를 이용하면 매우 정확한 교류의 신호를 만들어 낼 수 있다. 단자속 양자회로를 사용한 DAC는 현재 사용되고 있는 전압표준기의 기능을 단순한 직류전압의 표준뿐만 아니라 교류의 표준으로서 사용할 수 있도록 하여 준다. 단자속 양자회로는 전압표준기의 성능을 확장 시켜줄 뿐만 아니라 통신 등의 분야에 응용될 경우 우리의 기술적 수준을 한단계 높혀줄 수 있을 것이며 새로운 시장을 개척하는데 큰 기여를 할 것으로 전망된다. 본 연구에서는 조셉슨 접합을 이용한 전압표준용 단자속 양자 digital-to-analog 전환회로의 구성 및 voltage multiplier의 회로에 대한 simulation을 수행하고 회로의 작동 margin값을 얻었다. [1][2]

2. 실험방법 및 결과

그림 1은 digital값을 input하여 analog값을 output 할 수 있는 회로를 구성하여 block diagram으로 그린 것이다.[1]

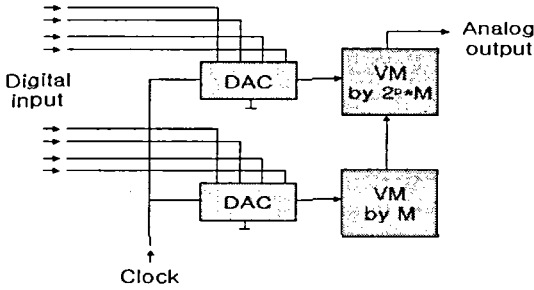


그림 1. Digital-to-Analog 및 VM 구성

예를 들어, digital값을 binary code '1001'을 그림 1의 input 각각에 가하면 analog output값은 각 stage 전압의 직렬합이 되므로 $(1*2^3 + 0*2^2 + 0*2^1 + 1*2^0) * (h/2e)f$ 가 된다. 그림 2는 그림 1의 DAC 구성 회로들을 block diagram으로 그린 그림이다. 이 DAC 구성을 하는데 있어서는 5개의 중요한 회로들을 사용하였다.(NDRO cell, T-ff, D-ff, Confluence Buffer, Splitter)

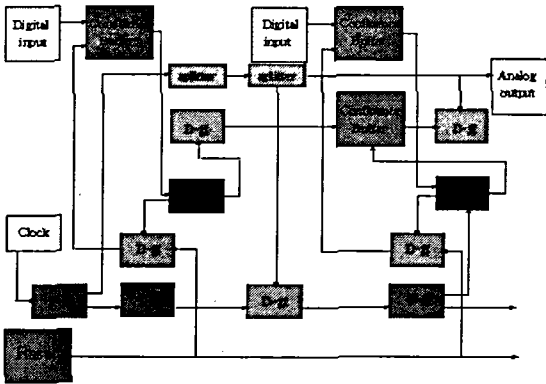


그림 2. DAC 구성회로

그림 3은 NDRO cell를 보여주고 있다. 또한 그림 4는 NDRO cell 회로의 simulation 결과를 보여준다. 작동원리는 Pulse 형태로 Data '1'

이 input되면 data '1'이 저장(set 상태)되어 있다가 clock '1'이 계속해서 들어오면 clock output으로 계속 나가게 된다. 그러나, data '1'이 다시 input되면 저장되어 있는 '1'이 '0'으로 변환되어 clock이 계속 들어와도 output은 계속적으로 '0'만 나가게 된다. Margin값은 junction BJ12가 $\pm 28\%$ 로 가장 낮고 다른 parameter 값들은 $\pm 30\%$ 이상이 된다.

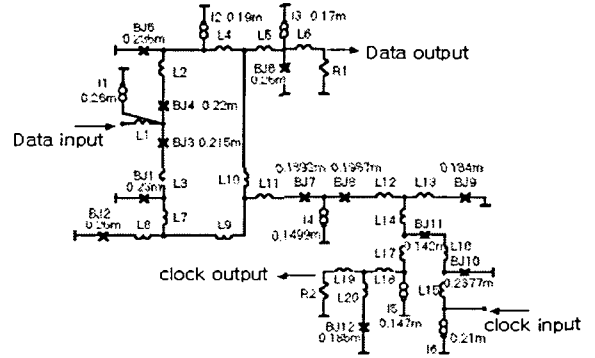


그림 3. NDRO cell 회로도

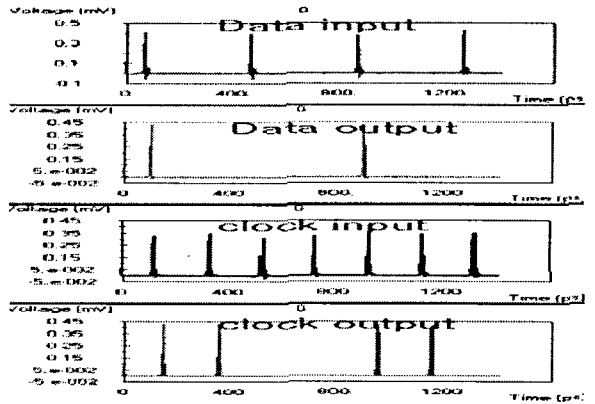


그림 4. NDRO cell 회로의 simulation 결과

그림 5와 6은 T(toggle) flip-flop 회로도 and simulation 한 결과를 보여 주고 있다. 작동원리는 clock input이 '1111'이면 A에서는 '1010'이 output되고 B에서는 '0101'이 output 된다.

VM의 기능은 그림 1과 2에서 보여준 것처럼 DAC를 계속적으로 stage를 늘려갈 경우 회로의 복잡함과 junction수의 증가로 mask layout을 하는데 어려움이 있기 때문에 VM을 도입하여 원하는 analog output 값을 출력하는데 있다.

3. 결론

본 연구에서는 Xictool software와 WinS software를 사용하여 digital-to-analog (DAC) 구성 및 DAC 구성에 필요한 회로들을 구성하였으며 simulation을 통하여 각각의 회로들의 작동원리와 margin값들을 연구하였다. 본 연구의 결과로 얻은 DAC의 구성 및 각 회로들은 조셉슨 전압표준기의 활용 및 표준기술 향상에 크게 기여할 수 있을 것이다.

감사의 글

본 연구는 한국표준과학 연구원의 “표준유지 향상(전기분야) 연구”의 위탁과제로 수행되었음을 감사드립니다.

참고문헌

- [1] V. K. Semenov, “Digital to Analog conversion based on processing of the SFQ pulses”, IEEE Transactions on Applied Superconductivity, vol.3, pp 2673-2640, 1993
- [2] A. Shoji, S. V. Polonsky, “RSFQ -Based D/A converter for AC voltage standard”
- [3] K. K. Likharev, V. K. Semenov, “RSFQ Logic / Memory Family : A New Josephson-junction technology for sub-terahertz-clock-frequency Digital systems”, IEEE Transactions on Applied Superconductivity, vol.1, pp 3-7, 1991
- [4] R. D. Sandell, B. J. Dalrymple, and A. D. Smith, “An SFQ Digital to Analog Converter”, IEEE Transactions on Applied Superconductivity, vol.7, pp 2468-2470, 1997
- [5] V. K. Semenov, M. A. Voronova, “DC Voltage multiplier : A Novel Application of synchronization in Josephson junction arrays”, IEEE Transactions on magnetics, vol.44, NO. 2, pp 1432-1435, 1989
- [6] C. A. Hamilton, C. J. Burrough and R. L. Kautz, “Josephson D/A converter with Fundamental Accuracy” IEEE Transactions on Instrumentation and Measurement, vol.44, NO.2, pp 223-225, 1995