

2000년도 대한전기학회 전문대학교육연구회 학술대회 논문집 2000. 7. 7-8

CMOS 2V 캐스코드 전류모드 적분기

송제호, 방준호
의산대학 전기과

Design of A CMOS 2V Cascode Current-mode Integrator

Song, Je-Ho, ^oBang, Jun-Ho
Dept. of Electricity, Iksan National College

Abstract - 본 논문에서는 완전균형 상보형 적분기에서 그 이득과 단위이득 주파수 특성을 향상시킬 수 있는 high-swing cascode 구조를 이용한 새로운 적분기를 설계하였다. 설계된 high-swing cascode 적분기는 0.25μm n-well CMOS 공정 파라미터를 이용하여 HSPICE 시뮬레이션 하였으며, 그 결과 제안된 회로는 2V 공급전압에서 전력소모는 1.04mW이고 차단주파수는 100MHz를 갖으며 이득은 51dB로서 이 적분기를 이용한 능동필터 설계시 요구조건인 40dB 이상의 이득값을 만족한다.

1. 서 론

집적회로의 대부분은 하나의 칩 안에 아날로그와 디지털이 같이 공존하는 혼성모드(mixed-mode)방식이 이용되는 추세이다.[1,2] 혼성모드 칩의 대부분은 디지털부분이 차지하고 있기 때문에 트랜지스터의 동작 조건은 디지털을 위해 규준화되어 있다. 따라서 아날로그의 공급전압도 디지털 부분의 동작 조건과 일치하여야 한다. 하지만 일반적으로 저전압 저전력 특성의 혼성모드 집적회로 설계에 있어서 아날로그 회로는 디지털 회로보다 높은 공급 전압을 필요로 하기 때문에 저전압 동작을 위한 방법으로 전류모드 회로설계가 이용된다.[3,4] 전류모드 회로는 낮은 내부전압을 가지므로 넓은 동적 범위를 얻을 수 있고, 낮은 임피던스의 영향으로 고주파수 구현이 가능하다. 따라서 각종 통신시스템에 필수적으로 응용되고 있는 능동필터의 설계에 전류모드 적분기가 매우 중요하게 이용되고 있다.[5,6]

본 논문에서는 전류모드 적분기의 구조 개선을 통하여 이득 및 주파수 특성을 향상시킬 수 방법을 제시하였다.

2. 본 론

2.1 완전균형 상보형 적분기

그림1과 같이 병렬형태의 구조를 가진 fully-balanced 상보형 전류모드 적분기는 비우성 극점 및 영점을 제거시킬 수 있어 단위이득 주파수 특성을 개선하고, 안정성의 유지에 큰 장점이 있다.

그림1(a)의 완전균형 상보형 적분기를 그림1(b)와 같이 절반회로(half-circuit) 소신호 등가회로로 간략화시킬 수 있다. 여기서 i_i 는 비반전입력, i_o 는 반전입력이다. 그림1(a)의 적분기가 완전대칭이고, 전류모드 적분기를 구성하고 있는 트랜지스터들이 각각 전류미러를 구성하고 있으므로 그들의 트랜스컨덕턴스(g_m)값들은 같은 크기로 설계하여 KCL을 적용하면 다음과 같은 식(1)과 식(2)를 구할 수 있다.

$$2g_m + sCv + 2vsC_{gd} = i_i + i_o \quad (1)$$

$$2(g_m - g_{ds} - sC_{gd})v = i_o \quad (2)$$

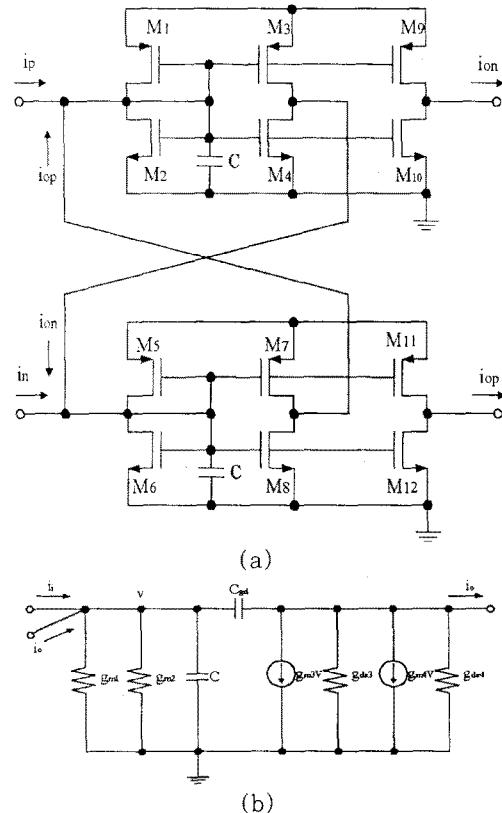


그림 1. 완전균형 상보형 적분기
(a) 구성도 (b) 절반회로 소신호 등가회로

식(1)과 식(2)으로부터 다음을 얻을 수 있다.

$$i_o = A \frac{\left(1 - \frac{s}{z_1}\right)}{\left(1 - \frac{s}{p_1}\right)} i_i \quad (3)$$

여기에서 존재하는 영점 z_1 과 극점 p_1 은 다음과 같이 표현할 수 있다.

$$z_1 = \frac{(g_m - g_{ds})}{C_{gd}} \quad (4)$$

$$p_1 = \frac{2g_{ds}}{(C + 4C_{gd})} \quad (5)$$

또한 전류이득은 다음의 식(6)과 같다.

$$A = \frac{(g_m + g_{ds})}{g_{ds}} \quad (6)$$

따라서 적분기의 단위이득 주파수는 식(7)과 같이 얻을 수 있다.

$$\omega_o = p_1 A = \frac{2(g_m - g_{ds})}{C + 4C_{gd}} \approx \frac{2g_m}{C} \quad (7)$$

$(\because g_m \gg g_{ds}, C \gg C_{gd})$

그러나 이상적인 전류모드 회로와 비교하면 입력과 출력 저항의 비 이상적인 특성으로 야기되는 오차가 발생하여 출력 전류의 오차가 발생하여 정확성이 떨어지는 단점이 있다. 이와 같은 단점을 보완하기 위해 본 논문에서 저전압 구현이 가능하며 출력 전류의 오차를 개선시킬 수 high-swing cascode 구조를 적용시켰다.

2.2. High-swing cascode 전류미러

High-swing cascode는 최소 출력전압을 V_{SS} 로부터 $V_{DS(sat)2} + V_{DS(sat)4}$ 만큼 낮게 할 수 있어 저전압 구동이 가능하고, 출력저항을 증가시킴으로서 출력 전류에서 발생하는 오차를 개선시킬 수 있는 구조를 가진다. 따라서 우수한 입력 선형 범위와 출력 전압 스윙 등을 갖는다.

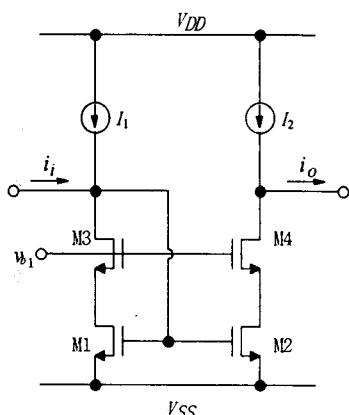


그림 2. High-swing cascode 전류미러

일반적으로 $g_m \gg g_{ds}$ 이고 $g_{m1} = g_{m3}$ 이면 입력 저항은 식(8)과 같이 간략화 할 수 있다.

$$r_i = \frac{1}{g_{m1} + g_{ds1}} + \frac{1}{g_{m3} + g_{ds3}} \approx \frac{1}{g_{m1}} \quad (8)$$

출력 저항은 식(9)로 나타낼 수 있다.

$$r_o = \frac{1}{g_{ds}} \left(1 + \frac{g_{m1}}{g_{ds1}} \right) \approx \frac{1}{g_{ds2}} \frac{g_{m4}}{g_{ds1}} \quad (9)$$

2.3. High swing cascode 완전균형 적분기 설계

그림 1의 차동 입력 출력 값을 갖는 완전균형 상보형 적분기에 그림 2의 high-swing cascode를 이용하여 그림 3과 같은 전류모드 적분기를 구성할 수 있다. 제안된 회로는 출력저항의 증가로 그 이득이 증가된다. 그림 4는 동일한 조건하에서 완전균형 상보형 적분기와 제안된 회로를 시뮬레이션한 결과이고 적분기의 이득은 24dB와 51dB를 보였다.

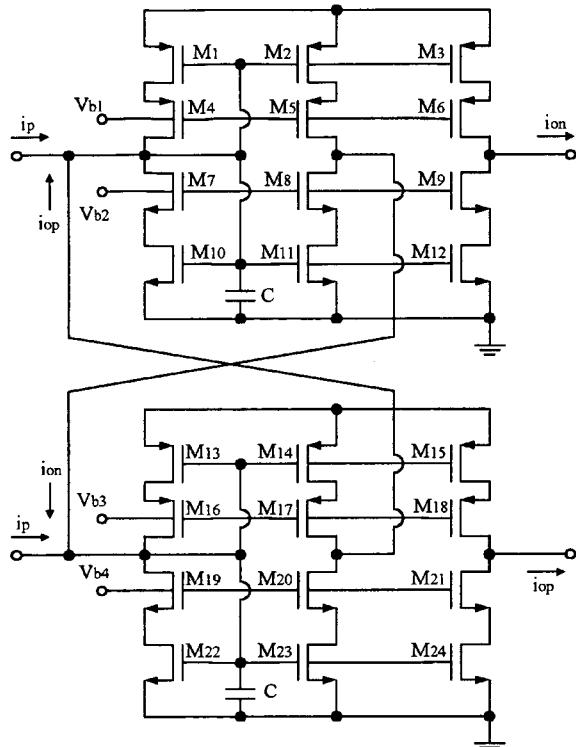


그림 3. 제안된 high-swing cascode 완전균형 적분기

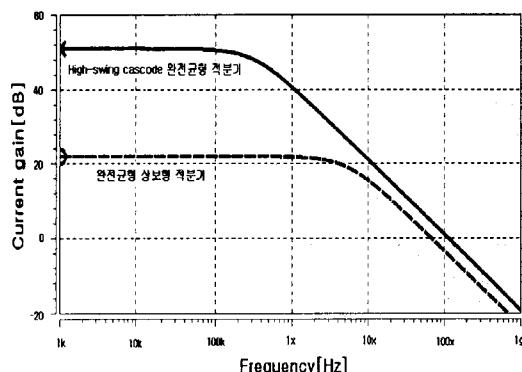


그림 4. 적분기의 이득과 단위이득주파수

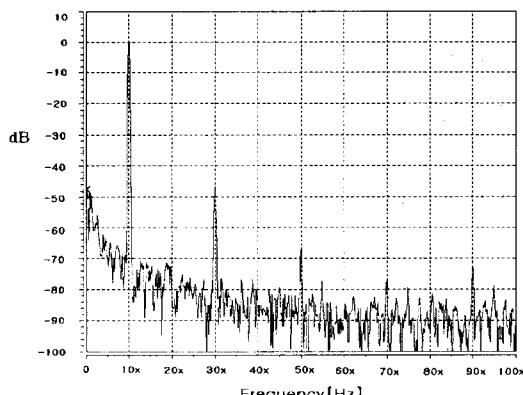


그림 5. 제안된 적분기의 출력 주파수 스펙트럼

그림 5는 제안된 적분기의 출력 주파수 스펙트럼이

다. $10\mu A$ 의 입력 전류와 $10MHz$ 의 입력 신호 주파수에서 THD(Total harmonic distortion)는 0.48%를 갖는다

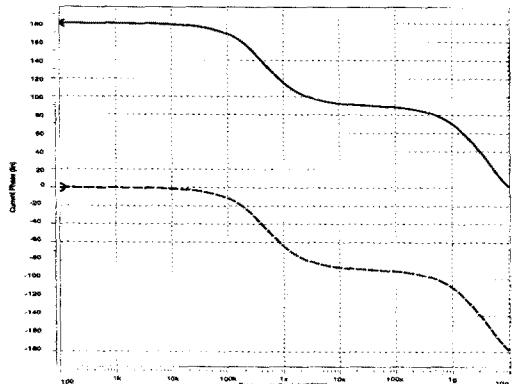


그림 6. 제안된 적분기의 위상특성

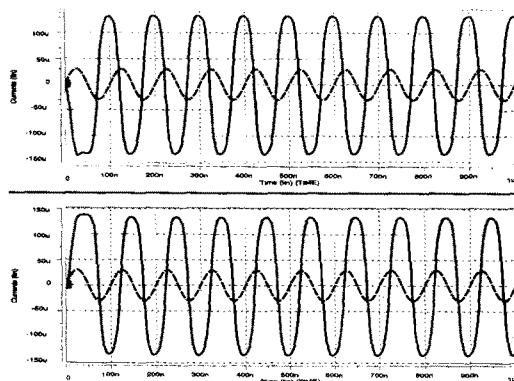


그림 7. 제안된 적분기의 시간해석

3. 결 론

본 논문에서는 완전균형 상보형 적분기에서 그 이득과 단위이득 주파수 특성을 향상시킬 수 있는 high-swing cascode 구조를 이용한 새로운 적분기를 설계하였다. 동일조건하에서 완전균형 상보형 적분기는 이득은 24[dB]였으나 제안된 high-swing cascode 완전균형 적분기의 이득은 51dB를 나타내었다. 이는 적분기를 이용한 능동필터 설계시 요구조건인 40dB 이상의 이득값을 만족함으로서 각종 시스템의 능동회로에 적용 가능할 것으로 사료된다. 특히, 설계된 high-swing cascode 적분기는 $0.25\mu m$ n-well CMOS 공정 파라미터를 이용하여 HSPICE시뮬레이션 하였으며, 그림4에서 그림7까지의 시뮬레이션 결과에서 보여주고 있듯이 공정특성의 향상으로 2V 공급전압하에서 왜곡없는 신호 특성을 나타내었다. 시뮬레이션 결과 제안된 회로는 2V 공급전압에서 전력소모는 $1.04mW$ 이고 차단주파수는 $100MHz$ 를 갖는다.

향후 연구방향으로는 각종 통신시스템의 입출력단을 구성하고 있는 아날로그 신호처리단의 각종 블록에서 응용가능여부를 설계된 적분기를 이용하여 확인하는데 그 목표를 두고 있다.

(참 고 문 헌)

- [1] C. Toumazou, F. J. Lidgley, and D. G. Haigh, "Analogue IC design : the current-mode approach," *IEEE Circuits and systems series 2, Peter Peregrinus Ltd., on behalf of the Institution of Electrical Engineering, London, United Kingdom*, 1993.
- [2] David E. Johnson, V. Jayakumar, "Operational Amplifier Circuits Design and Application," *Prentice-Hall, INC, Englewood Cliffs, New Jersey, U.S.A.*, 1982.
- [3] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "A continuous-time current-mode integrator," *IEEE Trans. Circuits and Systems, vol 38, pp. 1236-1238, Oct. 1991*.
- [4] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully-differential CMOS current-mode circuits," in *Proc. IEEE ISCAS, pp. 2411-2414, 1992*.
- [5] J. H. Bang, "A New Integrator and Frequency Automatic Tuning Circuit for Realization of the Low-Power CMOS Current-mode Filter," PhD Thesis, Chonbuk National University Korea, 1996.
- [6] M. G. R. Degrauw, O. N. Leuthold, E. A. Vittoz, H. J. Oguey, and A. Descombes, "CMOS Voltage reference using lateral bipolar transistors," *IEEE Journal of Solid-State Circuits, vol. SC-20, pp. 1151~1157, December 1985*
- [7] Arie van Staveren, Chris J. M. Verhoeven, and H. M. van Roermund "The Design of Low-Noise Bandgap References," *IEEE Transactions on Circuits and Systems, vol. 43, No. 4, pp. 290~300, April 1996*