

DSP를 이용한 고속 거리계전 알고리즘의 구현

김종표, 강상희, 이승재  
 명지대학교 전기공학과

A High Speed Distance Relay Using A Digital Signal Processor

Joong Pyo. Kim, Sang Hee. Kang, Seung Jae. Lee  
 Electrical Engineering, Myong Ji University

**Abstract** - In this paper, a high speed distance relay, using a digital signal processor(DSP) is presented. The idea of the protective algorithm is based on the least square method using minimum data window to minimize the relay operating time. A new design concept for a low-pass filter is proposed. This analog low pass filter has minimum transient response time. The main processor of the relay is TMS320C31. According to a series of real time tests, the proposed protective relay shows reliable and fast operating characteristics.

입력 신호의 세 개의 샘플만을 가지고 식 (1)의 계수를 구하여 계전 알고리즘을 수행하게 된다.

2.2 필터이론

최소자승법에서 고려하는 파형은 기본파로 한정되기 때문에 저역통과 필터의 차단주파수를 가능한 낮추어야 한다. 그러나 차단 주파수를 너무 낮추게 되면 시지연이 크기 때문에 의도하는 고속거리계전 동작을 실현하기 곤란하기 때문에 본 논문에서는 동일한 차단주파수에서도 과도 시지연이 최소가 되는 필터를 설계하였다. 따라서 필터설계 개념은 정착시간(settling time)을 최소화 시키는 것이다. 본 논문에서는 전술한 필터동작을 만족시키기 위해 120Hz에서 이득이 0.1인 필터를 설계할 때 다음과 같다.

$$H(s) = \frac{60894.4}{s^2 + 446.157s + 60894.4} \quad (2)$$

또한, 전류신호에 포함된 직류 성분 제거하기 위해 FIR 필터를 사용하였다. 사용된 식은 식 (3)과 같다.

$$y_k = x_k - \frac{x_{k-1}}{\exp(\Delta t / \tau)} \quad (3)$$

여기서,  $\Delta t$ : 샘플링 간격  $\tau$ : 시정수  
 $x_k$ : 현재시점 샘플값

FIR 필터는 전류신호에만 사용되므로 전류신호가 FIR을 통과한 후에 전류 위상 보정을 한 후 전압 페이저 값과 함께 임피던스를 구하는 과정으로 넘어간다. 그림 1에 알고리즘의 전체 흐름도가 나와 있다.

2. 본 론

2.1 알고리즘[1]

본 논문에서 사용한 신호추출 기법인 최소자승법은 계전신호의 형태를 일정한 식으로 가정하고 샘플값을 이용해 연립방정식을 풀어 가정한 식의 계수를 찾는 것이다. 최소자승법은 데이터 윈도우 크기의 제약이 적으나 고려하는 계전신호의 형태에 의존하기 때문에 고속거리계전 알고리즘을 실현하기 위해서는 최소의 데이터 윈도우를 가지고 계산하여야 한다. 이와 같은 이유 때문에 본 논문에서 사용된 최소자승법은 계전신호의 형태를 기본파 성분으로만 한정한다. 사용된 식은 식 (1)에 나와 있다.

$$i(t) = K_v \cos \theta_v \sin \omega_0 t + K_i \sin \theta_i \cos \omega_0 t \quad (1)$$

$$v(t) = K_v \cos \theta_v \sin \omega_0 t + K_i \sin \theta_i \cos \omega_0 t$$

여기서,

$K_v, K_i$ : 전압, 전류 기본파 성분 크기

$\theta_v, \theta_i$ : 전압, 전류 기본파 성분 위상각

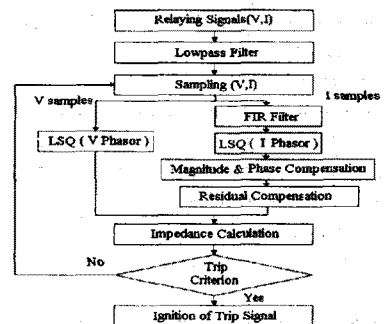


그림 1. 계전 알고리즘의 흐름도

## 2.3 하드웨어

### 2.3.1 2차 저역통과 능동필터

2.2에서 설명한 저역 통과 필터를 그림 2와 같은 op-amp를 이용한 Sallen and Key 2차 필터 형태로 구현하였다.

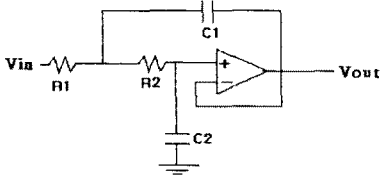


그림 2 Sallen and Key 필터

op-amp를 이용한 능동 필터는 수동 필터에 비해 출력 단 쪽 임피던스에 영향을 거의 받지 않는 장점이 있다.

그러나 구할 수 있는 소자의 용량이 한정되어 있기 때문에 설계식대로 정확한 필터를 구현하기가 힘들기 때문에 설계된 필터와는 약간의 오차가 있다.

### 2.3.2 DSP 보드

메인보드는 TI사의 TMS320C31 DSP가 탑재되어 있는 Innovative Integration사의 PC31 보드를 이용하였다.

TMS320C31은 TMS320C3x 패밀리중 일부 기능이 제외된 저가형 모델이지만 부동소수점 연산이 가능하다는 점 때문에 널리 쓰이는 DSP이다.

TMS320C31의 특징은 다음과 같다.[2]

- 클럭 주파수 : 40MHz
- 수정된 하바드 구조
- 32bit 범용 레지스터
- IEEE 숫자표현 지원
- 16M×32비트 외부확장 메모리
- I/O와 CPU의 동작을 동시에 수행하기 위한 DMA 제어기

DSP 소스 프로그램은 TMS320C31 어셈블러, C 언어 둘 다 사용할 수 있다. 어셈블러는 DSP에 최적화된 언어이지만, 사용하기가 복잡하고, 숙달하려면 시간이 많이 걸리므로, 본 논문에서는 C 언어로 프로그램을 작성하여

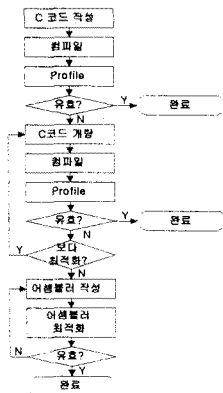


그림 3 DSP 프로그램 개발 절차

DSP를 구동한다. 그림 3은 DSP 프로그램 개발 절차이다.[3]

C 언어로 프로그램을 개발할 때는 Code Composer 툴을 사용하였다. 이 툴은 윈도우 환경에서 DSP 프로그램을 개발하는데 쓰이는 툴이다. Code Composer 환경에서 C 언어 소스 프로그램을 작성하면, 컴파일, 최적화, 어셈블러 변환, hex파일 변환 등을 자동으로 수행 한다.

DSP가 장착되어 있는 PC31 보드는 ISA 버스 지원 형태이기 때문에 컴퓨터 확장슬롯에 장착하여 사용한다. PC31을 구동하기 위한 순서가 그림 4에 나와 있다.

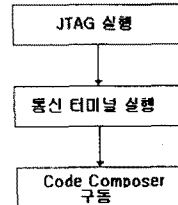


그림 4. PC31 구동 순서

그림 4와 같은 초기화가 끝난 후에 본격적인 프로그램 개발을 수행할 수 있다.

그림 5에 전체적인 테스트 환경을 보여준다.

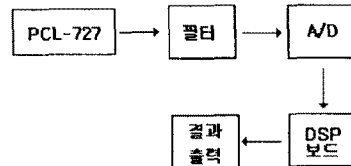


그림 5 테스트 환경

EMTP를 통해 얻어진 데이터를 PCL-727 D/A보드를 사용하여 아날로그신호를 만든다. 그 아날로그 신호를 필터를 통과한 후 A/D를 통과하여 디지털 값으로 변환한 후 연산을 수행한다.

## 2.4. 사고 신호

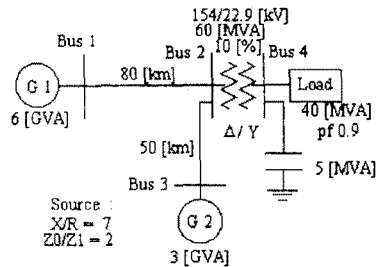


그림 6. 모델 계통

사고 신호는 그림 6과 같은 계통을 이용하여 EMTP 데이터를 추출하였다. 길이가 80[km]인 모선1과 모선 2 사이에서 고장이 일어나도록 모의하고 송전선에서 사고 점을 변화시키면서 (10[%], 50[%] ; 10[%] = 8[km]) a상 지락사고와 ab상 단락사고를 모의하였다.

## 2.5 보드 테스트

표 1은 고장시 추정해야할 저항, 리액턴스, 임피던스 값을 나열 한 것이다.

표 1. 거리별 저항, 리액턴스 값

거리 \ ( $\Omega$ )	저항	리액턴스
10% (8km)	0.8 [ $\Omega$ ]	3.7 [ $\Omega$ ]
50% (40km)	4.0 [ $\Omega$ ]	18.7 [ $\Omega$ ]

사고유형은 a상 지락사고, ab상 단락사고를 모의하였고, 알고리즘이 위에 예시한 값에 얼마나 빨리 수렴하는가를 가지고 테스트하였다.

그림 7, 8은 a상 지락사고 0도시 값의 계산 결과이다. 저항 값은 15[ms] 근처에서 안정적으로 수렴하고 있다.

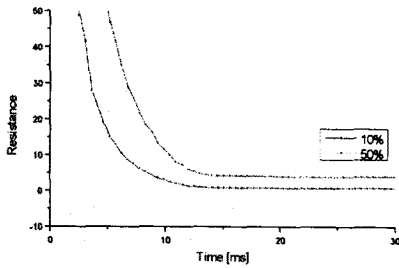


그림 7. 지락사고시 저항

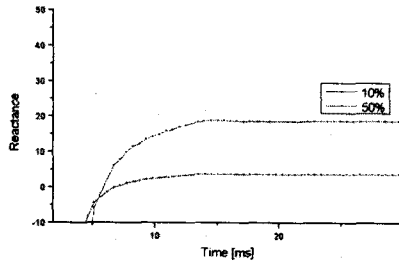


그림 8. 지락사고시 리액턴스

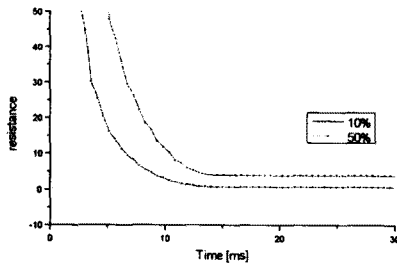


그림 9. 단락사고시 저항

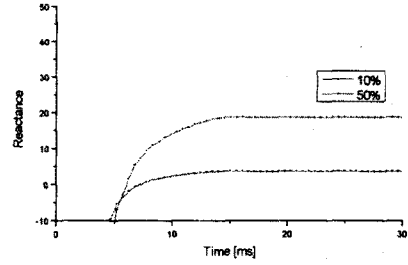


그림 10. 단락사고시 리액턴스

그림 9, 10은 ab상 단락 0도시 사고시 값의 계산 결과이다. 표 2에 소프트웨어 시뮬레이션과 하드웨어 테스트를 비교한 시간이 있다.

표 2. 임피던스 수렴시간 비교

	S/W 시뮬레이션	H/W 테스트
저항 5%	15.5 [ms]	16.5 [ms]
리액턴스 5%	12.6 [ms]	14.5 [ms]

수렴시간은 전체 10개 테스트 결과 중 최대 시간을 표 2에 나타내었다.

## 3. 결 론

본 논문에서는 최소자승법을 이용한 거리계전알고리즘을 하드웨어를 구성하여 테스트를 해보았다.

모든 계산 값은 컴퓨터 시뮬레이션과 근사했고, 조금씩 틀린 부분은 직접 하드웨어에 프로그램을 이식했을 때 나타나는 오차로 생각된다. 임피던스 추정이 일치하다는 것은 알고리즘이 하드웨어에서도 제대로 동작한다는 것을 나타내며, 동작 시간도 컴퓨터 시뮬레이션과 거의 일치한 것을 확인하였다.

## [참 고 문 헌]

- [1] 강상희, 권태원, "최소자승법을 이용한 고속 거리계전 알고리즘", 대한전기학회 논문지 제48권, 제7호, 1999, pp. 885-862
- [2] Texas Instrument, 'TMS320C31 User's Guide' 40 - 65, 1999
- [3] Texas Instrument, 'TMS320C3x/4x Optimizing C Compiler User's Guide' 11 - 23, 1998